

ЦЕОМ .Інтегральні мікросхеми серії КР1533

ЗМІСТ

Загальні положення.....	3
1. Логічні елементи (ЛА2, ЛА3, ЛЕ1, ЛЕ4, ЛИ1, ЛЛ3, ЛН1, ЛН7, ЛП3, ЛП5).....	4
2. Тригери (ТВ10, ТВ11, ТВ6, ТМ2, ТМ7, ТМ8, ТМ9, ТР2).....	7
3. Лічильники (ІЕ12, ІЕ13, ІЕ19, ІЕ2, ІЕ5).....	11
4. Регістри (ІР23, ІР24, ІР27, ІР29).....	14
5. Мультиплекси (КР11А, КП13, КП16, КП17, КП7).....	17
6. Дешифратори (ІД14, ІД3, ІД4, ІД7).....	19
7. Магістральні приймально-передавальні пристрої (АП16, АП6, АП7)..	22
8. Схеми контролю парності, прискореного переносу, порівняння (ІП5, ІП3, ІП4, СП1).....	23

ЗАГАЛЬНІ ПОЛОЖЕННЯ

Інтегральні мікросхеми (ІМС) серії КР1533 призначені для організації швидкого обміну та обробки цифрової інформації, часового та електричного походження сигналів в обчислювальних системах [1,2].

ІМС серії КР1533 дозволяють отримати мінімальне значення добутку швидкодії на потужність розсіяння в порівнянні з відомими серіями ТТЛ-мікросхем. У наведеній нижче таблиці подані порівняльні характеристики цифрових ІМС різних серій.

Параметр	Серія					
	К155	К134	К531	КР1530	КР1531	КР1533
Час затримки, нс	10	33	3	1,5	2,7	4
Потужність споживання, мВт	10	10	20	22	4	1
Фактор якості, пДж	100	33	60	33	10,8	4

ІМС серії КР1533 мають функціональні аналоги в інших серіях і співпадають з ними відносно призначення виводів у корпусі. Це дозволяє виконувати повну заміну мікросхем серії К555, К533, К155, КР1531.

Зарубіжний аналог – серія мікросхем SN74ALSxxxx фірми Texas Instruments (TI) США. Конструктивно мікросхеми серії КР1533 виконані в 14-, 16-, 20- та 24-виводних пластмасових корпусах типу 201, 14-1, 238, 16-1, 2140, 20-8, 2142, 24-2 відповідно.

Мікросхеми мають стандартні ТТЛ вхідні/вихідні рівні сигналів. Напрацювання мікросхеми ~50000 годин.

Вживані аббревіатури: ТТЛ – транзисторно-транзисторна логіка; Н – високий рівень напруги; L – низький рівень напруги; Z(∇) - високоомний стан виходу мікросхеми.

1. ЛОГІЧНІ ЕЛЕМЕНТИ
(ЛА2, ЛА3, ЛЕ1, ЛЕ4, ЛИ1, ЛЛ3, ЛН1, ЛН7, ЛП3, ЛП5)

Граничні режими експлуатації

Позначення	Назва параметра, одиниця виміру	Норма
U_{cc}	Постійна напруга живлення, В	4,5-5,5
U_{il}	Вхідна напруга низького рівня, В	0,0-0,8
U_{ih}	Вхідна напруга високого рівня, В	2,0-5,5
U_o	Напруга, яка подається на вихід ІМС	5,5
U_{oh}	Вихідний струм високого рівня, мА	$ -0.4 $
U_{ol}	Вихідний струм низького рівня, мА	8
T_a	Температура навколишнього середовища, °С	-10÷+70

ІМС КР1533ЛА2 –

восьми входовий логічний елемент 8І-НІ (рис. 1.1) зі стандартним виходом, який виконує булеву функцію

$$Y = \overline{D1 \cdot D2 \cdot D3 \cdot D4 \cdot D5 \cdot D6 \cdot D7 \cdot D8}$$

Корпус 201.14-1. Час затримки $t=11$ нс.

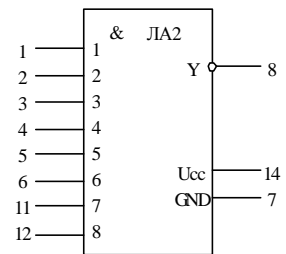


Рис.1.1. ЛА2

ІМС КР1533ЛА3 містить чотири ідентичних логічних елементи 2І-НІ (рис.1.2) зі стандартними виходами,

які виконують булеві функції $Y = \overline{D1 \cdot D2}$ або $Y = \overline{D1 + D2}$ у додатній логіці. Корпус 201.14-1. Час затримки $t=9$ нс.

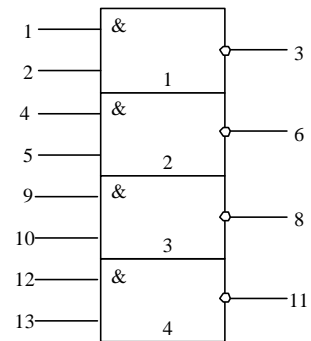


Рис.1.2. ЛА3

ІМС КР1533ЛЕ1 містить чотири ідентичних логічних елементи 2АБО-НІ зі стандартними активними виходами (рис.1.3), які виконують булеві

функції $Y = \overline{D1 \cdot D2}$ або $Y = \overline{D1 + D2}$ у додатній логіці. Корпус 201.14-1. Час затримки $t=9$ нс.

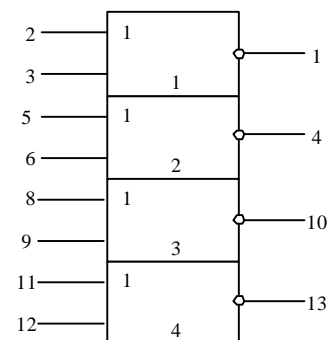


Рис.1.3. ЛЕ1

ІМС КР1533ЛЕ4 містить три ідентичних логічних елементи 3АБО-НІ (рис.1.4) зі стандартними активними виходами, які виконують булеві функції $Y = \overline{D1 \cdot D2 \cdot D3}$ або $Y = \overline{D1 + D2 + D2}$ у додатній логіці. Корпус 201.14-1. Час затримки $t=12$ нс.

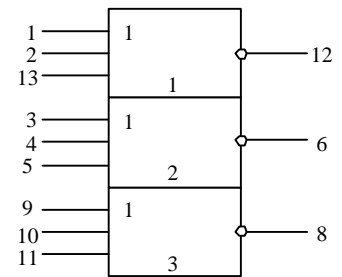


Рис.1.4. ЛЕ4

ІМС КР1533ЛІ1 містить чотири ідентичних логічних елементи 2І-НІ (рис.1.5) зі стандартними активними виходами, які виконують булеві функції $Y = \overline{A \cdot B}$ або $Y = \overline{\overline{A} + \overline{B}}$ у додатній логіці. Корпус 201.14-1. Час затримки $t=12$ нс.

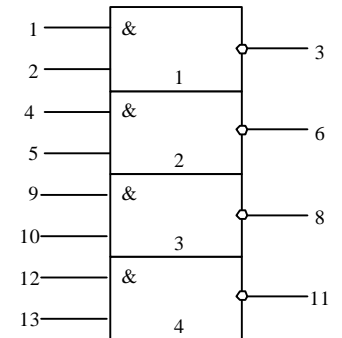


Рис.1.5. ЛІ1

ІМС КР1533ЛЛ1 містить чотири ідентичних логічних елементи 2АБО (рис.1.6) зі стандартними активними виходами, які виконують булеві функції $Y = D1 + D2$ або $Y = \overline{\overline{D1} \cdot \overline{D2}}$ у додатній логіці. Корпус 201.14-1. Час затримки $t=13$ нс.

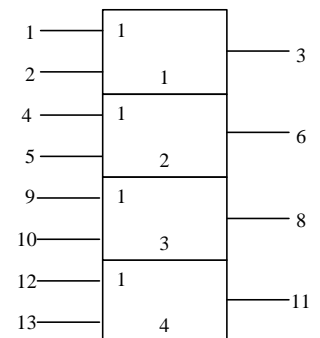


Рис.1.6. ЛЛ1

ІМС КР1533ЛН1 містить шість ідентичних логічних елементи НІ (рис.1.7) зі стандартними активними виходами, які виконують булеву функцію $Y = \overline{D}$. Корпус 201.14-1. Час затримки $t=9$ нс.

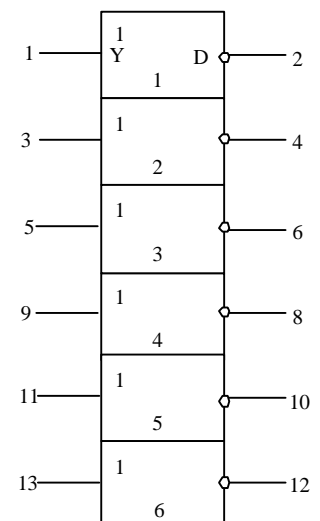
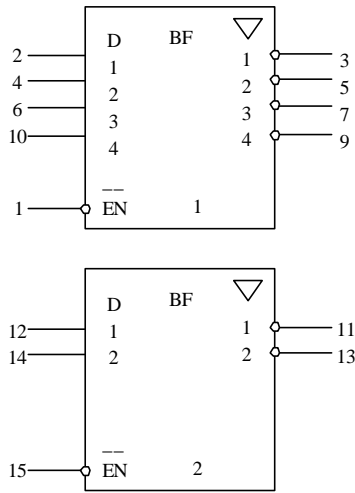


Рис.1.7. ЛН1

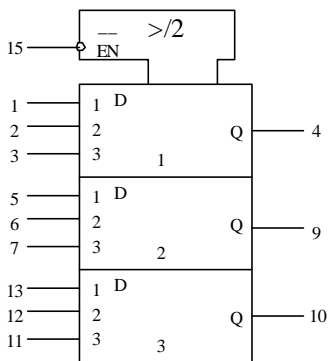
ІМС КР1533ЛН7 – шість буферних інверторів з трьома станами виходів (рис.1.8). Мікросхема має два входи керування третім станом, один з яких керує чотирма буферними елементами, а другий – ще двома. Корпус 238.16-1. Час затримки $t=25$ нс.



Таблиця істинності ЛН7

\overline{EN}	Входи	Виходи
L	L	H
L	H	L
H	X	Z

Рис. 1.8. ЛН7

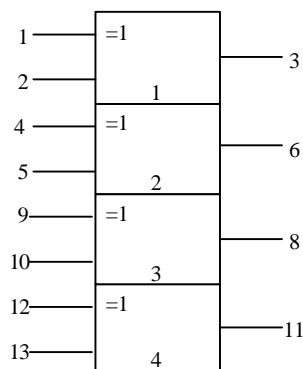


ІМС КР1533ЛП3 містить три мажоритарних елементи (рис.1.9) і використовується для підвищення надійності та завадозахищеності апаратури. Логічний стан виходу елемента Q визначається співпадаючими станами довільних двох його входів із трьох. При цьому на вході $\overline{EN} = 0$. При $\overline{EN} = 1$ стан виходу Q визначається станом входу D3. Корпус 238.16-1. Час затримки $t=37$ нс.

Рис. 1.9. ЛП3

ІМС КР1533ЛП5 містить чотири незалежних логічних елементи “виключення АБО” (XOR) зі стандартними активними виходами (рис.1.10), що виконують булеві функції $Y = \overline{A}B + A\overline{B}$ у додатній логіці. Корпус 201.14-1. Час затримки $t=14$ нс.

Таблиця істинності ЛП5



Вхід		Вихід
A	B	
H	H	L
L	H	H
H	L	H
L	L	L

Рис. 1.10. ЛП5

2. ТРИГЕРИ (ТВ10, ТВ11, ТВ6, ТМ2, ТМ7, ТМ8, ТМ9, ТР2)

ІМС КР1533ТВ10 містить два JK-тригери (рис.2.1), що спрацьовують за від'ємним фронтом тактового сигналу С (рис.2.1). Корпус 201.14-1. Час затримки $t=16$ нс.

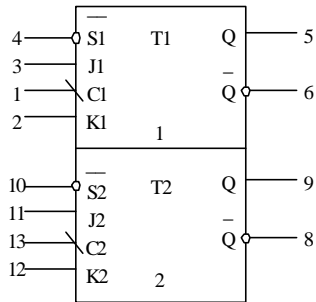


Рис. 2.1. ТВ10

$Q0, \overline{Q0}$ – попередній стан виходу.

Таблиця істинності ТВ10

Входи				Вихід	
\overline{S}	C	J	K	Q	\overline{Q}
L	X	X	X	H	L
H	\downarrow	L	H	L	H
H	\downarrow	H	H		
H	\downarrow	L	L	Лічильний режим	
H	\downarrow	H	L		
H	H	X	X	$Q0$	$\overline{Q0}$

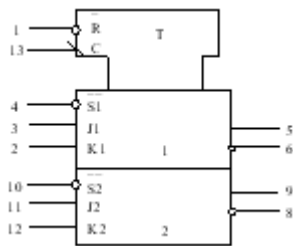


Рис. 2.2. ТВ11

ІМС КР1533ТВ11 містить два JK-тригери (рис.2.2), що спрацьовують за від'ємним фронтом тактового сигналу С. Корпус 201.14-1. Час затримки $t=18$ нс.

Таблиця істинності ТВ11

Входи					Виходи	
\overline{S}	\overline{R}	C	J	K	Q	\overline{Q}
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H*	H*
H	H	\downarrow	L	H	L	H
H	H	\downarrow	H	H	Лічильний режим	
H	H	\downarrow	L	L		
H	H	\downarrow	H	L	H	L
H	H	H	X	X	$Q0$	$\overline{Q0}$

H^* – невизначений стан.

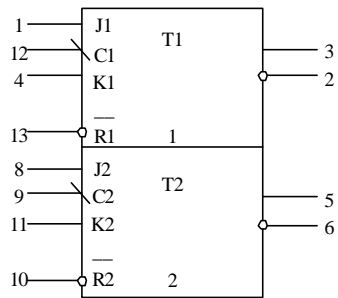


Рис. 2.3. ТВ6

ІМС КР1533ТВ6 містить два JK-тригери (рис.2.3), що спрацьовують за від'ємним фронтом тактового сигналу С. Корпус 201.14-1. Час затримки $t=23$ нс.

Таблиця істинності ТВ6

Входи				Виходи	
\bar{R}	C	J	K	Q	\bar{Q}
L	X	X	X	L	H
H	\lrcorner	L	H	L	H
H	\lrcorner	H	H	Лічильний режим	
H	\lrcorner	L	L	Q0	Q0
H	\lrcorner	H	L	H	L
H	H	X	X	Q0	$\bar{Q}0$

ІМС КР1533ТМ2 містить два незалежних D-тригери (рис.2.4), що спрацьовують за додатним фронтом тактового сигналу С. Корпус 201.14-1. Час затримки $t=15$ нс.

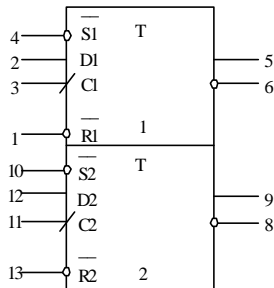


Рис. 2.4. ТМ2

Таблиця істинності ТМ2

Входи				Виходи	
\bar{S}	\bar{R}	C	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	\lrcorner	H	H	L
H	H	\lrcorner	L	L	H
H	H	L	X	Q0	$\bar{Q}0$

ІМС КР1533ТМ7 містить чотири D-тригери (рис.2.5), що спрацьовують за позитивним рівнем на вході дозволу Е. Корпус 201.14-1. Час затримки $t=20$ нс.

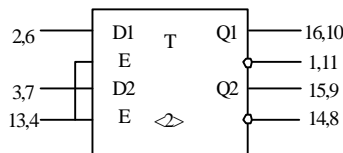


Рис.2.5 ТМ7

Таблиця істинності

Входи		Вихід	
D	E	Q	\bar{Q}
L	H	L	H
H	H	H	L
L	L	Q0	$\bar{Q}0$
H	L	Q0	$\bar{Q}0$

ІМС КР1533ТМ8 містить чотири тригери D-типу з прямими та інверсними виходами (рис.2.6). Відмітна риса мікросхеми – наявність загальних для всіх тригерів синхрехода С та входу скидання \bar{R} . Тактування здійснюється переднім фронтом синхросигналу С, а встановлення прямих виходів у стан низького рівня – низьким рівнем напруги на вході \bar{R} . Корпус 238.16-1. Час затримки $t=18$ нс.

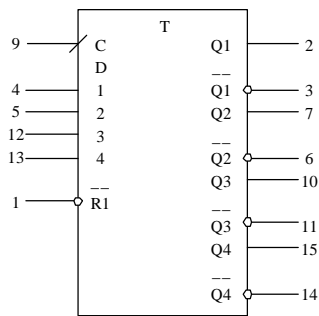


Рис. 2.6. ТМ8

Таблиця істинності ТМ8

Входи			Виходи	
R	C	D	Q	\bar{Q}
L	X	X	L	H
H	┌	H	H	L
H	┌	L	L	H
H	L	X	Q0	$\bar{Q}0$

ІМС КР1533ТМ9 містить шість тригерів D-типу з прямими виходами (рис.2.7). Відмітна риса мікросхеми – наявність загальних для всіх тригерів синхрехода С та входу скидання \bar{R} . Тактування здійснюється переднім фронтом синхросигналу С, а встановлення прямих виходів у стан низького рівня – низьким рівнем напруги на вході \bar{R} . Корпус 238.16-1. Час затримки $t=17$ нс.

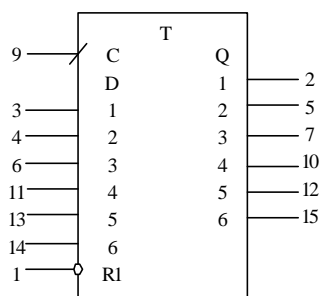


Рис. 2.7. ТМ9

Таблиця істинності ТМ9

Входи			Вихід
R	C	D	Q
L	X	X	L
H	┌	H	H
H	┌	L	L
H	L	X	Q0

ІМС КР1533ТР2 містить чотири RS тригерні “защелки” (рис.2.8).
 Головний режим роботи мікросхеми – режим зберігання, при цьому на входах \overline{R} та \overline{S} – високий рівень напруги. Корпус 238.16-1. Час затримки $t=17$ нс.

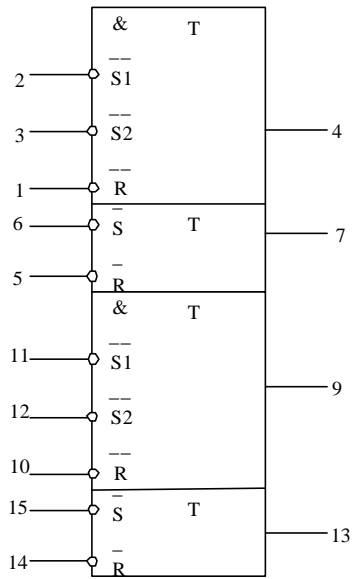


Рис. 2.8. ТР2

Таблиця істинності ТР2

Входи			Вихід
S1	S2	R	Q
H	H	H	Q0
X	L	H	H
L	X	H	H
H	H	L	L
L	L	L	H*

H* — високий рівень напруги на виході, доки на входах S1,S2 – низький рівень напруги;
 Q0 — попередній стан виходу.

3. ЛІЧИЛЬНИКИ (ИЕ12, ИЕ13, ИЕ19, ИЕ2, ИЕ5)

ИМС КР1533ИЕ12 – чотирирозрядний синхронний реверсивний десятичний лічильник (рис.3.1). Корпус 238.16-1.

Виводи:

\overline{ETEN} – дозвіл лічби; D/\overline{U} – напрям лічби (0 – пряма, 1 – зворотна);

\overline{LOAD} – строб запису коду; \overline{RCO} – вихід нарощування лічби; $\overline{MAX}/\overline{MIN}$ – вихід переносу.

Таблиця істинності ИЕ12

Входи			Виходи Q-розрядні				Виходи	
$\overline{D/U}$	\overline{ETEN}	CLK	QA	QB	QC	QD	MIN/MAX	\overline{RCO}
H	H	X	H	L	L	H	L	H
L	H	X	H	L	L	H	H	H
L	L	\square	H	L	L	H	\square	\square
L	H	X	L	L	L	L	L	H
H	H	X	L	L	L	L	H	H
H	L	\square	1	L	L	1	\square	\square

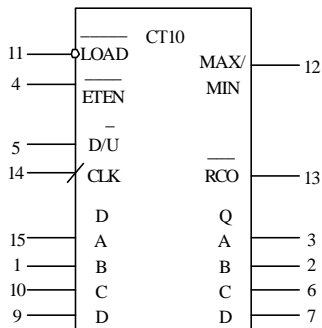


Рис. 3.1.ИЕ12

\square — перехід із H у L на виході $\overline{MAX}/\overline{MIN}$ за фронтом нарощання сигналу на вході CLK.

Таблиця істинності ИЕ12 (2)

Входи					Вихід	Операція
$\overline{D/U}$	\overline{ETEN}	CLK	\overline{LOAD}	D	Q	
X	X	X	L	L	L	Паралельне завантаження
X	X	X	L	H	H	
L	L*	-	H	X	Пряме рахування Зворотне рахування	Пряме рахування Зворотне рахування
H	L*	-	H	X		
X	H	X	H	X	Qn	Зупинка

L* — подання чи зняття напруги низького рівня на вході $\overline{\text{ETEN}}$ під час дії високого рівня H на вході CLK.

ІМС КР1533ІЕ13 – чотирирозрядний синхронний реверсивний двійковий лічильник (рис.3.2). Корпус 238.16-1.

Таблиця істинності ІЕ13(1)

Входи			Q-розрядні виходи				Виходи	
D/ $\overline{\text{U}}$	$\overline{\text{ETEN}}$	CLK	QA	QB	QC	QD	MIN/MAX	$\overline{\text{RCO}}$
H	H	X	H	H	H	H	L	H
L	H	X	H	H	H	H	H	H
L	L	\sqcup	H	H	H	H	\sqcup	\sqcup
L	H	X	L	L	L	L	L	H
H	H	X	L	L	L	L	H	H
H	L	\sqcup	1	1	1	1	\sqcup	\sqcup

\sqcup — перехід із H у L на виході MAX/MIN за фронтом наростання сигналу на вході CLK.

Таблиця істинності ІЕ13 (2)

Входи					Вихід Q	Операція
D/ $\overline{\text{U}}$	$\overline{\text{ETEN}}$	CLK	$\overline{\text{LOAD}}$	D		
X	X	X	L	L	L	Паралельне завантаження
X	X	X	L	H	H	Пряме рахування
L	L*	-	H	X	Пряме рахування	Пряме рахування
H	L*	-	H	X	Зворотне рахування	Зворотне рахування
X	H	X	H	X	Qn	Зупинка

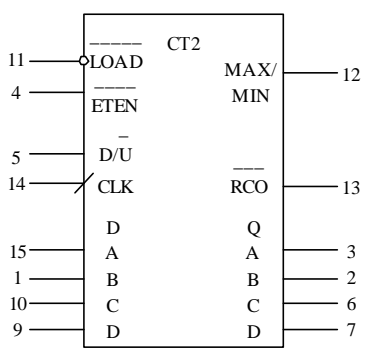


Рис.3.2 ІЕ13

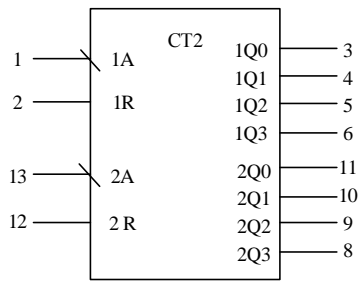


Рис. 3.3. IE19

ІМС КР1533ІЕ19 – два ідентичних двійкових лічильники з індивідуальними входами тактування А та скидання R (рис.3.3). Корпус 201.14-1. Час затримки $t \approx 16$ нс.

ІМС КР1533ІЕ2 – чотирирозрядний двійково-десятичний лічильник, містить чотири тригери (рис.3.4), спрацьовуючих за від'ємним фронтом на інформаційних входах D0, D1, а також додаткові зв'язки, реалізуючі у мікросхемі дві секції: лічильник-дільник на 2 (вхід 14, вихід 12) та трирозрядний лічильник-дільник на 5 (вхід 1, виходи 9, 8, 11). Кожна секція може бути використана окремо. Для отримання десятичного лічильника вихід 12 лічильника-дільника на 2 з'єднується з входом 1 трирозрядного лічильника.

Входи R0, R1 скидають лічильник у нуль (0000); входи S0, S1 – установлюють в дев'ять (1001). Корпус 201.14-1. Час затримки $t \approx 35$ нс.

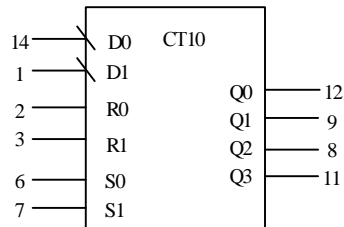


Рис.3.4 ІЕ2

ІМС КР1533ІЕ5 – чотирирозрядний двійковий лічильник містить чотири тригери, що спрацьовують за від'ємним фронтом на інформаційних входах (рис.3.5). Додаткові зв'язки реалізують у мікросхемі дві секції: лічильник-дільник на 2 (вхід 14, вихід 12) та трирозрядний лічильник-дільник на 8 (вхід 1, виходи 9, 8, 11). Кожна секція може бути використана окремо, а для отримання чотирирозрядного лічильника використовується зовнішній зв'язок виходу (12) лічильника-дільника на 2 із входом (1) трирозрядного лічильника.

Корпус 201.14-1. Час затримки $t \sim 35$ нс. При R0=H, R1=L вихід (0000).

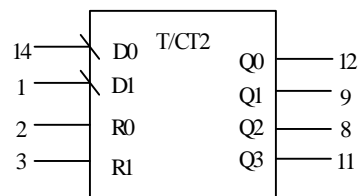


Рис.3.5 ІЕ5

4 РЕГІСТРИ (ИР23, ИР24, ИР27, ИР39)

ІМС КР1533ИР23 – восьмирозрядний регістр на D-тригерах з трьома станами на виході (рис.4.1). Запис інформації здійснюється за додатнім фронтом синхросигналу С. Корпус 2140.20-8.

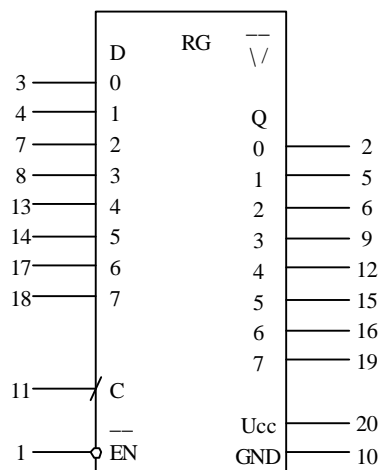


Рис.4.1 ИР23

Таблиця істинності ИР23

Входи			Вихід
\overline{EN}	C	D	Q
L		H	H
L		L	L
L	L	X	Q0
H	X	X	Z

\overline{EN} —дозвіл виходу.

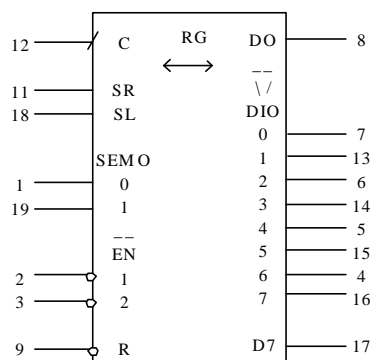


Рис.4.2 ИР24

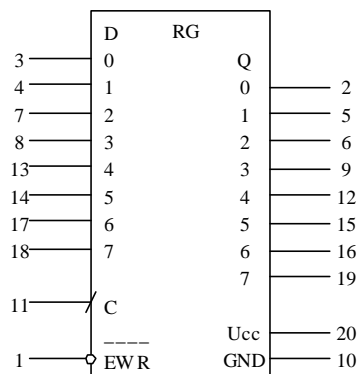
ІМС КР1533ИР24 – восьмирозрядний універсальний регістр зсуву (рис.4.2). Корпус 2140.20-8.

Можливі чотири режими роботи: паралельне завантаження ($SEMO0=H, SEMO1=H$), зсув вправо (від D0 до D7): $SEMO0=H, SEMO1=L$; зсув вліво (від D7 до D0): $SEMO0=L, SEMO1=H$; блокування: $EMO0=L, SEMO1=L$. SEMO—вхід вибору режиму; SR—вхід "Зсув вправо"; SL—вхід "Зсув вліво".

Таблиця істинності ИР24

Режим	Входи								DIO 0...7	Виходи	
	R	SEMO 0	SEMO 1	\overline{EN} 1	\overline{EN} 2	C	SL	SR		D0	D7
Встановл. "логіч. 0"	L	L	X	L	L	X	X	X	L...L	L	L
	L	X	L	L	L	X	X	X	L...L	L	L
	L	H	H	X	X	X	X	X	X...X	L	L
Зберігання	H	L	L	L	L	X	X	X	D0(0:7)	D0o	D7o
	H	X	X	L	L	L	X	X	D0(0:7)	D0o	D7o
Зсув вправо	H	H	L	L	L		X	H	H...D6n	H	D6n
	H	H	L	L	L		X	L	L...D6n	L	D6n
Зсув вліво	H	L	H	L	L		H	X	D1n...H	D1n	H
	H	L	H	L	L		L	X	D1n...L	D1n	L
Завантаження.	H	H	H	X	X		X	X	D0...D7	d0	d7

ІМС КР1533ІР27 – восьмирозрядний регістр D-типу із дозволом запису (рис.4.3). Входи тактування С та дозволу запису EWR є загальними для восьми тригерів. Запис інформації до регістру здійснюється за додатнім фронтом тактового імпульсу С при наявності дозволу — напруги низького рівня на вході дозволу запису EWR. При напрузі високого рівня на вході EWR регістр зберігає попередню інформацію незалежно від логічного стану на інших входах. Корпус 2140.20-8.



Таблиця істинності ІР27

Входи			Вихід
$\overline{\text{EWR}}$	C	D	Q
L		H	H
L		L	L
X	L	X	Q0
H	X	X	Q0

Рис.4.3 ІР27

ІМС КР1533ІР29 – регістрова пам'ять ємністю 64 біт (рис.4.4), має чотирирозрядний канал запису та три незалежних чотирирозрядних канали читання даних. Запис інформації у будь-який з 16 чотирирозрядних регістрів з каналу вхідних даних DI виконується за адресою AWR(3:0), заданої дешифратором запису AWR. Тактування запису здійснюється за спадом синхросигналу С. Інформація, що зберігається у регістрах, може бути прочитана за трьома незалежними адресами ARDA, ARDB, ARDC у вихідні три-, чотирирозрядні канали DOA, DOB, DOC відповідно. Наявність третього стану на виходах дозволяє використовувати мікросхему для роботи на загальній шині. Керування третім станом здійснюється сигналами $\overline{\text{ENA}}$, $\overline{\text{ENB}}$, $\overline{\text{ENC}}$ для каналів DA, DB, DC відповідно.

Можливий режим безпосереднього проходження даних з виходу DI на виходи DOA, DOB без їх попереднього запису в регістри. Читання з регістру або безпосередня передача даних відбувається сигналами COA(B)=L, DOA:=DI. Корпус 429.42-1. Час затримки $t \sim 50$ нс.

Таблиця істинності ІР29

Входи			Виходи		
$\overline{\text{ENA}}$	$\overline{\text{ENB}}$	$\overline{\text{ENC}}$	DOA	DOB	DOC
L	L	L	X	X	X
H	L	L	Z	X	X
L	H	L	X	Z	X
H	H	L	Z	Z	X
L	L	H	X	X	Z
H	L	H	Z	X	Z
L	H	H	X	Z	Z
H	H	H	Z	Z	Z

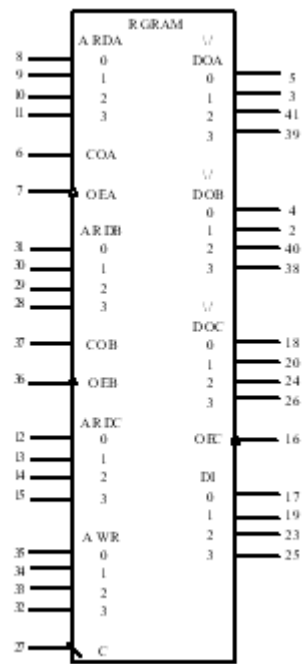


Рис.4.4 ИР29

5 МУЛЬТИПЛЕКСОРИ (КП11А, КП13, КП16, КП17, КП7)

ІМС КР1533КП11А – чотирирозрядний селектор-мультиплексор на два входи (рис.5.1). Корпус 238.16-1. Час затримки $t \sim 40$ нс.

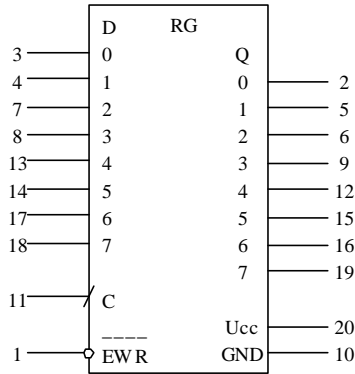


Рис.5.1 КП11

Таблиця істинності КП11А

$\overline{\text{EN}}$	SE	A	B	Q	Операція
H	X	X	X	$\overline{\text{Q}}$	3-й стан
L	L	L	X	L	Q=A
L	L	H	X	H	Q=A
L	H	X	L	L	Q=B
L	H	X	H	H	Q=B

SE – вибір слова

ІМС К1533КП13 – двовходовий чотирирозрядний мультиплексор з пам'яттю (рис.5.2). В ній об'єднані функції ІМС КП16 та ТМ8. Корпус 238.16-1. Час затримки $t \sim 30$ нс.

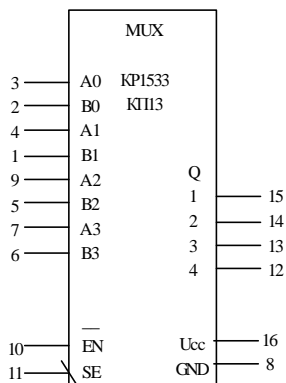


Рис.5.2 КП13

SE — вхід вибору слова А або В;

SYN — вхід синхронізації.

Таблиця істинності КП13

Вхід		Виходи			
SE	SYN	Q0	Q1	Q2	Q3
L	$\overline{\text{L}}$	A0	A1	A2	A3
H	$\overline{\text{L}}$	B0	B1	B2	B3
X	H	Q0(t-1)	Q1(t-1)	Q2(t-1)	Q3(t-1)
X	L	Q0(t-1)	Q1(t-1)	Q2(t-1)	Q3(t-1)

Qi(t-1) — попередній стан вихідної інформації.

ІМС КР1533КП16 – чотирирозрядний селектор-мультиплексор 1 з 2 без інверсії вхідної інформації і призначений для вибору одного з двох джерел даних ($D0 \cup D1$) та передачі на вихід (рис. 5.3). Корпус 238.16-1. Час затримки $t \sim 20$ нс.

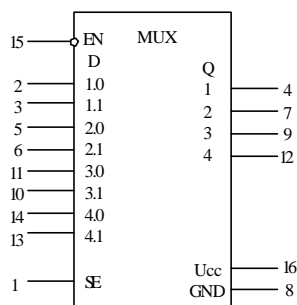


Рис.5.3 КП16

Таблиця істинності

Входи				Вихід
$\overline{\text{E}}$	SE	D0	D1	Q
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

EN – вхід дозволу (вибір корпусу);

SE – вхід вибору.

ІМС КР1533КП17 – інверсний селектор-мультиплексор 1 із 4 з загальними входами SE вибору даних та окремими входами

керування третім станом $\overline{EN}_1, \overline{EN}_2$ (рис.5.4). Корпус 238.16-1. Час затримки $t \sim 40$ нс.

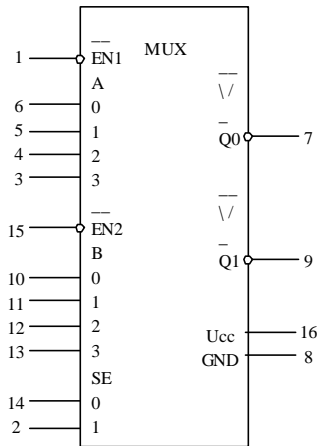


Рис.5.4 КП17

Таблиця істинності КП17

Входи							Вихід
SE0	SE1	0	1	2	3	\overline{EN}_i	\overline{Q}_i
X	X	X	X	X	X	H	$\overline{\text{V}}$
L	L	L	X	X	X	L	H
L	L	H	X	X	X	L	L
L	H	X	L	X	X	L	H
L	H	X	H	X	X	L	L
H	L	X	X	L	X	L	H
H	L	X	X	H	X	L	L
H	H	X	X	X	L	L	H
H	H	X	X	X	H	L	L

SE0, SE1 — входи вибору бітів Ai і Bi.

ІМС КР1533КП7 – селектор-мультиплексор 1із 8 (рис.5.5). У залежності від коду на входах SED1-SED3 дозволяє проходження сигналу на виходи Y і \overline{Y} тільки від одного з восьми інформаційних входів D0-D7, при цьому на вході стробу \overline{C} має бути встановлена напруга низького рівня. Корпус 238.16-1. Час затримки $t \sim 25$ нс.

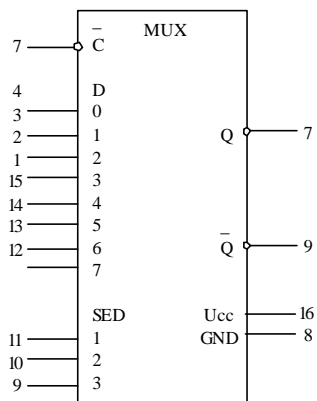


Рис.5.5 КП7

Таблиця істинності КП7

Входи				Виходи	
SED1	SED2	SED3	\overline{C}	Y	\overline{Y}
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
H	L	L	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
H	H	L	L	D3	$\overline{D3}$
L	L	H	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
L	H	H	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

6 ДЕШИФРАТОРИ

(ИД14, ИД3, ИД4, ИД7)

Граничні режими експлуатації

Позначення	Назва параметра, одиниця виміру	Норма
U _{сс}	Постійна напруга живлення, В	4,5–5,5
U _{іл}	Вхідна напруга низького рівня, В	0,0–0,8
U _{іh}	Вхідна напруга високого рівня, В	2,0–5,5
U _о	Напруга, яка подається на вихід ІМС, В	<5,5
I _{oh}	Вихідний струм високого рівня, мА	-0,4
I _{ол}	Вихідний струм низького рівня, мА	8,0
T _а	Температура навколишнього середовища, °С	-10 - +70
t	Час затримки розповсюдження сигналу, нс	15

ІМС КР1533ИД14 – здвоєний дешифратор-демультиплексор 2 на 4 з індивідуальними входами вибору та дозволу (рис.6.1). При високому рівні напруги на вході дозволу \overline{EN} виходи встановлюються у стан високого рівня напруги; при низькому рівні напруги на цьому вході здійснюється дешифрація двійкового слова, переданого на інформаційні входи А та В. При використанні входу \overline{EN} , \overline{EN} за інформаційного буде здійснюватися операція демультиплексування.

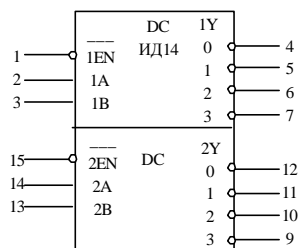


Рис.6.1 ИД14

Таблиця істинності ИД14

Входи			Виходи			
\overline{EN}	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

ІМС КР1533ИД3 – дешифратор 4 на 16 (рис.6.2). Входи $\overline{C_1}, \overline{C_2}$ C1, C2 є стробовими. Час затримки $t \sim 32$ нс.

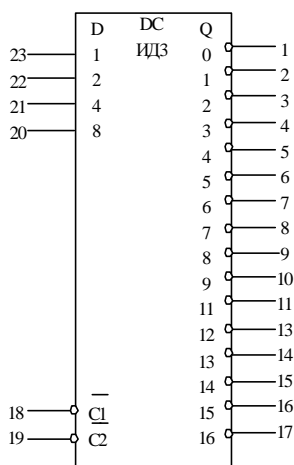


Рис.6.2 ИД3

Таблиця істинності ИД3

Входи						Виходи
$\overline{C1}$	$\overline{C2}$	D4	D3	D2	D1	$\overline{Y0...Y15}$
L	L	L	L	L	L	L...H
L	L	L	L	L	H	H...H
L	L	L	L	H	L	H...H
L	L	L	L	H	H	H...H
L	L	L	H	L	L	H...H
L	L	L	H	L	H	H...H
L	L	L	H	H	L	H...H
L	L	L	H	H	H	H...H
L	L	H	L	L	L	H...H
L	L	H	L	L	H	H...H
L	L	H	L	H	L	H...H
L	L	H	L	H	H	H...H
L	L	H	H	L	L	H...H
L	L	H	H	L	H	H...H
L	L	H	H	H	L	H...L
L	L	H	H	H	H	H...L
L	H	X	X	X	X	H...H
H	L	X	X	X	X	H...H
H	H	X	X	X	X	H...H

ІМС КР1533ИД4 – здвоєний дешифратор-демультиплексор 2 на 4. Може бути використаний як здвоєний дешифратор 2 на 4, здвоєний мультиплексор 1 на 4, дешифратор 3 на 8, демультиплексор 1 на 8. УГП для дешифратора 2*4 (DC2*4) чи демультиплексора 1*4 (DMX1*4) показана на рис.6.3. УГП для дешифратора 3*8 (DC3*8) чи демультиплексора 1*8 (DMX1*8) –на рис.6.4. Час затримки $t \sim 28$ нс.

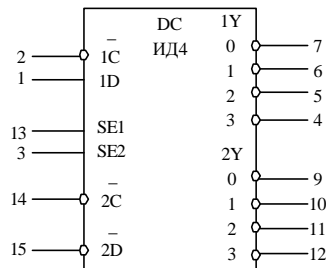


Рис.6.3 ИД4

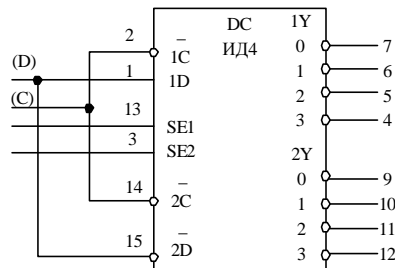


Рис.6.4 ИД4

Таблиця істинності для дешифратора 2*4 (DC2*4) чи демультиплексора 1*4 (DMX1*4) (стан один)

Входи				Виходи			
SE2	SE1	1C	1D	1Y0	1Y1	1Y2	1Y3
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
H	L	L	H	H	L	H	H
L	H	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

Таблиця істинності для дешифратора 2*4 (DC2*4)

чи демультиплектора 1*4 (DMX1*4) (стан два)

Входи				Виходи			
SE2	SE1	2C	2D	2Y0	2Y1	2Y2	2Y3
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
H	L	L	L	H	L	H	H
L	H	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

Таблиця істинності для дешифратора 3*8 (DC3*8)
чи демультиплектора 1*8 (DMX1*8)

Входи				Виходи							
D	SE2	SE1	C	1Y0	1Y1	1Y2	1Y3	2Y0	2Y1	2Y2	2Y3
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	L	H	H	H
L	L	H	L	H	H	H	H	H	L	H	H
L	H	L	L	H	H	H	H	H	H	L	H
L	H	H	L	H	H	H	H	H	H	H	L
H	L	L	L	L	H	H	H	H	H	H	H
H	L	H	L	H	L	H	H	H	H	H	H
H	H	L	L	H	H	L	H	H	H	H	L
H	H	H	L	H	H	H	L	H	H	H	H

ІМС КР1533ИД7 – дешифратор–демультиплексор 3 на 8 (рис.6.5). Використані як дешифратор входи D1,D2,D4 є інформаційними, а входи C1-C3 відіграють роль стробуючих.

При роботі мікросхеми як демультиплексор 1 на 8 входи D1,D2,D4 є адресними і подача на них відповідного коду дозволяє сигналу проходити від інформаційного входу до вибраного виходу.

Роль інформаційного входу відіграє C1, а $\overline{C_2}, \overline{C_3}$ є стробуючими. Час затримки $t \sim 20$ нс.

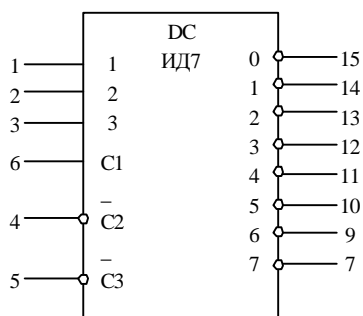


Рис.6.5 ИД7

7 МАГІСТРАЛЬНІ ПРИЙМАЛЬНО-ПЕРЕДАВАЛЬНІ ПРИСТРОЇ (АП16, ИП6, АП7)

ІМС КР1533АП16 – восьмиканальний двонаправлений формувач із трьома станами без інверсії на виході (рис.7.1). Використовується для асинхронної двосторонньої комутації двох інформаційних шин. Корпус 2140.20-8. Час затримки $t \sim 25$ нс.

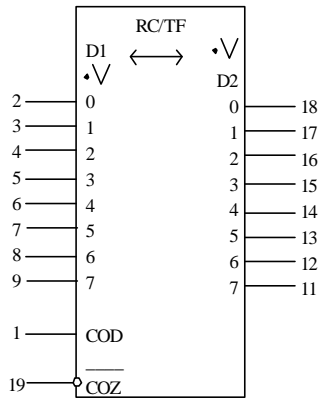


Рис.7.1 АП16

Таблиця істинності ИД14

Входи			Виходи			
$\overline{\text{EN}}$	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

ІМС КР1533ИП6 – восьмирозрядний двонаправлений приймач-передавач із трьома станами на виході та з інверсією входної інформації (рис.7.2). Корпус 201.14-1. Час затримки $t \sim 21$ нс.

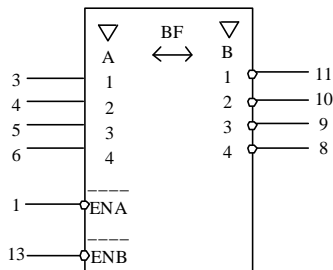


Рис.7.2 ИП6

Таблиця істинності ИП6

Входи		Напрямок передачі даних
$\overline{\text{ENA}}$	$\overline{\text{ENB}}$	
L	L	$\overline{\text{A}} \rightarrow \text{B}$
H	H	$\overline{\text{B}} \rightarrow \text{A}$
H	L	Z
L	H	$\overline{\text{A}} = \overline{\text{B}}$

ІМС КР1533ИП7 – чотирирозрядний двонаправлений приймач-передавач з трьома станами на виході без інверсії входної інформації (рис.7.3). Корпус 201.14-1. Час затримки $t \sim 21$ нс.

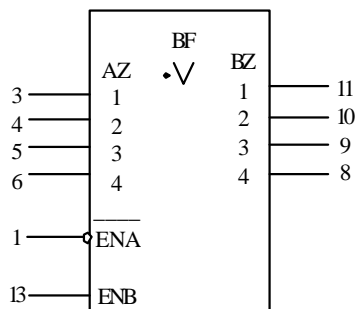


Рис.7.3 ИП7

Таблиця істинності ИП7

Входи		Напрямок передачі даних
$\overline{\text{ENA}}$	$\overline{\text{ENB}}$	
L	L	A \rightarrow B
H	H	B \rightarrow A
H	L	Z
L	H	A=B

8 СХЕМИ КОНТРОЛЮ ПАРНОСТІ, ПРИСКОРЕНОГО ПЕРЕНОСУ, ПОРІВНЯННЯ (ИП5, ИП3, ИП4, СП1)

ІМС КР1533ИП5 – дев'ятирозрядна схема контролю парності (рис.8.1). Має два виходи – Q, \bar{Q} для контролю парності або непарності. Корпус 201.14-1. Час затримки $t \sim 40$ нс.

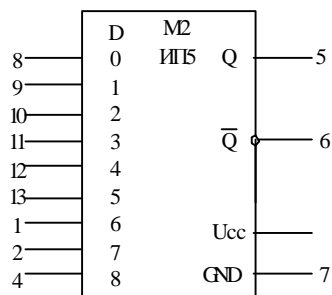


Рис.8.1 ИП5

Таблиця істинності ИП5

Кількість входів, на які поданий високий рівень напруги	Виходи	
	Q	\bar{Q}
0, 2, 4, 6, 8	H	L
1, 3, 5, 7, 9	L	H

ІМС КР1533ИП3 – арифметико-логічний пристрій (АЛП), який реалізований на одному кристалі (рис.8.2). Виконує 16 двійкових арифметичних або логічних операцій з двома чотирирозрядними словами. Тип операції у відповідності до таблиці істинності визначається комбінацією сигналів на входах вибору SE0-SE3. Вхід режиму MO={H – логічний, L – арифметичний} дозволяє провести вибір між логічними та арифметичними операціями. При високому рівні напруги на вході MO відключається блок прискореного переносу.

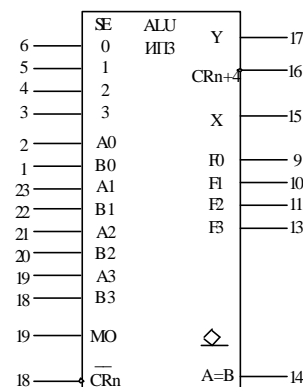


Рис.8.2

Мікросхема виконує логічні операції, при низькому рівні напруги виконуються арифметичні операції. Можливість каскадування мікросхем для роботи з словами розрядністю більш ніж чотири забезпечується наявністю входу переноса CRn, виходу переноса чотирирозрядного каскаду CRn+4, виходу розповсюдження переносу X та виходу утворення переносу Y. Виходи X та Y використовуються при необхідності забезпечити прискорений перенос із застосуванням спеціальної ІМС КР1533ИП4.

Таблиця істинності ИП3 для від'ємної логіки

Вибір функції				MO=H Логічні функції	MO=L Арифметичні операції	
SE3	SE2	SE1	SE0		CRn=L (без переносу)	CRn=H (з переносом)
L	L	L	L	$F = \bar{A}$	$F = A - 1$	$F = A$
L	L	L	L	$F = \overline{AB}$	$F = AB - 1$	$F = AB$
L	L	H	L	$F = \overline{A + B}$	$F = AB - 1$	$F = AB$
L	L	H	H	$F = 1$	$F = -1$ (доп. до двох)	$F = 0$
L	H	L	L	$F = \overline{A + B}$	$F = A + (A + \bar{B})$	$F = A + (A + \bar{B}) + 1$
H	H	H	H	$F = A$	$F = A$	$F = A + 1$

Таблиця істинності ИПЗ для додатної логіки

Вибір функції				МО=Н Логічні функції	МО=L Арифметичні операції	
SE3	SE2	SE1	SE0		CRn=L (без переносу)	CRn=H (з переносом)
L	L	L	L	$F=\bar{A}$	$F=A$	$F=A+1$
L	L	L	H	$F=\overline{A+B}$	$F=A+B$	$F=(A+B)+1$
L	L	H	L	$F=\bar{A}\bar{B}$	$F=A+\bar{B}$	$F=(A+\bar{B})+1$
L	L	H	H	$F=0$	$F=-1$ (доп. до двох)	$F=0$
L	H	L	L	$F=\bar{A}\bar{B}$	$F=A+(\bar{A}\bar{B})$	$F=A+\bar{A}\bar{B}+1$
L	H	L	H	$F=\bar{B}$	$F=(A+\bar{B})+$ $+\bar{A}\bar{B}$	$F=(A+\bar{B})+$ $+\bar{A}\bar{B}+1$
L	H	H	L	$F=A \bmod B$	$F=A-B-1$	$F=A-B$
L	H	H	H	$F=\bar{A}\bar{B}$	$F=\bar{A}\bar{B}-1$	$F=\bar{A}\bar{B}$
H	L	L	L	$F=\bar{A}+B$	$F=A+AB$	$F=A+AB+1$
H	L	L	H	$F=\overline{A \bmod B}$	$F=A+B$	$F=A+B+1$
H	L	H	L	$F=B$	$F=(A+\bar{B})+$ $+\bar{A}\bar{B}$	$F=(A+\bar{B})+$ $+\bar{A}\bar{B}+1$
H	L	H	H	$F=AB$	$F=AB-1$	$F=AB$
H	H	L	L	$F=1$	$F=A+A^*$	$F=A+A+1$
H	H	L	H	$F=A+\bar{B}$	$F=(A+B)+A$	$F=(A+B)+$ $+A+1$
H	H	H	L	$F=A+B$	$F=(A+\bar{B})+A$	$F=(A+\bar{B})+$ $+A+1$
H	H	H	H	$F=A$	$F=A-1$	$F=A$

* Зсув на один розряд вліво.

ІМС КР1533ИП4 – блок прискороного переносу (рис.8.3). Використання мікросхеми разом з АЛП КР1533ИП3 дозволяє зменшити час додавання двійкових чисел. ІМС здійснює такі логічні функції:

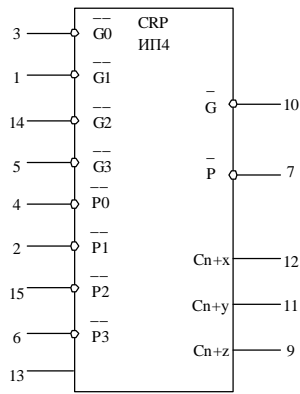


Рис.8.3 ИП4

$$C_n + x = G_0 + P_0 C_n;$$

$$C_n + y = G_1 + P_1 G_0 + P_1 P_0 C_n;$$

$$C_n + z = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 C_n;$$

$$\overline{G} = \overline{G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0};$$

$$\overline{P} = \overline{P_3 P_2 P_1 P_0}.$$

Таблиця істинності ИП4

Входи									Виходи				
Cn	$\overline{G_0}$	$\overline{P_0}$	$\overline{G_1}$	$\overline{P_1}$	$\overline{G_2}$	$\overline{P_2}$	$\overline{G_3}$	$\overline{P_3}$	Cn+x	Cn+y	Cn+z	\overline{G}	\overline{P}
X	H	H	-	-	-	-	-	-	L	-	-	-	-
L	H	X	-	-	-	-	-	-	L	-	-	-	-
X	L	X	-	-	-	-	-	-	H	-	-	-	-
H	X	L	-	-	-	-	-	-	H	-	-	-	-
X	X	X	H	H	-	-	-	-	-	L	-	-	-
X	H	H	H	X	-	-	-	-	-	L	-	-	-
L	H	X	H	X	-	-	-	-	-	L	-	-	-
X	X	X	L	X	-	-	-	-	-	H	-	-	-
X	L	X	X	L	-	-	-	-	-	H	-	-	-
H	X	L	X	L	-	-	-	-	-	H	-	-	-

Таблиця істинності ИП4 (закінчення)

Входи									Виходи				
Cn	$\overline{G_0}$	$\overline{P_0}$	$\overline{G_1}$	$\overline{P_1}$	$\overline{G_2}$	$\overline{P_2}$	$\overline{G_3}$	$\overline{P_3}$	Cn+x	Cn+y	Cn+z	\overline{G}	\overline{P}
X	X	X	X	X	H	H	-	-	-	-	L	-	-
X	X	X	H	H	H	X	-	-	-	-	L	-	-
X	H	H	H	X	H	X	-	-	-	-	L	-	-
L	H	X	H	X	H	X	-	-	-	-	L	-	-
X	X	X	X	X	L	X	-	-	-	-	H	-	-
X	X	X	L	X	X	L	-	-	-	-	H	-	-
X	L	X	X	L	X	L	-	-	-	-	H	-	-
H	X	L	X	L	X	L	-	-	-	-	H	-	-
-	X	-	X	X	X	X	H	H	-	-	-	H	-
-	X	-	X	X	H	H	H	X	-	-	-	H	-
-	X	-	H	H	H	X	H	X	-	-	-	H	-
-	H	-	H	X	H	X	H	X	-	-	-	H	-
-	X	-	X	X	X	X	L	X	-	-	-	L	-
-	X	-	X	X	L	X	X	L	-	-	-	L	-
-	X	-	L	X	X	L	X	L	-	-	-	L	-
-	L	-	X	L	X	L	X	L	-	-	-	L	-
-	-	H	-	X	-	X	-	X	-	-	-	-	H
-	-	X	-	H	-	X	-	X	-	-	-	-	H
-	-	X	-	X	-	H	-	X	-	-	-	-	H
-	-	L	-	L	-	L	-	L	-	-	-	-	L

ІМС КР1533СП1 – чотирирозрядна схема порівняння чисел, поданих у прямому кодi (рис.8.4). Порівняння проводиться, починаючи зі старших розрядів. Якщо вони різні, тоді ці розряди і визначають результат порівняння, якщо ж вони рівні – проводиться порівняння наступних молодших розрядів і т.д. Корпус 238.16-1. Час затримки $t \sim 40$ нс.

Таблиця істинності СП1

Входи порівняння				Входи нарощування			Виходи		
A3,B3	A2,B2	A1,B1	A0,B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3	X	X	X	X	X	X	H	L	L
A3<B3	X	X	X	X	X	X	L	H	L
A3=B3	A2>B2	X	X	X	X	X	H	L	L
A3=B3	A2<B2	X	X	X	X	X	L	H	L
A3=B3	A2=B2	A1>B1	X	X	X	X	H	L	L
A3=B3	A2=B2	A1<B1	X	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0>B0	X	X	X	H	L	L
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	X	X	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	H	H	L

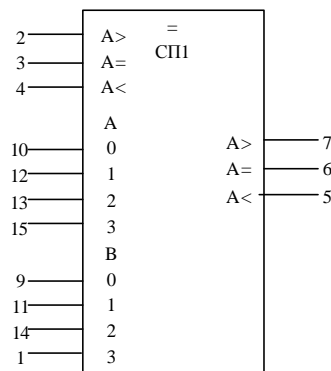


Рис. 8.4.СП1

СПИСОК ЛІТЕРАТУРИ

1. *Интегральные микросхемы.* Серия КР1533: Техническое описание.–М.:МП «Бином», 1992.–610 с.
2. *Цифровые и аналоговые интегральные микросхемы: Справочник/* Под ред. С.В. Якубовского – М.: Радио и связь, 1990. – 496 с.

: