



**МІНІСТЕРСТВО ОСВІТИ І НАУКИ,
МОЛОДІ ТА СПОРТУ УКРАЇНИ
Національний авіаційний університет**



КОМП'ЮТЕРНА СХЕМОТЕХНІКА

Лабораторний практикум
для студентів напрямку 6.050102
«Комп'ютерна інженерія»



**VIVERE!
VINCERE!
CREARE!**

Київ 2012

МІНІСТЕРСТВО ОСВІТИ І НАУКИ,
МОЛОДІ ТА СПОРТУ УКРАЇНИ
Національний авіаційний університет

КОМП'ЮТЕРНА СХЕМОТЕХНІКА
Лабораторний практикум
для студентів напрямку 6.050102
«Комп'ютерна інженерія»

Київ 2012

УДК 004.31 (075.8)

Рецензенти:

Комп'ютерна схемотехніка :

О 751 лабораторний практикум / уклад. : В.І. Дрововозов, С.В. Журавель, А.Б. Коцюр – К. : НАУ, 2012. – 74 с.

Вивчаються принципи побудови і функціонування логічних та запам'ятовуючих елементів, типових функціональних вузлів, аналого-цифрових і цифро-аналогових перетворювачів, арифметико-логічних та керуючих пристроїв, мікропроцесорів.

Лабораторні роботи включають схеми, що досліджуються, порядок виконання робіт та контрольні запитання

Розраховано на студентів напряму 6.050102 «Комп'ютерна інженерія»

ЗМІСТ

ЗМІСТ	4
Загальні методичні вказівки.....	5
Модуль 1 „Елементи та послідовнісні вузли комп’ютерної схемотехніки”	8
1.1 Лабораторна робота №1 «Дослідження елементів і тригерів»	8
1.2 Лабораторна робота №2 «Дослідження регістрів»	13
1.3 Лабораторна робота №3 «Дослідження лічильників»	18
Модуль 2 „Комбінаційні вузли та основні пристрої комп’ютерів	24
2.1 Лабораторна робота №1 «Дослідження дешифраторів і шифраторів»	24
2.2 Лабораторна робота №2 «Дослідження мультиплексорів і демультиплексорів»	29
2.3 Лабораторна робота №5 «Дослідження суматорів»	34
2.4 Лабораторна робота №3 «Дослідження компараторів та схем контролю»	38
2.5 Лабораторна робота №4 «Дослідження кодоперетворювачів»	42
Список літератури.....	47

Загальні методичні вказівки

Дані методичні вказівки є продовженням лабораторного практикуму з курсу: "Аналогова та цифрова електроніка". В них викладені порядок виконання та завдання на лабораторні роботи з другої частини курсу - цифрова електроніка.

На першому занятті викладач повідомляє студентам план лабораторних занять на поточний семестр, рекомендує їм необхідну літературу, знайомить із прийнятою методикою проведення робіт, а також з дією різних технічних засобів і автоматичних пристроїв для навчання і контролю підготовленості студентів до майбутніх лабораторних занять.

У вступній бесіді зі студентами викладач пояснює мету виконуваних робіт, знайомить із застосовуваним основним устаткуванням і дає загальні методичні вказівки до проведення дослідів. При цьому викладач вказує на специфічні умови роботи в даній лабораторії, обумовлені правилами внутрішнього розпорядку, організацією робочого часу, вимогами техніки безпеки і правилами протипожежної безпеки при роботі з електричними колами, приладами, апаратами й установками.

Кожен студент має самостійно вивчити перераховані документи і підтвердити підписом у спеціальному журналі кафедри про ознайомлення його з заходами щодо безпечного виконання робіт у лабораторії і зобов'язанні не порушувати встановлені правила.

Виконання кожної лабораторної роботи складається з двох етапів:

- підготовка до лабораторної роботи, вивчення теоретичного матеріалу, виконання всіх розрахунків, складання плану досліджень;
- складання з розрахованих і підібраних елементів робочої схеми і дослідження її відповідності зі складеним планом, зіставлення теоретичних і практичних результатів і їхній аналіз, оформлення протоколу.

У процесі підготовки до лабораторної роботи студент повинен чітко усвідомити собі кінцеву мету лабораторного дослідження, форму і характер зміни вхідних і вихідних параметрів досліджуваної схеми і виконати необхідні розрахунки.

Протокол, підготовлений до лабораторної роботи, повинен містити назву і мету роботи, досліджувані схеми, і часові діаграми, що пояснюють їхню роботу, план досліджень.

Оформлення протоколів виконується відповідно до вимог ЕСКД до текстових документів.

Порядок, виконання досліджень у лабораторії:

1. Студент допускається до виконання чергової лабораторної роботи при наявності підготовленого, відповідно до приведених вище вимог, протоколу.
2. Протокол попередньої роботи підписується викладачем по його пред'явленню на наступному лабораторному занятті після занесення в нього всіх матеріалів досліджень і їхнього аналізу.
3. Протоколи всіх робіт зберігаються у студента до виконання останньої роботи, після чого вони переплітаються в одну книгу і доповнюються анотацією, резюме і змістом.
4. Після дозволу виконувати дослідження студент збирає схему і самостійно настроює її. У випадку, якщо схема не працює або працює неправильно, він має знайти причину несправності й усунути її.
5. Налаштувавши схему і перевіривши відповідність її вихідних сигналів розрахунковим даним, студент запрошує викладача для огляду і перевірки.
6. Після цього виконуються намічені дослідження, по закінченню яких результати пред'являються викладачеві і за його дозволом схема розбирається і робоче місце прибирається.
7. До наступної лабораторної роботи остаточно оформлюється протокол і пред'являється викладачеві.

Перед виконанням кожної лабораторної роботи викладач, опитує студентів як по змісту самої роботи, так і за методикою її виконання. Непідготовлені студенти не допускаються до виконання лабораторної роботи, а вивчають в лабораторії не засвоєний ними матеріал по літературі, що рекомендується.

Для проведення лабораторних робіт фронтальним методом доцільне використання універсальних лабораторних стендів LOCIC, та TRIGGER.

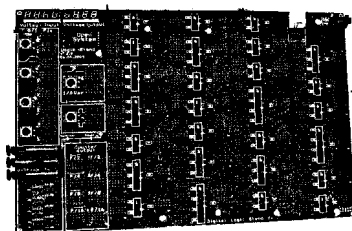


Рис. 1. Зовнішній вигляд лабораторного стенду LOCIC

Дані універсальні стенди призначені для дослідження цифрових схем побудованих на основі дискретної логіки (стенд LOGIC) та три-

герних елементів (стенд TRIGGER.). У склад стендів входять: окремі функціональні схеми призначені для з'єднання їх у різноманітні цифрові схеми; внутрішні контрольно-вимірювальні пристрої, призначені для генерації тестових сигналів прямокутної форми різної частоти та вимірювання напруги при дослідженні перехідних характеристик логічних елементів; блок живлення та роз'єднання для підключення зовнішніх пристроїв контрольно-вимірювальної апаратури. Зовнішній вигляд стенду LOGIC наведено на рис. 1.

Зовнішній вигляд стенду TRIGGER наведено на рис. 2.

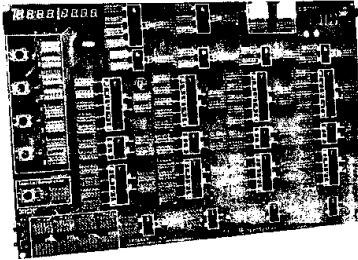


Рис.2. Зовнішній вигляд лабораторного стенду TRIGGER

Як видно з рис. 1. та рис. 2., усі функціональні схеми призначені для досліджень розташовані в центральній області пристрою, і займають більшу її частину.

Для кращого зорового сприйняття кожна функціональна схема на передній панелі представлена її принциповою схемою. В місцях зображення входів та виходів схеми, встановлені відповідні світлодіоди що індикують рівень сигналу (світлодіод, що світиться - високий рівень, світлодіод, що не світиться - низький рівень), а також конструктивні елементи призначені для підведення вхідних та виведення вихідних сигналів.

Усі внутрішні контрольно-вимірювальні пристрої стенду LOGIC розташовано в лівій частині лабораторного стенду. До їх складу входять: два вольтметра; кнопки задавання вхідних рівнів; кнопка вибору режимів; генератор сигналів прямокутної форми; подільники частот P/2, P/4, P/8, P/16; змінний резистор, що задає частоту генератора, змінний резистор, що задає напругу вхідних логічних елементів.

Блок живлення розташовано в верхній правій частині лабораторного стенду.

Розняття типу BNC для підключення зовнішньої контрольно-вимірювальної апаратури розміщено у верхній правій частині пристрою.

Для організації внутрішніх зв'язків між окремими блоками лабораторного стенду використано 12 внутрішніх ліній зв'язку, конструктивно які виконано дванадцятьма друкованими провідниками. За допомогою перемичок будь-яку із ліній можна з'єднати із входом або виходом будь-якої функціональної схеми, внутрішнім контрольно-вимірювальним пристроєм, розняттям. Конструктивне виконання перемичок наступне. Біля кожного входу або виходу розташовано група штирьових контактів розміщених в три ряди. Центральний ряд контактів з'єднаний між собою та входом або виходом відповідного блоку макету. Контакти розміщені в крайніх рядах з'єднані кожний із своєю лінією зв'язку. Нумерація ліній проводиться від першої до шостої та від сьомої до дванадцятої лінії, біля яких розміщені відповідні цифрові позначки. Для підключення входу або виходу до відповідної лінії потрібно, надягнути на один із центральних штирків та на штирок із відповідним номером на крайніх рядах, перемичку.

Внутрішній блок живлення лабораторного макету забезпечує напругу живлення +5В.

Вольтметри вимірюють напругу в діапазоні від 0 В до 6 В, з похибкою 0,02 В.

Змінні резистори дозволяють змінювати напругу від 0 В до +6 В.

Модуль 1 „Елементи та послідовнісні вузли комп'ютерної схемотехніки ”

1.1 Лабораторна робота №1 «Дослідження елементів і тригерів»

Мета роботи:

1. Вивчення принципів побудови і логіки роботи тригерів ЕОМ на інтегральних мікросхемах.
2. Вивчення методів синтезу тригерів ЕОМ.
3. Вивчення основних методик дослідження асинхронних і синхронних тригерів в статичному і динамічному режимах.
4. Визначення основних параметрів тригерів ЕОМ.
5. Ознайомлення з тригерами в серіях мікросхем.

Підготовка до роботи

1. Отримати в лабораторії варіант завдання.
2. Вивчити теоретичну частину роботи за рекомендованою літературою.

3. У зошиті для лабораторних робіт представити принципіальні схеми досліджуваних тригерів ЕОМ, таблиці переходів і логічні рівняння, а також описання їх роботи.

4. Ознайомитись з описом лабораторного стенду.

Завдання і порядок виконання роботи.

Завдання 1. Дослідити асинхронний RS-тригер з інверсними входами на елементах І-НЕ.

1. Зібрати схему тригера відповідно рис. 1.1.1, а.
2. Підключити входи \bar{R} і \bar{S} до гнізд тумблерного реєстра, а виходи Q і \bar{Q} – до світлових індикаторів.
3. Дослідити логіку роботи тригера відповідно табл. 1.1.1., задаючи значення сигналів \bar{R} і \bar{S} з тумблерного реєстра.

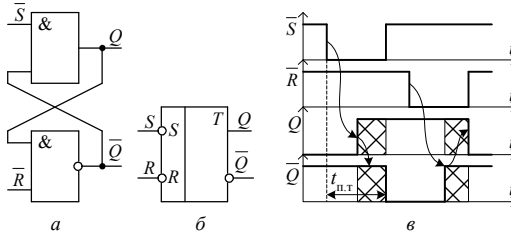


Рис.1.1.1 Асинхронний RS-тригер на елементах НЕ І: а – схема; б – умовне позначення; в – часові діаграми

Таблиця 1.1.1.

R_t	S_t	Q_{t+1}
1	1	
1	0	
0	0	-
0	1	

4. Дослідити динамічний режим роботи RS-тригера.

Для переключення тригера в стан лог. "1" подати сигнали від'ємної полярності основної серії СИ1 на вхід \bar{S} . Для переключення тригера в стан лог. "0"

подати на вхід \bar{R} сигнали від'ємної полярності допоміжної серії СИ2, затриманої на половину періоду

по відношенню до основної серії (рис. 1.1.1). Замалювати осцилограми і виміряти час переключення тригера $t_{пер.м}$ (часовий інтервал між спадами сигналів на вході \bar{S} і виході \bar{Q}) відповідно рис. 1.1.1., в.

Завдання 2. Дослідити синхронний RS-тригер з прямими входами на елементах І-НЕ.

1. Зібрати схему тригера відповідно рис. 1.1.2., а.
2. Підключити входи R і S до гнізд тумблерного реєстра, виходи Q і \bar{Q} – до світлових індикаторів.
3. Дослідити логіку роботи тригера відповідно табл.1.1.2., задаючи значення сигналів R і S з тумблерного реєстра при C=1 (імпульс додатної полярності з виходу ГОІ) після натискання кнопки ПУСК).

Таблиця 1.1.2

C_t	R_t	S_t	Q_{t+1}
1	0	0	
1	0	1	
1	1	0	
1	1	1	-
0	X	X	

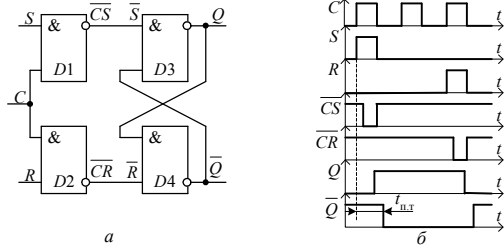


Рис. 1.1.2. Синхронний RS-тригер на елементах НЕ І:
а – схема; б – часові діаграми

4. Дослідити динамічний режим роботи синхронного тригера. Для переключення тригера в стан лог. "1" подати сигнали додатної полярності основної серії СИ1 на вхід \bar{S} і через схему АБО на вхід C . Для переключення тригера в стан лог. "0" подати на вхід R імпульси додатної полярності допоміжної серії СИ2 через схему АБО на вхід C (рис.1.1.2.,а). Замалювати осцилограми і виміряти час переключення тригера $t_{пер.m}$ відповідно рис. 1.1.2., б.

Завдання 3. Дослідити двоступінчастий синхронний JK-тригер на елементах І-НЕ.

1. Зібрати схему відповідно рис. 1.1.3.а.

2. Дослідити логіку роботи тригера відповідно табл.1.1.3, задаючи значення сигналів J і K з тумблерного реєстра при $C=1$.

3. Дослідити динамічний режим роботи синхронного JK-тригера. Подати імпульси додатної полярності СИ1 на входи J , K і C . Замалювати осцилограми сигналів на входах Q і \bar{Q} по відношенню до входних імпульсів.

Таблиця 1.1.3

C	J	K	Q_{t+1}
1	0	0	
1	0	1	
1	1	0	
1	1	1	
0	X	X	

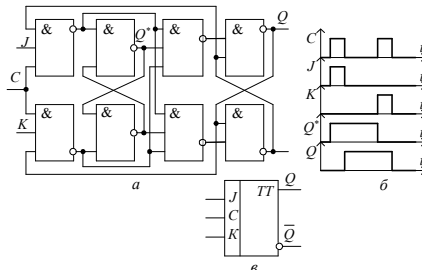


Рис. 1.1.3. Двоступеневий JK-тригер на елементах НЕ І: а – схема; б – часові діаграми; в – УГП

Завдання 4. Дослідити D-тригер на елементах І-НЕ.

1. Зібрати схему тригерів відповідно рис.1.1.4,б.
2. Дослідити логіку роботи тригера відповідно табл.1.1.4, задаючи значення сигналів з тумблерного реєстра при $C=1$.

Таблиця 1.1.4

C	D_t	Q_{t+1}
1	0	
1	1	
0	X	

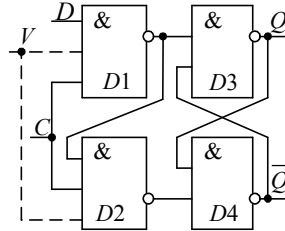


Рис 1.1.4 D -тригер на елементах І-НЕ

3. Дослідити динамічний режим роботи D -тригера. Підключити C -вхід тригера до рівня лог. "1". Подати на D -вхід тригера додатні імпульси серії СИ1. Замалювати осцилограми вхідних і вихідних сигналів і визначити час переключення D -тригера.

Завдання 5. Дослідити D -тригер з динамічним керуванням ("схема трьох тригерів").

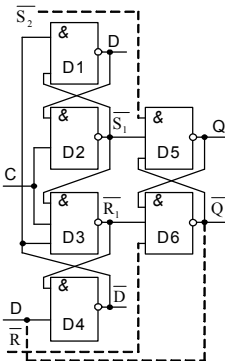


Рис 1.1.5 D -тригер з динамічним керуванням

1. Зібрати схему тригера відповідно рис.1.1.5,а.

2. Дослідити логіку роботи D -тригера відповідно табл.1.1.4, задаючи значення сигналів D з тумблерного реєстра при $C=1$.

3. Дослідити динамічний режим D -тригера при його роботі в якості рахункового T -тригера. З'єднати вихід Q з інформаційним D -входом. На C -вхід (він виконує роль T -входу) подати додатні імпульси серії СИ1. Замалювати осцилограми вхідних і вихідних сигналів і визначити час переключення.

логіграми вхідних і вихідних сигналів і визначити час переключення.

Зміст звіту

Звіт повинен містити:

- 1) мету лабораторної роботи;
- 2) короткі теоретичні відомості про тригери ЕОМ (визначення і призначення, структурна схема, класифікація);

- 3) таблиці переходів, логічні рівняння і діаграми станів досліджуваних тригерів;
- 4) скорочені таблиці переходів тригерів, заповнені в ході досліджень на лабораторній установці;
- 5) осцилограми роботи тригерів в динамічному режимі;
- 6) розрахункові дані по швидкодії тригерів (час переключення і порівняння їх з експериментальними результатами);
- 7) схеми вимірювань часових параметрів;
- 8) висновки на основі отриманих результатів.

Контрольні запитання

1. Дайте визначення тригера ЕОМ і вкажіть його призначення.
2. Охарактеризуйте структурну схему тригера ЕОМ.
3. Вкажіть типові функціональні вузли ЕОМ на основі тригерів.
4. Поясніть роль інформаційних, синхронізуючих і дозволяючих входів тригерів.
5. Розкажіть про особливості роботи асинхронних і синхронних тригерів.
6. Вкажіть відмінності: між прямими та інверсними статичними входами тригера; між прямими та інверсними динамічними входами тригера.
7. Охарактеризуйте одно- і двофазні способи обміну інформацією між тригерами та вузлами ЕОМ.
8. Обґрунтуйте необхідність у використанні двоступеневих тригерів.
9. Що таке спосіб "M-S" в організації двоступеневих тригерів?
10. Вкажіть варіанти керуючого зв'язку між степенями "M" і "S" двоступінчатого тригера.
11. Поясніть таблицю переходів, логічні рівняння, роботу асинхронного RS-тригера на елементах І-НЕ.
12. Охарактеризуйте роботу синхронного RS-тригера на елементах І-НЕ.
13. Розкажіть про способи побудови і особливості роботи двоступеневих RS-тригерів.
14. Поясніть схему і принцип роботи двоступінчатого синхронного JK-тригера на елементах І-НЕ.
15. Приведіть таблицю переходів і логічне рівняння D-тригера.
16. Поясніть принцип роботи двоступінчатого D-тригера.
17. Поясніть схему і принцип роботи D-тригера з динамічним керуванням.
18. Поясніть методику визначення динамічних параметрів одно- і двоступеневих тригерів.

1.2 Лабораторна робота №2 «Дослідження регістрів»

Мета роботи

1. Вивчення принципів побудови, логіки роботи і синтезу регістрів ЕОМ.
2. Основні методи дослідження елементарних і універсальних регістрів ЕОМ.
3. Визначення основних характеристик і параметрів регістрів.

Підготовка до роботи

1. Отримати в лабораторії варіант завдання.
2. Вивчити теоретичну частину роботи за рекомендованою літературою.
3. В лабораторному зошиті представити схеми досліджуваних регістрів ЕОМ і коротке описання лабораторної роботи.
4. Ознайомитись з описанням лабораторної установки.

Завдання і порядок виконання роботи

Завдання 1. Дослідити однофазний спосіб запису інформації в регістр на JK – тригерах.

1. Зібрати схему регістру за рис. 1.2.1
2. Перевірити асинхронну установку регістру в стані «1» (при $\bar{S}=0$) і у стані «0» (при $\bar{R}=0$).
3. Скинути регістр по загальному входу K . Записати в регістр однофазним способом слово $A=1101$ і занести вхідний код Q_1-Q_4 в табл. 1.2.1.
4. Не виконуючи скидання, записати в регістр однофазним способом слово $B=0010$ і записати вхідний код Q_4-Q_1 . Пояснити отриманий результат.

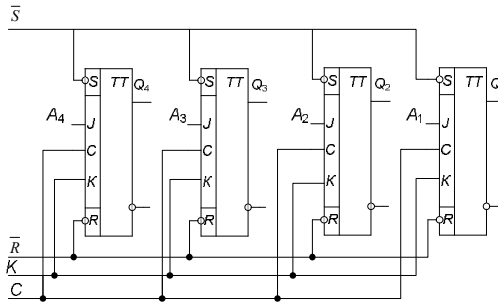


Рис. 1.2.1 Схема чотирьохрозрядного регістра на JK - тригерах з однофазним записом інформації.

Завдання 2. Дослідити парафазний спосіб запису інформації в регістр на JK – тригерах.

1. Зібрати схему регістра згідно з рис. 1.2.2.

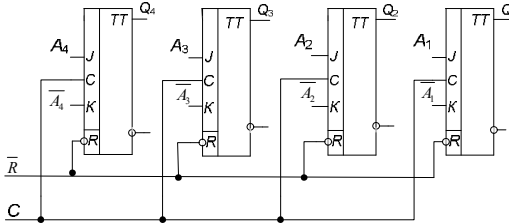


Рис. 1.2.2 Схема чотирьохрозрядного регістра на JK -тригерах з парафазним записом інформації.

2. Записати в регістр парафазним способом слово $A=1011$ і занести вхідний код Q_4-Q_1 в табл. 1.2.1.

Таблиця 1.2.1

Номер завдання	Пункт завдання	Вхідні слова		Вихідний код Q_4-Q_1
		A	B	
1	3	1101	-	
	4	-	0110	
2	2	1011	-	
	3	-	1100	
3	2	1001	-	
	3	-	1010	

3. Не виконуючи скидання, записати в регістр парафазним способом слово $B=1100$, занести вхідний код Q_4-Q_1 в табл. 1.2.1. і пояснити отримані результати.

Завдання 3. Дослідити запис інформації в регістр на JK -тригерах з двох напрямків.

1. Зібрати схему регістра згідно з рис. 1.2.3

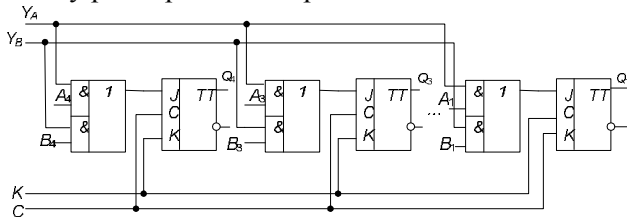


Рис. 1.2.3. Схема чотирьохфазного регістра на JK -тригерах з записом з двох напрямків.

2. Скинути регістр по загальному входу K . записати в регістр однофазним способом слово $A=1001$ при значенні керуючого сигналу $Y_A=1$ і занести вхідний код Q_4-Q_1 в табл. 1.2.1.

3. Повторити пункт 2 для слова $B=1010$ при значенні керуючого сигналу $Y_B=1$. Пояснити отримані результати.

Завдання 4. Дослідити зчитування інформації з регістра однофазним кодом.

1. Зібрати схему регістру згідно з рис. 1.2.4.

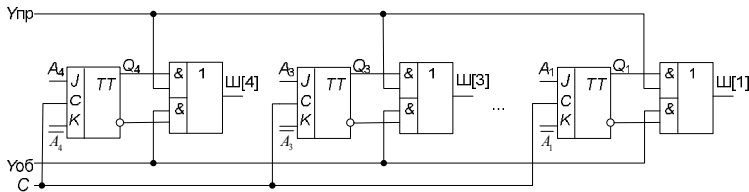


Рис. 1.2.4. Схема чотирьохфазного регістра на *JK*-тригерах зі зчитуванням інформації прямим та оберненим однофазним кодом.

Таблиця 1.2.2

Вхідне слово A	Вихідний код Ш4-Ш1	
	$Y_{пр}=1$	$Y_{об}=1$
1011		

2. Записати в регістр парафазним кодом слово $A=1011$. Занести в табл.1.2.2. вихідний однофазний код Ш4-Ш1 при значенні керуючих сигналів $Y_{пр}=1$,

$Y_{об}=1$. Пояснити отримані результати.

Завдання 5. Дослідити зчитування інформації з регістру парафазним кодом.

1. Зібрати схему регістру згідно з рис. 1.2.5.

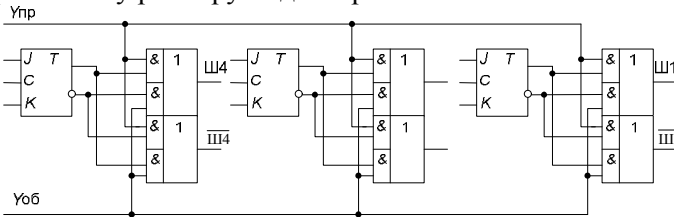


Рис. 1.2.5 Схема чотирьохфазного регістра на *JK*-тригерах зі зчитуванням інформації прямим та оберненим парафазним кодом

2. Записати в регістр парафазним кодом слово $A=1011$. Занести в табл. 1.2.3. вихідний парафазний код Ш4-Ш1 і Ш4-Ш1 при значенні керуючих сигналів $Y_{пр}=1$, $Y_{об}=1$. Пояснити отримані результати.

Таблиця 1.2.3

Вхідне слово A	Вихідний код Ш4-Ш1		Вихідний код Ш4-Ш1	
	$Y_{пр}=1$	$Y_{об}=1$	$Y_{пр}=1$	$Y_{об}=1$
1011				

Завдання 6 Дослідити роботу регістру зсуву на двоступеневих *JK*-тригерах.

1. Зібрати схему регістру згідно з рис. 1.2.6

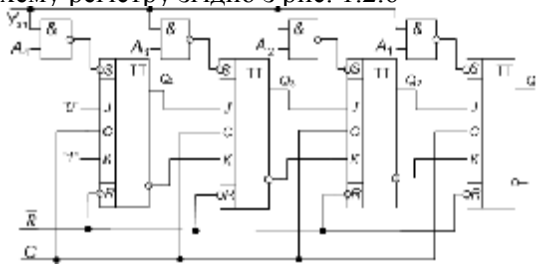


Рис. 1.2.6 Схема чотирьохфазного регістру зсуву вправо на двоступеневих *JK*-тригерах

- За допомогою асинхронних входів скинути регістр при $\overline{R} = 0$ і потім записати слово $A=1011$ при $Y_{зп}=1$.
- Подати послідовно на C – вхід регістра чотири $СІ$ і занести в табл. 1.2.4 вихідний код Q_4-Q_1 після кожного логічного зсуву вправо. Пояснити отримані результати.

Таблиця 1.2.4

Вхідне слово A	Вихідний код після зсуву вправо			
	Перший зсув	Другий зсув	Третій зсув	Четвертий зсув
1011				

Завдання 7. Дослідити запис інформації в регістр на *D*-тригерах.

1. Зібрати схему регістра згідно з рис. 1.2.7.

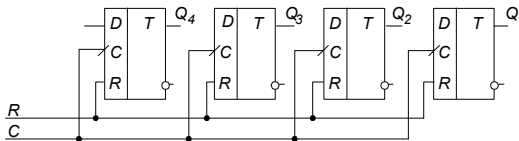


Рис. 1.2.7. Схема чотирьохфазного регістра на *D*-тригерах

- Скинути регістр по асинхронному входу \overline{R} .
- Записати в регістр перше слово $A_1=1010$ і занести вихідний код Q_4-Q_1 в табл.1.2.5.
- Не виконуючи скидання, повторити п.3 для другого слова $A_2=0111$. Пояснити отримані результати.

Таблиця 1.2.5

Номер завдання	Вхідні слова	Вихідний код Q_4-Q_1
3	1010	
4	0111	

Завдання 8. Дослідити роботу регістра зсуву на *D*-тригерах з динамічним керуванням.

1. Зібрати схему регістра згідно з рис. 1.2.8.

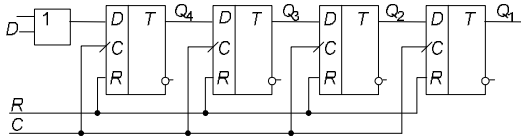


Рис. 1.2.8 Схема чотирифазного регістра зсуву вправо на *D*-тригерах з динамічним керуванням

2. Обнулити регістр і потім реалізувати послідовне занесення слова $A=1001$, починаючи з молодших розрядів. Значення вихідного коду Q_4-Q_1 в кожному такті записати в табл. 1.2.6. Пояснити отримані результати.

Таблиця 1.2.6

Вхідне слово A	Вихідний код Q_4-Q_1 в кожному такті			
	Перший такт	Другий такт	Третій такт	Четвертий такт
1001				

Завдання 9. дослідити роботу розподілювача тактів.

1. Зібрати схему регістра згідно з рис. 1.2.9.

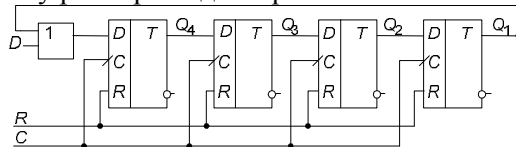


Рис. 1.2.9 Схема чотирьохфазного розподілювача тактів

2. Обнулити регістр і потім по лінії *R* записати в старший розряд Q_4 одиницю.

3. Підключити вхід синхронізації *C* регістра до ГОІ частотою 500 кГц. За допомогою осцилографа побудувати часові діаграми роботи тригерів розподілювача тактів (кільцевого регістра) по відношенню до *C*.

4. Визначити довжину такту чотирифазної системи синхронізації.

Зміст звіту:

- 1.) Мета лабораторної роботи;
- 2.) Короткі теоретичні відомості про регістри ЕОМ (визначення і призначення, класифікація, області застосування);
- 3.) Схеми досліджуваних регістрів пам'яті і зсуву, таблиці експериментальних даних, часові діаграми роботи;
- 4.) Логічний синтез вхідної та вихідної логіки;

5.) Висновки на основі аналізу отриманих результатів.

Контрольні запитання

1. Дайте визначення регістрів ЕОМ.
2. Вкажіть основні області застосування регістрів ЕОМ.
3. Сформулюйте ознаки класифікації регістрів.
4. Охарактеризуйте групи мікрооперацій, що реалізуються в регістрах ЕОМ.
5. Вкажіть недоліки та переваги однофазного та пара фазного способу запису інформації в регістри.
6. Як будується вхідна логіка регістра для запису інформації з двох джерел?
7. Побудуйте схему зчитування інформації з регістра однофазним прямим та оберненим кодом.
8. Побудуйте схему зчитування інформації з регістра парафазним прямим та оберненим кодом.
9. Яким чином виконуються порозрядні логічні операції в регістрах?
10. Охарактеризуйте мікрооперації зсуву.
11. Які вимоги пред'являються до тригерів в регістрах зсуву?
12. Запропонуйте схему регістру для перетворення паралельного коду в послідовний і навпаки.
13. Побудуйте схему трьохфазного розподільювача тактів.

1.3 Лабораторна робота №3 «Дослідження лічильників»

Мета роботи

1. Вивчення принципів побудови, логіки роботи і синтезу лічильників ЕОМ.
2. Основні методики дослідження лічильників ЕОМ.
3. Визначення основних характеристик і параметрів лічильників на інтегральних мікросхемах.
4. Ознайомлення з мікросхемами лічильників вітчизняних серій ТТЛ К155, К555, ЭСЛ 500, К1500.

Підготовка до роботи

1. Отримати в лабораторії «Схемотехніка ЕОМ» варіант завдання.
2. Вивчити теоретичну частину роботи за рекомендованою літературою.
3. В зошиті для лабораторних робіт представити схеми досліджуваних лічильників, а також коротке описання їх роботи.
4. Ознайомитись з описанням лабораторної установки УМ-II

Завдання і порядок виконання роботи.

Завдання 1. Дослідити двійковий асинхронний сумуючий лічильник на *JK*-тригерах.

1. Зібрати схему лічильника згідно з рис.1.3.1.

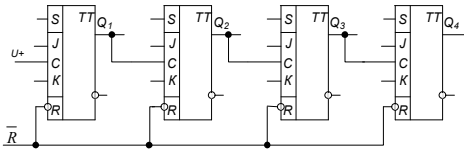


Рис. 1.3.1. Схема двійкового асинхронного сумуючого лічильника на *JK*-тригерах

2. Обнулити лічильник по входу \overline{R} .

3. Подати на вхід лічильника послідовність одиничних імпульсів і записати в табл. 1.3.1 стан виходів Q_4 - Q_1 .

4. Подати на вхід лічильника імпульси з частотою 1 МГц. Побудувати за допомогою осцилографа часові діаграми роботи лічильника.

Завдання 2. Дослідити двійковий асинхронний віднімаючий лічильник на *JK*-тригерах.

1. Зібрати схему лічильника згідно рис. 1.3.2.

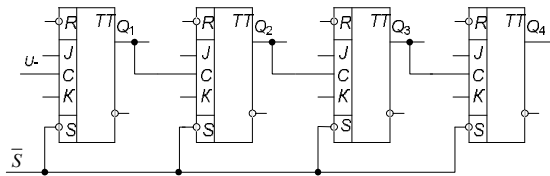


Рис. 1.3.2. Схема двійкового асинхронного віднімаючого лічильника на *JK*-тригерах

2. Встановити лічильник в стан 1111 по входу \overline{S} .

Таблиця 1.3.1

Номер завдання	Виходи лічильника	Номера послідовності лічильних імпульсів															
		3															
1	2	0	1	2	3	4	5	11	12	13	14	15	16	17			
1	Q_1	0															
	Q_2	0															
	Q_3	0															
	Q_4	0															
2	Q_1	1															
	Q_2	1															
	Q_3	1															
	Q_4	1															

1	2	3									
3	Q_1	0									
	Q_2	0									
	Q_3	0									
	Q_4	0									
4	Q_1	1									
	Q_2	1									
	Q_3	1									
	Q_4	1									
7		$Y_C=1, Y_B=0$					$Y_C=0, Y_B=1$				
8	Q_1	0									
	Q_2	0									
	Q_3	0									
	Q_4	0									
9	Q_1	0									
	Q_2	0									
10	Q_1	0									
	Q_2	0									
	Q_3	0									
	Q_4	0									

3. Виконати пункт 3.4 завдання 1.

Завдання 3. Дослідити двійковий асинхронний сумуючий лічильник на D -тригерах.

1. Зібрати схему лічильника згідно рис. 1.3.3.

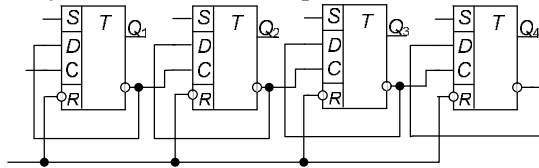


Рис. 1.3.3. Схема асинхронного сумуючого лічильника на D -тригерах

2. Виконати п. 2,3,4 завдання 1.

Завдання 4. Дослідити двійковий асинхронний віднімаючий лічильник на D -тригерах.

1. Зібрати схему лічильника згідно рис. 1.3.4.

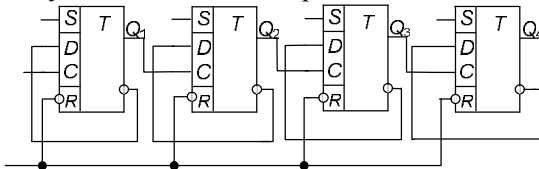


Рис. 1.3.4. Схема двійкового логічного лічильника з крізьним переносом на JK -тригерах

2. Виконати п. 2,3 завдання 2.

Завдання 5. Дослідити двійковий сумуючий лічильник з кризьним переносом.

1. Зібрати схему лічильника згідно рис. 1.3.5.

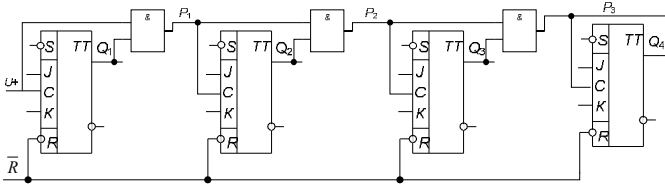


Рис. 1.3.5. Схема двійкового синхронного сумуючого лічильника на *JK*-тригерах

2. Обнулити лічильник по входу \bar{R} .

3. Подати на вхід лічильника послідовність одиничних імпульсів і спостерігати стан виходів Q_4 - Q_1 .

4. Подати на вхід лічильника імпульси з частотою 1 МГц. Спостерігати за допомогою осцилографа зміни сигналів Q_4 - Q_1 по відношенню до вхідних імпульсів.

Завдання 6. Дослідити двійковий синхронний сумуючий лічильник на *JK*-тригерах.

1. Зібрати схему лічильника згідно рис. 1.3.6.

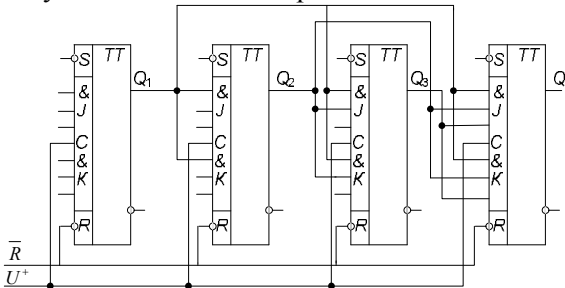


Рис.1.3.6. Схема двійкового синхронного сумуючого лічильника на *JK*-тригерах

2. Виконати п. 2,3,4 завдання 5.

Завдання 7. Дослідити двійковий реверсивний лічильник на *JK*-тригерах.

1. Зібрати схему лічильника згідно рис. 1.3.7.

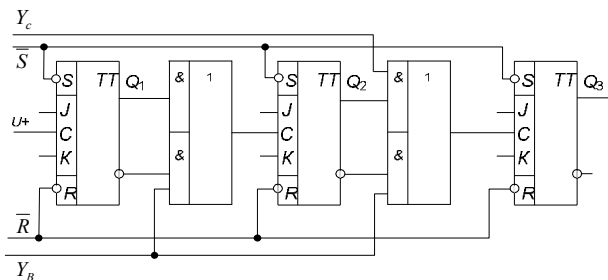


Рис. 1.3.7. Схема двійкового реверсивного лічильника

2. Скинути лічильник по входу \overline{R} .
3. При значенні управляючого сигналу $Y_C=1$ (режим додавання) подати на вхід лічильника 12 імпульсів і записати в табл. 1.3.1 стан виходів Q4-Q1.
4. Не виконуючи скидання, встановити значення управляючого сигналу $Y_B=1$ (режим віднімання) і подати на вхід лічильника 5 імпульсів. Записати стан виходів в табл.1.3.1.

Завдання 8. Дослідити десятковий лічильник на JK-тригерах.

1. Зібрати схему лічильника згідно рис. 1.3.8.

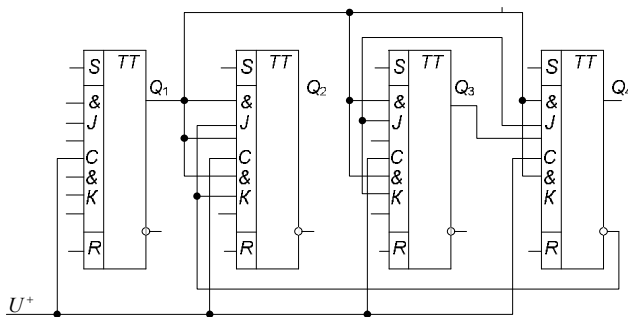


Рис. 1.3.8. Схема десяткового лічильника на JK- тригерах

2. Обнулити лічильник по входу \overline{R} .
3. Подати на вхід лічильника послідовність одиничних імпульсів і записати в табл.1.3.1 стан виходів Q4-Q1.
4. За допомогою осцилографа побудувати часові діаграми роботи лічильника.

Завдання 9. Дослідити лічильник з довільним модулем рахунку.

1. Зібрати схему лічильника згідно рис. 1.3.9.

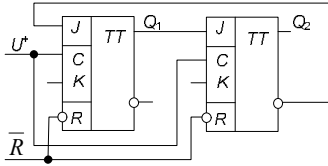


Рис. 1.3.9. Схема лічильника з довільним модулем рахунку

2. Обнулити лічильник по входу \overline{R} .
3. Подати на вхід лічильника послідовність одиничних імпульсів і записати в табл.1.3.1 стан виходів Q_4-Q_1 . Визначити модуль рахунку Ксч.

Завдання 10. Дослідити лічильник Джонсона.

1. Зібрати схему лічильника згідно рис. 1.3.10.

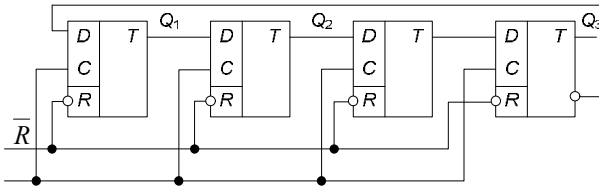


Рис. 1.3.10 Схема лічильника Джонсона.

2. Обнулити лічильник по входу \overline{R} .
3. Подати на вхід лічильника послідовність одиничних імпульсів і записати в табл.1.3.1 стан виходів Q_4-Q_1 . Визначити модуль рахунку Ксч.
4. Замалювати за допомогою осцилографа часові діаграми роботи лічильника.

Зміст звіту

Звіт повинен містити:

1. Мету лабораторної роботи;
2. Короткі теоретичні відомості про лічильники ЕОМ – визначення, класифікація, області застосування;
3. Схему лічильників, які досліджуються, таблиці експериментальних даних, часові діаграми роботи;
4. Висновки на основі отриманих результатів.

Контрольні запитання

1. Дайте визначення лічильників ЕОМ.
2. Вкажіть область застосування лічильників ЕОМ.
3. Сформулюйте ознаки класифікації лічильників.
4. Охарактеризуйте два режими роботи лічильника-управління і ділення.
5. Яким чином підвищити швидкодію лічильника в режимі управління?
6. У чому різниця двійкового лічильника від десяткового?

7. Які обмеження накладаються на роботу реверсивного лічильника?
8. За якими правилами організуються зв'язки між тригерами сумуючого і віднімаючого лічильника?
9. Які особливості роботи лічильника на двоступеневих тригерах порівняно з D - тригерами з динамічним управлінням.
10. Вкажіть способи побудови лічильників з довільним модулем рахунку.
11. Охарактеризуйте лічильник Джонсона.

Модуль 2 „Комбінаційні вузли та основні пристрої комп'ютерів

2.1 Лабораторна робота №1 «Дослідження дешифраторів і шифраторів»

Мета роботи

1. Вивчення принципів побудови, логіки роботи й синтезу дешифраторів і шифраторів.
2. Освоєння методики дослідження схем дешифраторів і шифраторів.
3. Визначення основних характеристик і параметрів дешифраторів і шифраторів на інтегральних мікросхемах.
4. Ознайомлення з мікросхемами дешифраторів і шифраторів вітчизняних серій ТТЛШ, ЕЗЛ, КМОН.

Підготовка до роботи

1. Одержати в лабораторії варіанти завдання.
2. Вивчити теоретичну частину роботи з рекомендованої літератури.
3. У лабораторному зошиті представити схеми досліджуваних дешифраторів і шифраторів і дати короткий опис логіки їхньої роботи.
4. Ознайомитися з описом лабораторної установки.

Завдання й порядок виконання роботи

Завдання 1. Досліджувати схему лінійного дешифратора на два входи й чотири інверсних виходи на елементах НЕ-І.

1. Скласти таблицю істинності дешифратора на два входи X_1, X_2 і чотири інверсних виходи $L_0...L_3$.

Записати систему логічних рівнянь у вигляді, зручному, для реалізації на логічних елементах НЕ-І.

2. На основі системи рівнянь, отриманих у п.1, побудувати схему лінійного дешифратора на два входи й чотири інверсних виходи на елементах НЕ-І (рис. 2.1.1).

3. Підключити входи дешифратора до тумблерів, виходи - до світлових індикаторів. Задаючи за допомогою тумблерів значення вхідних змінних X_1 і X_2 , записати значення виходів $L_0...L_3$ у табл.2.1.1. При значенні логічної одиниці на виході дешифратора індикатор включений (світиться), при значенні логічного нуля - індикатор виключений (погашений). Зрівняти результати експерименту з теоретичними даними. Визначити вартість схеми дешифратора на рис.2.1.1.

Таблиця 2.1.1.

X_2	X_1	L_0	L_1	L_2	L_3
0	0				
0	1				
1	0				
1	1				

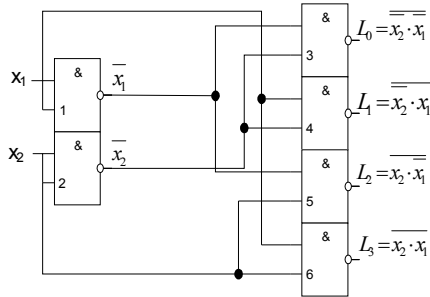


Рис. 2.1.1. Схема лінійного дешифратора на два входи і чотири інверсні виходи

Завдання 2. Дослідити схему лінійного дешифратора на два входи й чотири прямі виходи на логічних елементах НЕ-І.

1. Скласти таблицю істинності дешифратора на два входи X_1, X_2 і чотири прямі виходи $F_0...F_3$ (див.табл. 2.1.2). Записати систему логічних рівнянь дешифратора в СДВФ. Перетворити систему рівнянь до виду, зручному для реалізації на логічних елементах НЕ-І.

2. На основі системи рівнянь, отриманих у п.1, побудувати схему лінійного дешифратора на два входи й чотири прямі виходу на елементах НЕ-І (рис.2.1.2.).

3. Підключити входи дешифратора до тумблерів, виходи - до світлових індикаторів. Задаючи за допомогою тумблерів значення змінних X_1 і X_2 , записати значення виходів $F_0...F_3$ у табл.2.1.2. Зрівняти результати експерименту з теоретичними даними. Визначити вартість схеми дешифратора на рис.2.1.2.

Таблиця 2.1.2

X_2	X_1	F_0	F_1	F_2	F_3
0	0				
0	1				
1	0				
1	1				

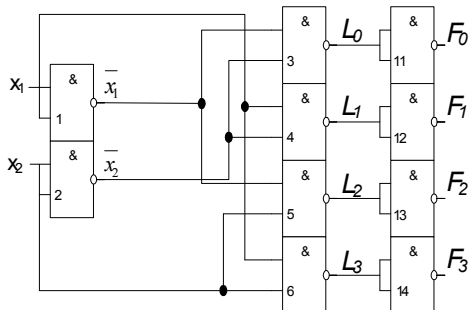


Рис. 2.1.2. Схема лінійного дешифратора на два входи і чотири прямих виходи

4. Підключити до входу X_1 і виходу F_1 досліджуваного дешифратора двоканальний осцилограф. На вхід X_1 дешифратора подати імпульси позитивної полярності частотою 1МГц, на вхід X_2 подати значення ло-

гічного нуля. Виміряти тимчасові параметри дешифратора – затримки

поширення сигналу $t_{зд.р}^{0.1}$ й $t_{зд.р}^{1.0}$. Замалювати осцилограму спостережуваного процесу. Визначити середню затримку поширення сигналу.

Завдання 3. Досліджувати схему лінійного дешифратора на два входи й чотири прямі виходи зі стробуючий входами.

1. Скласти таблицю істинності дешифратора на два входи X_1, X_2 і чотири прямі виходи $F_0...F_3$ зі стробуючим W входом. Записати систему логічних рівнянь у ДДНФ із обліком змінної W . Перетворити систему рівнянь до виду, зручному для реалізації на логічних елементах НЕ-І.

2. На основі системи рівнянь, отриманих у п.1, побудувати схему лінійного дешифратора на два інформаційних входи й чотири прямі виходи й входом стробування (рис. 2.1.3.).

3. Підключити входи дешифратора до тумблерів, виходи - до світлових індикаторів. Задаючи за допомогою тумблерів значення вхідних змінних X_1 і X_2 , записати значення виходів у табл.2.1.3. Зрівняти результати експерименту з теоретичними даними. Зробити розрахунок середньої затримки поширення сигналу досліджуваного дешифратора.

Таблиця 2.1.3

W	X_1	X_2	F_0	F_1	F_2	F_3
0	X	X				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

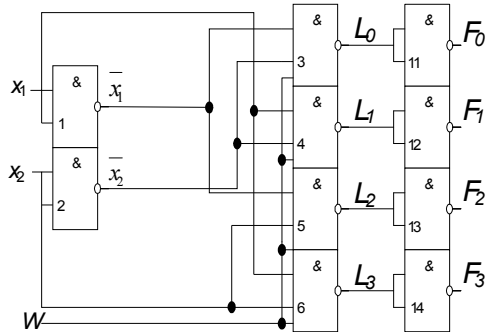


Рис. 2.1.3. Схема лінійного дешифратора зі стробуючими входами

Завдання 4. Дослідити схему пірамідального дешифратора на три входи й вісім прямих виходів.

1. Скласти таблицю істинності дешифратора на три входи X_1, X_2 і X_3 і вісім прямих виходів $F_0...F_7$. Записати систему логічних рівнянь дешифратора в ДДНФ.

- На основі системи рівнянь, отриманих у п.1, побудувати схему неповного пірамідального дешифратора на три входи й чотири виходи $F_0...F_3$ (рис.2.1.4).
- Підключити входи дешифратора до тумблерів, виходи - до світлових індикаторів.

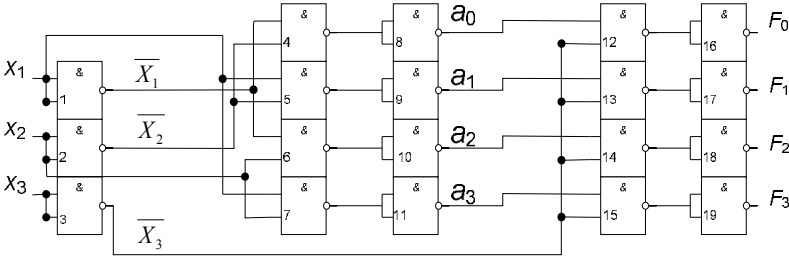


Рис. 2.1.4. Схема неповного пірамідального дешифратора.

Задаючи за допомогою тумблерів значення вхідних змінних, записати значення виходів у табл.2.1.4. Після одержання значень виходів $F_0...F_3$ схему комутувати для одержання старших виходів $F_4...F_7$.

Зрівняти результати експерименту з теоретичними даними. Визначити вартість схеми досліджуваного дешифратора. Зробити розрахунок середньої затримки поширення сигналу схемою дешифратора на рис.2.1.4.

Таблиця 2.1.4

X_3	X_2	X_1	F_0	F_1	F_2	F_3	V_3	V_2	V_1	F_4	F_5	F_6	F_7
0	0	0					1	0	0				
0	0	1					1	0	1				
0	1	0					1	1	0				
0	1	1					1	1	1				

Завдання 5. Дослідити схему шифратора на шість входів і три виходи на елементах НЕ-І.

1. Скласти таблицю істинності шифратора на шість входів і три виходи (табл.2.1.5.). Система рівнянь перетвориться до виду, зручному для реалізації на елементах НЕ-І:

$$X_1 = \overline{\overline{C_1} \overline{C_3} \overline{C_5}}; X_2 = \overline{\overline{C_2} \overline{C_3}}; X_3 = \overline{\overline{C_4} \overline{C_5}}; P = \overline{\overline{\overline{C_0} \overline{C_1} \overline{C_2} \overline{C_3} \overline{C_4} \overline{C_5}}}$$

2. На основі рівнянь, отриманих у п.1, побудувати схему шифратора на шість входів і три виходи (рис.2.1.5). У даній схемі інверсні значення C_1 утворюються за допомогою тумблерів вхідних змінних.

Таблиця 2.1.5

C_5	C_4	C_3	C_2	C_1	C_0	X_3	X_2	X_1	P
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	1	0	0	0	1
0	0	0	0	1	0	0	0	1	1
0	0	0	1	0	0	0	1	0	1
0	0	1	0	0	0	0	1	1	1
0	1	0	0	0	0	1	0	0	1
1	0	0	0	0	0	1	0	1	1

3. Підключити входи шифратора до інверсних виходів тумблерів, виходи - до світлових індикаторів. Задаючи за допомогою тумблерів значення вхідних змінних, зрівняти отримані дані зі значеннями в табл. 2.1.5.

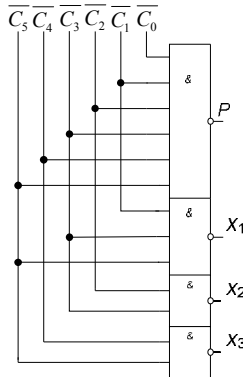


Рис. 2.1.5. Схема шифратора на 6 входів і на 3 виходи на елементах НЕ-І

Зміст звіту

Звіт повинен містити:

- 1) мету лабораторної роботи;
- 2) принципів схеми й умовні графічні позначення досліджуваних дешифраторів і шифраторів;
- 3) значення експериментальних даних; таблиці істинності й системи логічних рівнянь досліджуваних дешифраторів і шифраторів;
- 4) висновки, що базуються на аналізі отриманих результатів.

Контрольні питання

1. Укажіть функціональне призначення дешифраторів.
2. Укажіть основні області застосування дешифраторів ЕОМ.

3. Охарактеризуйте принцип побудови лінійних дешифраторів.
4. Поясніть принцип побудови пірамідальних дешифраторів.
5. Поясніть принцип побудови матричних дешифраторів .
6. Дайте порівняльну характеристику різних, структур дешифраторів.
7. Що таке стробування дешифратора?
8. Укажіть відмінності в роботі дешифраторів із прямими й інверсними виходами.
9. Чим відрізняється пряме й інверсне стробування дешифратора?
10. Що таке каскадування дешифраторів?
11. Які логічні операції може реалізувати дешифратор на n входів? .
12. Представте структуру багатоступінчастого дешифратора .
13. Назвіть відомі Вам мікросхеми дешифраторів.
14. Які обмеження властиві схемам лінійних дешифраторів?
15. Які обмеження властиві схемам пірамідальних дешифраторів?
16. Які обмеження властиві схемам матричних дешифраторів?
17. Приведіть формули для розрахунку числа логічних елементів у схемах дешифраторів різних структур.
18. Укажіть функціональне призначення шифраторів.
19. Укажіть основні області застосування шифраторів.
20. Що таке схема покажчика старшої одиниці?
21. Що таке пріоритетний шифратор?
22. Поясніть два способи побудови пріоритетних шифраторів.
23. Поясніть спосіб каскадування пріоритетних шифраторів.
24. Укажіть відомі Вам мікросхеми шифраторів.
25. Приведіть умовні графічні позначення шифраторів і дешифраторів на функціональних і принципових схемах.

2.2 Лабораторна робота №2 «Дослідження мультіплексорів і демультіплексорів»

Ціль роботи

1. Вивчення логіки роботи, принципів побудови й синтезу мультіплексорів у демультіплексорів.
2. Освоєння методики дослідження схем мультіплексорів і демультіплексорів.
3. Визначення основних характеристик і параметрів мультіплексорів і демультіплексорів на інтегральних мікросхемах.
4. Ознайомлення з мікросхемами мультіплексорів і демультіплексорів вітчизняних серій ТТЛШ, ЕЗЛ і КМОН.

Підготовка до роботи

1. Одержати в лабораторії варіант завдання.
2. Вивчити теоретичну частину роботи з рекомендованої літератури.
3. У лабораторному зошиті представити схеми досліджуваних мультимплексорів, демультимплексорів і дати короткий опис логіки їхньої роботи.
4. Ознайомитися з описом лабораторної установки.

Завдання і порядок виконання роботи

Завдання 1. Дослідити схему мультимплексора "2-1".

1. Побудувати схему мультимплексора на два інформаційних входи X_0, X_1 , один інформаційний вихід D й один адресний вхід A_0 (рис.2.2.1.).
2. Підключити інформаційні й адресні входи до тумблерів, а вихід до світлового індикатора. Задаючи комбінації вхідних X_0, X_1 й адресної A_0 інформації, записати в табл.2.2.1. значення інформаційного виходу D . За даними табл.2.2.1. записати логічне рівняння мультимплексора "2-1".

Таблиця 2.2.1

A_0	X_1	X_0	D	A_0	X_1	X_0	D
0	0	0		1	0	0	
0	0	1		1	0	1	
0	1	0		1	1	0	
0	1	1		1	1	1	

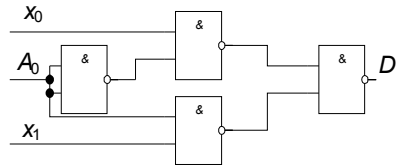


Рис. 2.2.1. Схема мультимплексора «2-1»

3. Підключити до входу X_0 і виходу D схеми мультимплексора двохканальний осцилограф. На вхід X_0 подати імпульси позитивної полярності частотою 1МГц. Для значення $A_0=0$ виміряти затримку розповсюдження сигналу. Замалювати осцилограму спостережуваного процесу. Визначити середню затримку поширення сигналу.

Завдання 2. Дослідити схему мультимплексора "4-1".

1. Побудувати схему мультимплексора на чотири інформаційних входи $X_0...X_3$, один інформаційний вихід D і два адресних входи - A_0, A_1 (рис.2.2.2).
2. Підключити інформаційні й адресні входи до тумблерів, а вихід - до світлового індикатора. Задаючи комбінації вхідний X_0, X_1 й адресної A_0, A_1 інформації, записати в табл. 2.2.2. значення інформаційного виходу D . За даними табл. 2.2.2 записати логічне рівняння мультимплексора "4-1".

Таблиця 2.2.2

A_1	A_0	X_3	X_2	X_1	X_0	D
0	0	0	0	0	0	
0	0	0	0	0	1	
0	1	0	0	0	0	
0	1	0	0	1	0	
1	0	0	0	0	0	
1	0	0	1	0	0	
1	1	0	0	0	0	
1	1	1	0	0	0	

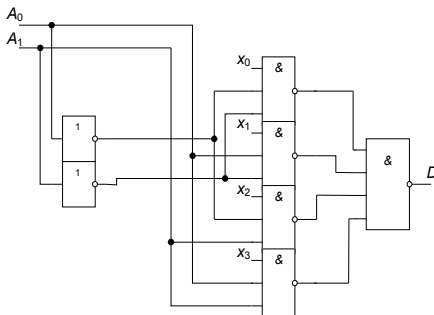


Рис.2.2.2. Схема мультимплектора "4-1"

3. Підключити до входу X_0 і виходу D схеми мультимплектора двуканальний осцилограф. На вхід X_0 подати імпульси позитивної полярності частотою 1МГц. Для значень $A_1=A_0=0$ виміряти затримки поширення сигналу. Замалювати осцилограму спостережуваного процесу. Визначити середню затримку поширення сигналу.

Завдання 3. Дослідити схему мультимплектора "4-1" (див. рис.2.2.2) у режимі реалізації логічних функцій.

1. Для заданого варіанта логічної функції в ДДНФ в (табл.2.2.3) побудувати таблицю істинності.

2. Подати на входи $X_0...X_3$ схеми мультимплектора (рис.2.2.2) логічні константи відповідно до таблиці істинності.

3. Задаючи комбінації вхідних змінних A_0, A_1 , записати в табл. 2.2.4 значення логічної функції на виході D мультимплектора. Зрівняти теоретичні й експериментальні результати.

Таблиця 2.2.3

Номер варіанту	Логічні функції
1	$\overline{A_1} \overline{A_0} \vee A_1 A_0$
2	$\overline{A_1} A_0 \vee A_1 \overline{A_0}$
3	$A_1 A_0 \vee \overline{A_1} A_0 \vee \overline{A_1} \overline{A_0}$
4	$\overline{A_1} \overline{A_0} \vee A_1 \overline{A_0} \vee A_1 A_0$

Таблиця 2.2.4

A_1	A_0	$F=D$
0	0	
0	1	
1	0	
1	1	

Завдання 4. Дослідити схему демультимплектора "1-2".

1. Побудувати схему демультимплектора на один інформаційний вхід D , два інформаційних виходи X_0, X_1 й один адресний вхід A_0 (рис.2.2.3).

2. Підключити інформаційні й адресні входи до тумблерів, а виходи - до світлових індикаторів. Задаючи комбінації вхідного D й адресного A_0 входів, записати в табл.2.2.5 значення інформаційних виходів X_0, X_1 . За даними табл.2.2.5 записати логічне рівняння демультиплектора "1-2".

Таблиця 2.2.5

A_0	D	X_1	X_0
0	0		
0	1		
1	0		
1	1		

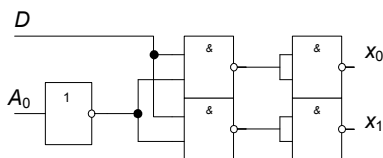


Рис.2.2.3. Схема демультиплектора "1-4"

3. Підключити до входу D і виходу X_0 схеми демультиплексатора двуканальний осцилограф. На вхід D подати імпульс позитивної полярності частотою 1МГц. Для значень $A_0=0$ виміряти затримки поширення сигналу. Замалювати осцилограму спостережуваного процесу.

Завдання 5. Дослідити схему демультиплектора "1-4",

1. Побудувати схему демультиплектора на один інформаційний вхід D , чотири інформаційних виходи $X_0...X_3$ і два адресних входи A_0, A_1 (рис.2.2.4.).

2. Підключити інформаційні й адресні входи до тумблерів, а виходи до світлових індикаторів. Задаючи комбінації вхідного D й адресних A_0, A_1 змінних записати в табл.6 значення інформаційних виходів $X_0...X_3$.

За даними табл.2.2.6 записати логічне рівняння демультиплектора "1-4".

Таблиця 2.2.6

A_1	A_0	D	X_3	X_2	X_1	X_0
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

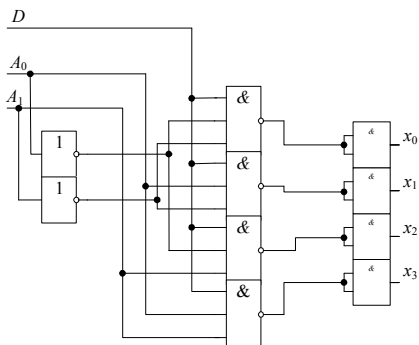


Рис. 2.2.4 Схема демультиплектора «1-4»

3. Підключити до входу D і виходу X_0 схеми демультимплектора двуканальний осцилограф. На вхід D подати імпульси позитивної полярності частотою 1 МГц. Для значень $A_1=A_0=0$ виміряти затримки поширення сигналу. Замалювати осцилограму спостережуваного процесу. Визначити середню затримку поширення сигналу.

Зміст звіту

Звіт повинен містити:

- 1) мету лабораторної роботи;
- 2) принципів схеми досліджуваних мультимплекторів і демультимплекторів;
- 3) значення експериментальних даних таблиці мікрооперацій і системи логічних рівнянь досліджуваних схем;
- 4) висновки, засновані на аналізі отриманих результатів.

Контрольні запитання

1. Вкажіть функціональне призначення мультимплекторів .
2. Вкажіть області застосування мультимплекторів.
3. Вкажіть взаємозв'язок між кількістю інформаційних й адресних входів мультимплекторів.
4. Як використовується мультимплектор для реалізації логічних функцій?
5. Що таке каскадування мультимплекторів?
6. Що таке мультимплектор шин?
7. Як будується мультимплектор шин?
8. Вкажіть відомі Вам мікросхеми мультимплекторів.
9. Вкажіть функціональне позначення мультимплекторів.
10. Вкажіть області застосування демультимплекторів.
11. Вкажіть взаємозв'язок між кількістю інформаційних й адресних входів демультимплекторів.
12. Що таке каскадування демультимплекторів?
13. Що таке мультимплексування шин?
14. Як будується демультимплектор шин?
15. Вкажіть відомі Вам мікросхеми демультимплекторів.
16. Приведіть умовні графічні позначення демультимплекторів на функціональних і принципівих схемах.

2.3 Лабораторна робота №5 «Дослідження суматорів»

Мета роботи:

1. Вивчення принципів побудови і логіки роботи двійкових суматорів ЕОМ.
2. Освоєння методики визначення статичних і динамічних характеристик суматорів ЕОМ.
3. Ознайомлення з суматорами ЕОМ в серіях інтегральних мікросхем ТТЛШ.

Завдання і порядок виконання роботи

Завдання 1. Дослідити схему напівсуматора на логічних елементах І-НЕ.

1. Перетворити рівняння напівсуматора до зручного на реалізації на логічних елементах І-НЕ:

$$M_1 = \overline{\overline{X_1 Y_1} \vee X_1 \overline{Y_1}} = \overline{\overline{X_1 Y_1} \cdot X_1 \overline{Y_1}}; R_1 = \overline{X_1 Y_1}$$

2. На основі отриманих рівнянь зібрати схему напівсуматора на елементах І-НЕ (рис. 2.5.1)
3. Підключити входи $X_1 X_1$ і $Y_1 Y_1$ до гнізд тумблерного реєстра, а виходи M_1 і R_1 – до світлових індикаторів.
4. Дослідити роботу напівсуматора згідно з табл. 2.5.1. Задати значення вхідних змінних за допомогою тумблерів, записати в цю ж таблицю значення функцій M_1 і R_1 . Порівняти отримані результати з теоретичними даними.

Таблиця 2.5.1

X_1	Y_1	M_1	R_1
0	0		
0	1		
1	0		
1	1		

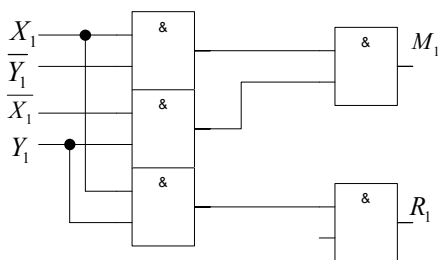


Рис 2. 5.1. Схема напівсуматора на елементах І-НЕ

Завдання 2. Дослідити схему напівсуматора на логічних елементах І-АБО-НЕ.

1. Перетворити рівняння напівсуматора до вигляду, зручному до реалізації на логічних елементах І-АБО-НЕ:

$$M_1 = \overline{X_1}Y_1 \vee X_1\overline{Y_1} = \overline{X_1Y_1} \vee \overline{X_1\overline{Y_1}}$$

$$R_1 = \overline{X_1Y_1} = \overline{X_1} \vee \overline{Y_1}$$

2. На основі отриманих рівнянь зібрати схему напівсуматора на елементах І-АБО-НЕ (рис. 2.5.2)
3. Підключити входи X_1Y_1 і $Y_1\overline{Y_1}$ до гнізд тумблерного реєстру, а виходи M_1 і R_1 – до світлових індикаторів.
4. Дослідити роботу напівсуматора згідно з табл. 2.5.2. Задаючи значення вхідних змінних за допомогою тумблерів, записати в цю ж таблицю значення функцій M_1 і R_1 . Порівняти отримані результати з теоретичними даними.

Таблиця 2.5.2

X_1	Y_1	M_1	R_1
0	0		
0	1		
1	0		
1	1		

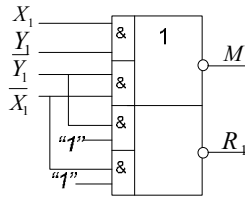


Рис. 2.5.2 Схема напівсуматора на елементах І-АБО-НЕ

Завдання 3. Дослідити схему однорозрядного суматора на логічних елементах І-НЕ.

1. Перетворити рівняння однорозрядного суматора до вигляду, зручному для реалізації на логічних елементах І-НЕ.

$$S_1 = \overline{\overline{X_1Y_1Z_1} \vee \overline{X_1Y_1\overline{Z_1}} \vee \overline{X_1\overline{Y_1}Z_1} \vee \overline{X_1\overline{Y_1}\overline{Z_1}}} = \overline{\overline{X_1Y_1Z_1} \cdot \overline{X_1Y_1\overline{Z_1}} \cdot \overline{X_1\overline{Y_1}Z_1} \cdot \overline{X_1\overline{Y_1}\overline{Z_1}}}$$

$$P = \overline{X_1Y_1 \vee X_1Z_1 \vee Y_1Z_1} = \overline{X_1Y_1} \cdot \overline{X_1Z_1} \cdot \overline{Y_1Z_1}$$

2. На основі отриманих рівнянь зібрати схему однорозрядного суматора на елементах І-НЕ, як показано на рис. 2.5.3.
3. Підключити входи X_1X_1 , Y_1Y_1 , Z_1Z_1 до гнізд тумблерного реєстру, а виходи S_1 і P_1 – до світлових індикаторів.
4. Дослідити роботу однорозрядного суматора згідно до табл. 2.5.3. Задаючи значення вхідних змінних за допомогою тумблерів, записати в цю ж таблицю значення функцій S_1 і P_1 . Порівняти отримані результати з теоретичними даними.

Таблиця 2.5.3

X_1	Y_1	S_1	Z_1	P_1
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

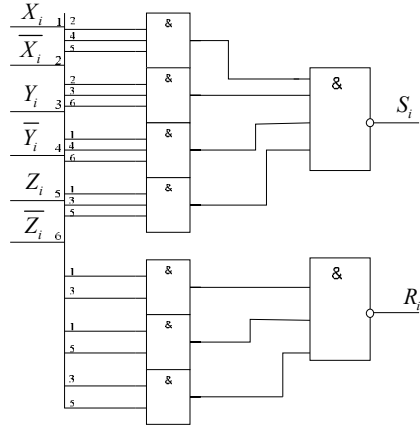


Рис. 2.5.3 Схема однорозрядного суматора на елементах АБО-НЕ

Завдання 4. Дослідити схему однорозрядного суматора з використанням власного переносу на логічних елементах І-АБО-НЕ і інверторах.

1. Перетворити рівняння однорозрядного суматора до вигляду, зручному для реалізації на логічних елементах І-АБО-НЕ і інверторах:

$$S_i = \overline{X_i P_i} \vee \overline{Y_i P_i} \vee \overline{P_i Z_i} \vee X_i Y_i Z_i$$

$$P_i = \overline{X_i Y_i} \vee \overline{X_i Z_i} \vee \overline{Y_i Z_i}$$

2. На основі отриманих рівнянь зібрати схему однорозрядного суматора на елементах І-АБО-НЕ, як показано на рис. 2.5.4.

Таблиця 2.5.4

X_1	Y_1	S_1	Z_1	P_1
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

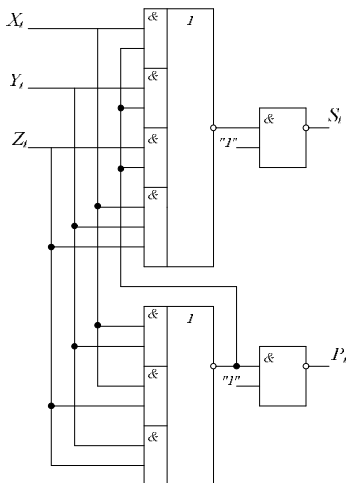


Рис. 2.5.4. Схема напівсуматора на елементах І-АБО-НЕ

3. Підключити входи X_1 , Y_1 , Z_1 до гнізд тумблерного регістру, а виходи S_1 і P_1 – до світлових індикаторів.
4. Дослідити роботу однорозрядного суматора згідно до таблиці 2.5.4. Задаючи значення вхідних змінних за допомогою тумблерів, записати в цю ж таблицю значення функцій S_1 і P_1 . Порівняти отримані результати з теоретичними даними.

Зміст звіту

Зміст повинен містити:

1. Мету лабораторної роботи;
2. Короткі теоретичні відомості про суматори ЕОМ (визначення, класифікація, принципи побудови)
3. Схеми досліджуваних суматорів; таблицю експериментальних даних;
4. Висновки на основі отриманих результатів.

Контрольні запитання

1. Дайте визначення суматорів ЕОМ
2. Вкажіть основні відмінності між паралельними і послідовними суматорами
3. Вкажіть відмінності між комбінаційними і накопичувальними суматорами
4. Вкажіть способи підвищення швидкодії суматорів ЕОМ
5. Що таке двійково-десятковий суматор?

6. Вкажіть принцип побудови мікросхем АЛУ і схем прискороного переносу.
7. На яких логічних елементах можна побудувати однорозрядні суматори?
8. Вкажіть переваги та недоліки використання зворотного та додаткового кодів.
9. Назвіть способи визначення переповнення розрядної сітки.
10. Назвіть типи суматорів в серіях інтегральних мікросхем серій ТТЛ і ТТЛШ.

2.4 Лабораторна робота №3 «Дослідження компараторів та схем контролю»

Мета роботи:

1. Вивчення логіки роботи, принципів побудови й синтезу схем порівняння (компараторів).
2. Вивчення логіки роботи, принципів побудови й синтезу схем контролю парності.
3. Визначення основних характеристик схем порівняння й контролю парності на інтегральних мікросхемах.

Підготовка до роботи

1. Одержати в лабораторії варіант завдання.
2. Вивчити теоретичну частину роботи з рекомендованої літератури.
3. У лабораторному зошиті представити схеми досліджуваних компараторів і контролю парності.
4. Ознайомитися з описом лабораторної установки.

Завдання й порядок виконання роботи

Завдання 1. Дослідити схему порівняння чотирьохрозрядного слова A з константою нуля.

1. Перетворити умову рівності слова A константи нуля з виразу до виду, зручному для побудови на логічних елементах НЕ-І:

$$F_{A=0} = \overline{\overline{A_4} \overline{A_3} \overline{A_2} \overline{A_1}} \quad (2.3.1)$$

2. Зібрати схему порівняння на логічних елементах НЕ-І відповідно до виразу (2.3.1), як показано на рис. 2.3.1, а.

3. Подати на входи схеми порівняння різні двійкові набори із табл. 2.3.1 і записати в цю ж таблицю значення функції $F_{A=0}$.

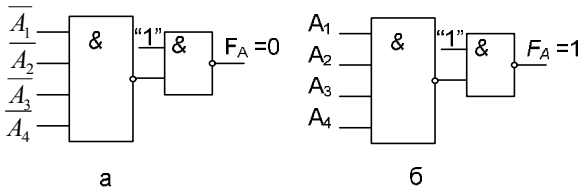


Рис. 2.3.1. Схеми порівняння: а - з константою нуля, б - з константою 1

Таблиця 2.3.1

Набори слова A	$F_{A=0}$	$F_{A=1}$
1001		
1011		
0000		
1110		
1111		

Завдання 2. Дослідити схему порівняння чотирьохрозрядного слова A з константою одиниці.

1. Перетворити умову рівності слова A константи одиниці за аналогією з виразом (2.3.1) до виду, зручному для побудови на логічних елементах НЕ-І:

$$F_{A=0} = \overline{A_4 A_3 A_2 A_1} \quad (2.3.2)$$

2. Зібрати схему порівняння на логічних елементах НЕ-І згідно (13), як показано на рис. 2.3.1, б.

3. Подати на входи схеми порівняння різні двійкові набори з табл. 2.3.1 і записати в цю ж таблицю значення функції $F_{A=1}$.

Завдання 3. Дослідити схему порівняння двох чотирьохрозрядних слів A і B на рівність.

1. Перетворити умову рівності двох слів A і B з виразів (2.3.1) і (2.3.2) до виду, зручного для реалізації на логічних елементах НЕ-І:

$$F_{A=B} = \overline{M_4 M_3 M_2 M_1} \quad (2.3.3,а)$$

$$\begin{aligned} \overline{M_1} &= \overline{A_1 B_1} \vee \overline{A_1} B_1 & \overline{M_2} &= \overline{A_2 B_2} \vee \overline{A_2} B_2 \\ \overline{M_3} &= \overline{A_3 B_3} \vee \overline{A_3} B_3 & \overline{M_4} &= \overline{A_4 B_4} \vee \overline{A_4} B_4 \end{aligned} \quad (2.3.3,б)$$

2. Зібрати схему порівняння двох слів A і B на логічних елементах І-АБО-НІ, НЕ-І відповідно до виразу (2.3.3), як показано на рис. 2.3.2.

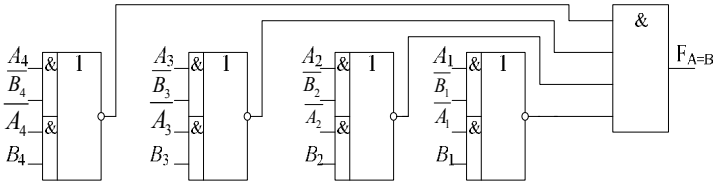


Рис. 2.3.2. Схема порівняння двох слів на рівність

Таблиця 2.3.2

A	B	$F_{A=B}$	A	B	$F_{A>B}$
0101	0101		101	100	
1111	1011		111	111	
0110	0110		110	011	
1100	1101		010	001	
1011	1100		001	001	

3. Подати на входи схеми порівняння двійкові набори слів A і B з табл. 2.3.2 і записати в цю ж таблицю значення функції $F_{A=B}$.

Завдання 4. Дослідити схему порівняння двох трьохрозрядних слів A і B на "більше".

1. Перетворити умову порівняння на "більше" двох слів A і B до виду, зручного для реалізації на логічних елементах І-АБО-НІ, НЕ-І:

$$\begin{aligned}
 F_{A>B} &= \overline{A_3 B_3} \vee \overline{M_3 A_2 B_2} \vee \overline{M_3 M_2 A_1 B_1} = \\
 &= \overline{A_3 B_3} \vee \overline{M_3 A_2 B_2} \vee \overline{M_3 M_2 A_1 B_1}
 \end{aligned}
 \tag{2.3.4}$$

2. Зібрати схему порівняння двох слів A і B на "більше" на логічних елементах І-АБО-НІ, НЕ-І відповідно до виразу (2.3.4), як показано на рис. 2.3.3.

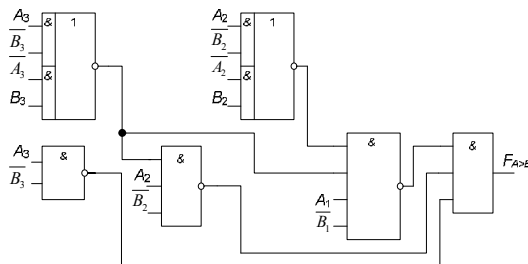


Рис. 2.3.3. Схема порівняння двох слів на "більше"

3. Подати на входи схеми порівняння двійкові набори слів A і B з табл.2.3.2 і записати в цю ж таблицю значення функції $F_{A>B}$.

Завдання 5. Дослідити схему контролю парності чотирьохрозрядного слова A .

1. Зібрати схему контролю парності чотирьохрозрядного слова A на логічних елементах І-АБО-НІ, НЕ-І, як показано на рис. 2.3.4

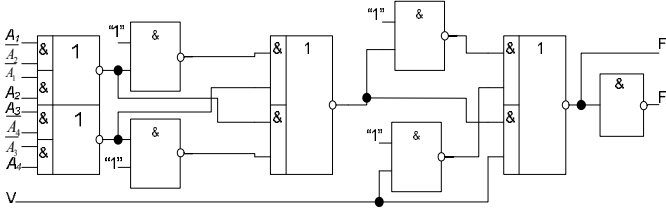


Рис. 2.3.4. Схема контролю парності

Таблиця 2.3.3

A	V	F ₁	F ₂
1111	0		
1011	0		
1001	1		
1110	1		

2. Подати на входи схеми контролю парності двійкові набори слів з табл.2.3.3 і записати в цю ж таблицю значення функцій F_1 й F_2 .

Зміст звіту

Звіт повинен містити:

- 1) мету лабораторної роботи;
- 2) короткі теоретичні відомості про схеми порівняння й контролю парності;
- 3) таблиці даних, заповнені по ходу дослідження на лабораторній установці;
- 4) розрахункові дані по швидкодії схеми контролю (вимірювання затримки поширення сигналів);
- 5) висновки на підставі отриманих результатів.

Контрольні запитання

1. Вкажіть функціональне призначення схем порівняння.
2. Що таке прапорці (ознаки)?
3. Поясніть принцип порівняння двійкових слів з константою.
4. Поясніть принцип побудови схеми порівняння двох двійкових слів на "рівність".
5. Поясніть принцип побудови схеми порівняння двох двійкових слів на "більше".

6. Поясніть спосіб порівняння слів на "рівність" на основі дешифратора й мультиплексора.
7. Поясніть спосіб побудови багаторозрядних схем порівняння на "більше".
8. Наведіть приклади застосування схем порівняння з метою контролю операцій.
9. Вкажіть функціональне призначення схем згортки.
10. Поясніть принцип контролю по парності або непарності.
11. Покажіть схему згортки для восьмирозрядного слова.
12. Вкажіть відомі Вам мікросхеми контролю на парність або непарність.
13. Побудуйте схему контролю на непарність передачі 16- розрядних слів від джерела до приймача інформації.
14. Покажіть умовно графічні позначення схем порівняння й згортки.

2.5 Лабораторна робота №4 «Дослідження кодоперетворювачів»

Мета роботи:

1. Вивчення логіки роботи, принципів побудови й синтезу схем перетворювачів кодів.
2. Визначення основних характеристик перетворювачів кодів на ІМС.
3. Ознайомлення з мікросхемами перетворювачів кодів у серіях ІМС.

Підготовка до роботи

1. Одержати в лабораторії "Комп'ютерна схемотехніка" завдання.
2. Вивчити теоретичну частину роботи по рекомендованій літературі.
3. У лабораторному зошиті представити схеми досліджуваних перетворювачів кодів.
4. Ознайомитися з описом лабораторної установки УМ-11.

Завдання 1. Дослідити схему чотирьохрозрядного перетворювача прямого коду у зворотній код.

1. Записати систему рівнянь на основі виразу (2.4.1) у вигляді, зручному для реалізації на елементах І-АБО-НІ:

$$Y_{3n} = X_{3n} ; Y_3 = \overline{X_{3n} X_3} \vee \overline{X_{3n} X_3} ; \quad (2.4.1)$$

$$Y_2 = \overline{X_{3n} X_2} \vee \overline{X_{3n} X_2} ; \overline{Y_1} = \overline{X_{3n} X_1} \vee \overline{X_{3n} X_1} .$$

2. Зібрати схему чотирьохрозрядного (з урахуванням знаку) перетворювача прямого коду у зворотній, згідно з системою рівнянь(2.4.1) на логічних елементах І-АБО-НІ та НЕ-І (рис. 2.4.1).

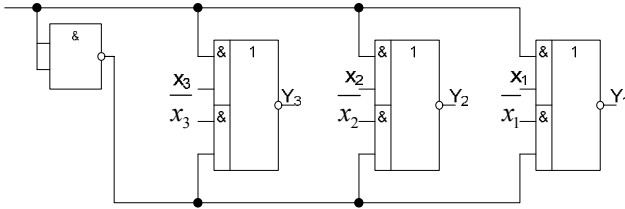


Рис. 2.4.1. Схема перетворювача прямого коду у зворотній код

Таблиця 2.4.1

$X_{\text{пр}}$	$Y_{\text{об}}$	$Y_{\text{доп}}$	$Y_{\text{пр}}$	$Y_{\text{об}}$	$Y_{\text{доп}}$
0.000			1.000		
0.001			1.001		
0.010			1.010		
0.011			1.011		
0.100			1.100		
0.101			1.101		
0.110			1.110		
0.111			1.111		

3. Подати на входи перетворювача значення вхідного коду з табл. 2.4.1 і записати в цю ж таблицю результат перетворення.

Завдання 2. Дослідити схему чотирьохрозрядного перетворювача прямого коду в додатковий код.

1. Записати систему рівнянь на основі виразу (2.4.2) у вигляді, зручному для реалізації на елементах І-АБО-НІ:

$$Y_{3\text{н}} = X_{3\text{н}}; \quad Y_1 = X_1; \quad Y_2 = \overline{X_2 X_1 X_{3\text{н}}} \vee X_2 X_1 X_{3\text{н}}; \quad (2.4.2)$$

$$Y_3 = X_3 \oplus (X_2 \vee X_1) X_{3\text{н}} = \overline{X_3} (\overline{X_2 X_{3\text{н}}} \vee X_1 X_{3\text{н}}) \vee X_3 (X_2 X_{3\text{н}} \vee X_1 X_{3\text{н}})$$

2. Зібрати схему чотирьохрозрядного (з урахуванням знаку) перетворювача прямого коду в додатковий, згідно з системою рівнянь (2.4.2) на логічних елементах І-АБО-НІ, НЕ-І, як показано на рис. 2.4.2.

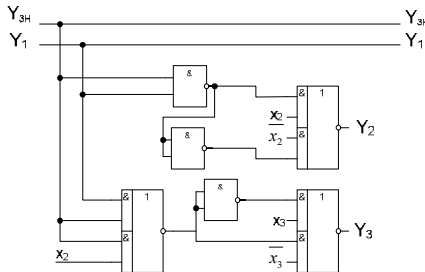


Рис. 2.4.2. Схема перетворювача прямого коду в додатковий код

3. Подати на входи перетворювача значення вхідного коду з табл. 2.4.1 і записати в цю ж таблицю результат перетворення.

Завдання 3. Дослідити схему чотирьохрозрядного перетворювача двійкового числа в код Грея.

1. Записати систему рівнянь у вигляді, зручному для реалізації на елементах І-АБО-НІ:

$$I_1 = X_1 \oplus X_2 = \overline{X_1 X_2} \vee X_2 X_1; I_2 = X_2 \oplus X_3 = \overline{X_2 X_3} \vee X_2 X_3; \quad (2.4.3)$$

$$I_3 = X_3 \oplus X_4 = \overline{X_3 X_4} \vee X_3 X_4; \quad I_4 = X_4.$$

2. Зібрати схему чотирьохрозрядного перетворювача двійкового числа в код Грея, згідно з системою рівнянь (12) на логічних елементах І-АБО-НІ, як показано на рис. 2.4.3.

Таблиця 2.4.2

X_4	X_3	X_2	X_1	I_4	I_3	I_2	I_1	X_4	X_3	X_2	X_1	I_4	I_3	I_2	I_1
0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0
0	0	0	1	0	0	0	1	1	0	0	1	1	1	0	1
0	0	1	0	0	0	1	1	1	0	1	0	1	1	1	1
0	0	1	1	0	0	1	0	0	0	1	1	1	1	1	0
0	1	0	0	0	1	1	0	1	1	0	0	1	0	1	0
0	1	0	1	0	1	1	1	1	1	0	1	1	0	1	1
0	1	1	0	0	1	0	1	1	1	1	0	1	0	0	1
0	1	1	1	0	1	0	0	1	1	1	1	1	0	0	0

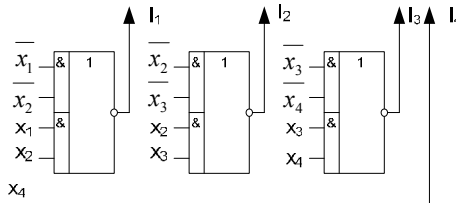


Рис. 2.4.3. Схема перетворювача двійкового числа в код Грея

3. Подати на входи перетворювача значення вхідного коду з табл. 2.4.2 і зрівняти результати перетворення з даними цієї таблиці.

Завдання 4. Дослідити схему чотирьохрозрядного формувача кодів.

1. Записати систему рівнянь для мікрооперації Y_1 - Y_4 у вигляді, зручному для реалізації на логічних елементах НЕ-І:

$$F_1 = \overline{Z_1 \vee Z_2 X_1} = \overline{Z_1} \overline{Z_2 X_1}; \quad F_2 = \overline{Z_1 \vee Z_2 X_2} = \overline{Z_1} \overline{Z_2 X_2}; \quad (2.4.4)$$

$$F_3 = \overline{Z_1 \vee Z_2 X_3} = \overline{Z_1} \overline{Z_2 X_3}; \quad F_4 = \overline{Y_1 \vee Y_3 X_4} = \overline{Y_1} \overline{Y_3 X_4}; \quad Z_1 = Y_1 \vee Y_2; \quad Z_2 = Y_3 \vee Y_4.$$

2. Зібрати схему формувача кодів на основі вираження (2.4.4) на елементах НЕ-І, як показано на рис. 2.4.4.

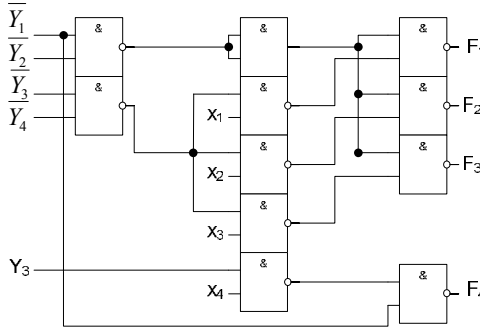


Рис. 2.4.4. Схема формувача кодів

3. Подати на входи формувача кодів значення двійкового числа А з табл.2.4.3 для керуючих сигналів Y1-Y4 (сигналів мікрооперацій) і записати вихідний код у цю ж таблицю.

Таблиця 2.4.3

Y ₁	A	F ₄	F ₃	F ₂	F ₁	Y ₁	A	F ₄	F ₃	F ₂	F ₁
Y ₁	0.010					Y ₃	0.010				
Y ₁	1.101					Y ₃	1.100				
Y ₃	1.111					Y ₄	1.101				
Y ₂	0.000					Y ₄	1.011				

Завдання 5. Дослідити схему перетворювача Д-кода у зворотній код.

1. Записати співвідношення у вигляді, зручному для реалізації на логічних елементах І-АБО-НІ, НЕ-І:

$$Y_1 = \overline{X_1}; Y_2 = X_2; Y_3 = \overline{\overline{X_2 X_3} \vee X_2 X_3}; Y_4 = \overline{\overline{X_4 X_3 X_2}}. \quad (2.4.5)$$

Таблиця 2.4.4

X	Y ₄	Y ₃	Y ₂	Y ₁	X	Y ₄	Y ₃	Y ₂	Y ₁
0000					0101				
0001					0110				
0010					0111				
0011					1000				
0100					1001				

2. Зібрати схему перетворювача Д-кода у зворотній код відповідно до виразу (2.4.5) на елементах І-АБО-НІ, НЕ-І, як показано на рис. 2.4.5.

3. Подати на входи перетворювача значення Д-кода з табл. 2.4.4 і записати в цю ж таблицю результати перетворення.

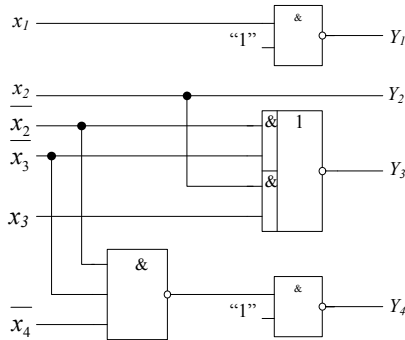


Рис. 2.4.5. Схема перетворювача Д-кода у зворотній код

Зміст звіту

Звіт повинен містити:

- 1) мету лабораторної роботи;
- 2) короткі теоретичні відомості про кодоперетворювачі;
- 3) схеми досліджуваних кодоперетворювачів, таблиці експериментальних даних, тимчасові діаграми;
- 4) висновки на підставі отриманих результатів.

Контрольні запитання

1. Вкажіть функціональні призначення перетворювачів кодів.
2. Вкажіть особливості подання прямого, зворотного й додаткового кодів.
3. Напишіть чотирьохзначний код Грея.
4. Поясніть принцип побудови перетворювача прямого коду у зворотній код.
5. Поясніть принцип побудови перетворювача прямого коду в додатковий код.
6. Поясніть принцип побудови перетворювача двійкових чисел в код Грея.
7. Поясніть принцип побудови перетворювача коду Грея у двійковий код.
8. Покажіть запис Д-кода.
9. Поясніть спосіб одержання зворотного Д-кода.
10. Поясніть спосіб одержання додаткового Д-кода.

11. Покажіть два способи побудови перетворювача Д-кода у зворотній Д-код.
12. Поясніть принцип побудови ПЗП перетворювачів Д-кодів у двійковий і навпаки.

Список літератури:

1. Бабич М.П. Комп'ютерна схемотехніка : навч. посібник [для студ. вищ навч. закл.] / М.П. Бабич, І.А. Жуков — К. : «МК Прес», 2004. — 412 с.
2. Бабич М.П., Жуков І.А., Яременко К.П., Журавель С.В. Комп'ютерна схемотехніка. Курсове проектування: Навчально-методичний посібник. – К: НАУ, 2004. – 160 с.
3. ДСТУ 3212-95. Мікросхеми інтегровані. Класифікація та система умовних позначень.
4. ДСТУ 2399-94. Системи обробки інформації. Логічні пристрої, схеми, сигнали. Терміни та визначення.
5. ДСТУ 2383-94. Мікросхеми інтегровані. Терміни, визначення та літерні позначення електричних параметрів.
6. ДСТУ 2533-94. Системи обробки інформації. Арифметичні та логічні операції. Терміни та визначення.
7. ГОСТ 2.708-81. ЕСКД. Правила выполнения электрических схем цифровой вычислительной техники.
8. ГОСТ 2.7043-91. ЕСКД. Обозначения условные графические в схемах. Элементы цифровой техники.
9. Цифровые интегральные микросхемы: справочник «П.П. Мальцев, Н.С. Долидзе и др. – Радио и связь, 1994. – 240с.»
10. Петровский Н.Н. и др. Логические ИС КР1533, КР1554. В 2-х томах. Справочник. – «БИНОМ», 1993. – 550с.

Навчальне видання

КОМП'ЮТЕРНА СХЕМОТЕХНІКА

Лабораторний практикум
для студентів напрямку 6.050102
«Комп'ютерна інженерія»

Укладачі: ДРОВОВОЗОВ Володимир Іванович
ЖУРАВЕЛЬ Сергій Володимирович
КОЦЮР Анатолій Борисович

Редактор
Технічний редактор
Комп'ютерна верстка

Підп. до друку 31.05.11. Формат 60x84/16. Папір офс.
Офс. друк. Ум. друк. арк. 3,49. Обл.-вид. арк. 3,75.
Тираж 100 пр. Замовлення № 116-1.

Видавець і виготовлювач
Національний авіаційний університет
03680. Київ – 58, проспект Космонавта Комарова, 1

Свідоцтво про внесення до Державного реєстру ДК № 977 від 05.07.2002