

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний авіаційний університет

**ЦИФРОВІ ЕЛЕКТРОННІ
ОБЧИСЛЮВАЛЬНІ МАШИНИ**

Методичні вказівки до виконання
курсних проектів для студентів Інституту
заочного та дистанційного навчання
спеціальності 8.091501 "Комп'ютерні
системи та мережі"

Київ 2004.

УДК 004.382 (076.5)
ББК з973.3 р
Ц 752

Укладачі: В.М. Єфимець, І.А. Жуков, Ю.Л. Іваськів,
О.П. Мартинова

Рецензент О.І. Труш

Затверджено на засіданні секції факультету
інформатики ради НАУ 20 січня 2003 року.

Цифрові електронні обчислювальні машини:
Ц752 Методичні вказівки до виконання курсових проектів /
Уклад.: В.М. Єфимець, І.А. Жуков, Ю.Л. Іваськів та ін. – К.:
НАУ, 2004. – 52с.

Методичні вказівки містять вимоги до змісту та
визначають порядок виконання курсового проекту.

Для студентів четвертого курсу Інституту заочного та
дистанційного навчання спеціальності 8.091501
"Комп'ютерні системи та мережі" і може бути корисним для
студентів денної форми навчання.

1. Основні положення курсового проектування

Курсовий проект (КП) з дисципліни "Цифрові ЕОМ" є
самостійною роботою студента і виконується за індивідуальним
завданням. Він має закріпити, узагальнити знання, які отримані
студентом в період навчання за спеціальністю. Крім того, в процесі
курсів проектування студент має набути навиків з
користування довідковою літературою та оволодіти процес створення
проектно - конструкторської документації відповідно до вимог
стандартів.

Можна виділити такі етапи проектування виробів цифрової
техніки (ЦТ): архітектурний та технічний. Архітектурний етап
пов'язаний з рішенням задачі вибору оптимальної структури
цифрових пристроїв. Такі рішення характеризуються множиною
варіантів, їх залежністю від конкретних ситуацій, труднощами
отримання їх формальними методами. Рівень інженерних рішень в
значній мірі залежить від інформаційного забезпечення процесу.
Це в першу чергу довідкова інформація про параметри та
можливості елементної бази, структурно-орієнтовані методи
проектування цифрових пристроїв, методи їх оптимізації по
основних техніко - економічних показниках, узагальнений досвід
інших розробок.

Етап технічного проектування складають розробки
принципальних та монтажних схем, креслень друкованих плат,
специфікацій. Він характеризується великим об'ємом простих і
добре вивчених робіт, які успішно реалізуються з використанням
комп'ютерних технологій.

Елементною базою проектування виробів ЦТ є
мікропроцесорні ВІС (великі інтегральні схеми), ІМС (інтегральні
мікросхеми) малої та середньої інтеграції. Критерієм її вибору є
мінімальний час затримки та споживана потужність.

2. Тематика курсових проектів

Курсове проектування може бути представлено такими
групами варіантів завдань:

1 Спеціалізований мікрокомп'ютер, система команд якого
однозначно визначається списком процедур (операцій), необхідних

для успішного рішення заданої науково-технічної задачі (НТЗ). Приклад реалізації КП розглядається у дод. 1.

2 Спеціалізований мікрокомп'ютер, система операцій якого оптимізована на ефективне рішення НТЗ. Приклад реалізації фрагмента КП наведений у дод. 2.

3 Спеціалізований мікрокомп'ютер, що є апаратним емулятором EOM відомої архітектури (INTEL, DEC, MOTOROLA та ін.).

3. Структура курсового проекту

Незалежно від призначення мікрокомп'ютера в курсовому проекті виділяються аналітична та графічна частини.

3.1 Аналітична частина

В аналітичній частині розроблюються такі етапи курсового проекту : архітектурний; технічний; конструктивний.

Архітектурний етап визначає:

- систему операцій мікрокомп'ютера;
- алгоритми та схеми мікропрограм операцій;
- розподіл адресного простору пам'яті;
- формати команд та їх цикли;
- структурну схему мікрокомп'ютера;
- формат мікрокоманд;
- розподіл та ємність пам'яті мікрокоманд;
- час рішення задачі.

Технічний етап визначає принципіальні схеми:

- блоків мікропрограмного керування та обробки даних;
- регістрів (стану, адресний, кнопковий, вхідних та вихідних даних);

- модулів оперативної та постійної пам'яті.

На цьому етапі складаються таблиці мікропрограм для програмування пам'яті мікрокоманд блоку мікропрограмного керування.

Розробляється конструкція друкованої плати мікрокомп'ютера або його складової частини (БМК, БОД, основна пам'ять).

3.2. Графічна частина

У графічній частині наводяться ілюстративні матеріали, що супроводжують різні етапи аналітичної частини.

Курсовий проект оформлюється у вигляді пояснювальної записки та супроводжуючих креслень (графічних робіт).

3.3. Структура пояснювальної записки та перелік графічних робіт

Об'єм пояснювальної записки – 35-40 сторінок формату А4 і має таку структуру.

1. Титульний аркуш.
2. Технічне завдання.
3. Список креслень.
4. Зміст.

5. Вступ. Аналітична частина. Список використаних літературних джерел. Додатки.

Графічні роботи складаються з таких креслень.

1. Схема алгоритму рішення задачі.
2. Схема алгоритму функціонування мікрокомп'ютера.
3. Структурна схема мікрокомп'ютера.
4. Принципіальна схема мікрокомп'ютера.
5. Формат мікрокоманди.
6. Друкована плата.

Формат креслень визначається змістом і може бути від А4 до

А1.

У наведених додатках прийняті скорочення:

БМК – блок мікропрограмного керування; БОД – блок обробки даних; КОП – код операції; АП – адресний простір; РЗП – регістри загального призначення; АЛБ – арифметично-логічний блок; ОП – основна пам'ять; ПЗП – постійний запам'ятовуючий пристрій; ППА – перетворювач початкової адреси; МП – мікропрограма операції; ПМК – пам'ять мікрокоманд; МК – мікрокоманда.

ДОДАТОК 1

Інститут заочного та дистанційного навчання
Спеціальність 8.091501
Кафедра обчислювальної техніки

Курсовий проект

з дисципліни "ЦЕОМ"

Тема: "Спеціалізований мікрокомп'ютер"

Виконав(ла)

Керівник

Оцінка

Київ 200...

Продовження дод. 1

ТЕХНІЧНЕ ЗАВДАННЯ
на курсовий проект студента 410 гр.
Руденка Степана Петровича

Термін виконання 01.03.03 р. – 20.05.03 р.

1. Спроекувати спеціалізований мікрокомп'ютер з неоптимізованою системою команд.

2. Вихідні дані:

1) область призначення - рішення науково-технічної задачі $F = \sin(Z_1 * Z_2)$;

2) елементна база - МПК К1804 (ВУ4, ВС1, ВР1), КР1533;

3) адресний простір пам'яті АП=128Кслів;

4) ємність ОЗП $N_{\text{ОЗП}} = 64\text{Кслів}$, ІМС К565РУ5;

5) ємність ПЗП $N_{\text{ПЗП}} = 24\text{Кслів}$, ІМС К568РЕ2;

6) кількість ПВВ $N_{\text{ПВВ}} = 10$;

7) адресність команд АК=2;

8) адреса першої команди програми 0Ch;

9) довжина машинного слова $n = 24$;

10) команди та дані мають однакову довжину, що дорівнює довжині машинного слова.

11) для адресації ПВВ використовується адресний простір пам'яті.

12) за ІМС малої та середньої інтеграції використовується серія КР1533.

3. Креслення:

1. Схема(и) алгоритму рішення задачі.
2. Схема алгоритму функціонування мікрокомп'ютера.
3. Структурна схема мікрокомп'ютера.
4. Формат мікрокоманди.
5. Принципіальна схема мікрокомп'ютера.
6. Друкована плата.

Завдання прийняв до виконання _____ (підпис студента)
"..." _____ 200X р.

ЗМІСТ

Вступ	
1. Система команд мікрокомп'ютера.....	
2. Розподіл адресного простору пам'яті.....	
3. Визначення формату команди.....	
4. Алгоритм функціонування мікрокомп'ютера.....	
5. Програмно-мікропрограмна модель мікрокомп'ютера.....	
6. Мікропрограми операцій.....	
7. Структурна схема мікрокомп'ютера.....	
8. Принципіальна схема мікрокомп'ютера.....	
9. Формат мікрокоманди.....	
10. Закодована мікропрограма.....	
11. Друкована плата.....	
Заключення.....	
Список літератури.....	
Додаток А. Специфікація елементів принципіальної схеми.....	

ВСТУП

У вступі наводяться:

- стисла характеристика об'єкта проектування МК;
- основні параметри;
- функціональне призначення та особливості елементної бази та задачі, які необхідно вирішувати на архітектурному та технічному етапах;
- особливості організації вводу-виводу даних та системи переривання;
- методи конструктивної реалізації МК.

1. Система команд мікрокомп'ютера

1.1. Схема алгоритму рішення задачі

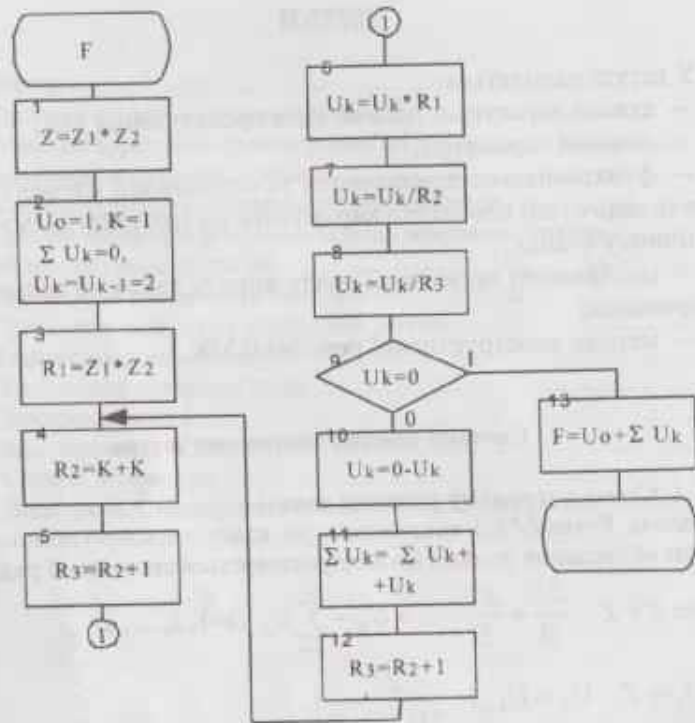
Задача $F = \sin(Z, *Z)$ відноситься до класу науково-технічних. Для обчислення функції \sin використовується степеневий ряд:

$$\sin Z = Z - \frac{Z^3}{3!} + \frac{Z^5}{5!} - \dots = U_0 + \sum_{k=1}^n U_k \quad (k=1, 2, \dots, n)$$

$$U_0 = Z; \quad U_k = U_{k-1} \left(-\frac{Z^2}{2k(2k-1)} \right).$$

Схема алгоритму рішення задачі показана на рис.1 і деталізована до арифметичних операцій (операторів присвоєння). Із схеми алгоритму впливає такий набір арифметичних операцій:

$$\{+, -, *, /\}.$$



1.2. Програма задачі в змістовній формі

Вважаємо, що в командах обробки (арифметичні команди) такт запису в пам'ять відсутній. Функцію запису операнда - результату в пам'ять реалізує команда ST. Програма задачі наведена в табл. 1.

Таблиця 1.

N	КОП	A1	A2	N	КОП	A1	A2
1	*	Z ₁	Z ₂	13	JZ	21	-
2	ST	R ₁	-	14	-	<0>	U _k
3	+	K	K	15	ST	U _k	-
4	ST	R ₂	-	16	+	Σ U _k	U _k
5	+	R ₂	<1>	17	ST	Σ U _k	-
6	ST	R ₃	-	18	+	K	<1>
7	*	U _k	R ₁	19	ST	K	-
8	ST	U _k	-	20	JMP	3	-
9	/	U _k	R ₂	21	+	U ₀	Σ U _k
10	ST	U _k	-	22	ST	F	-
11	/	U _k	R ₃	23	HLT	-	-
12	ST	U _k	-	24			

В табл. 1 блок 2 (див. рис. 1) відсутній. Система вводу-виводу в КП не розробляється.

Із табл. 1 випливає система операцій мікрокомп'ютера: {+, -, *, /, JZ, JMP, ST, HLT}.

Загальне число машинних операцій M=8.

2. Розподіл адресного простору пам'яті

Адресний простір пам'яті АП=128Ксл розподіляється для розміщення підмножин адрес RAM, ROM та ПВВ.

Підмножина адрес RAM

$N_{RAM} = 64K$, $n_{RAM} = \lceil \log_2 64K \rceil = 16$; число 16-річних цифр в адресі дорівнює $\frac{16}{4} = 4$.

Діапазон адрес RAM (0000_h-FFFF_h).

Підмножина адрес ROM

$N_{ROM}=24\text{Ксл}$; $A_{max\ ROM}=24\cdot 1024-1=24575=5FFF_{16}$.
Діапазон адрес ROM ($0000_{16}-5FFF_{16}$).

Підмножина адрес ПВВ

$N_{ПВВ}=10$; $A_{max\ ПВВ}=10-1=9$.
Діапазон адрес ПВВ ($0_{16}-9_{16}$).

Адресний простір АП=128Ксл. Необхідна розрядність адреси:
 $n_{А\ АП}=\lceil \log_2 128K \rceil = 17$. Число 16-річних цифр в адресі дорівнює

$$\frac{17}{4} = 4 + \text{залишок } 1.$$

Діапазон адрес АП ($00000_{16}-1FFFF_{16}$).

Можливий розподіл АП пам'яті показаний на рис.2. Максимальне значення адрес пам'яті: $A_{max}=18009_{16}$. Цьому значенню A_{max} відповідає довжина двійкового фізичного адресного коду $n_{ФА}=17$. Таким чином, адресна шина мікрокомп'ютера має 17 ліній.

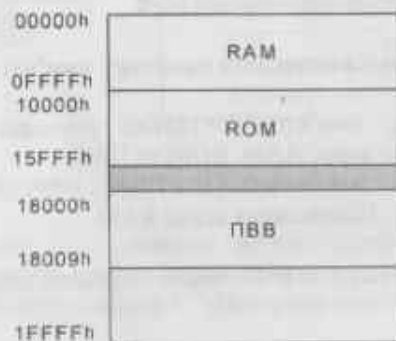


Рис. 2

Такому розподілу АП пам'яті відповідає структурна схема вибору RAM, ROM, ПВВ, що зображена на рис.3.

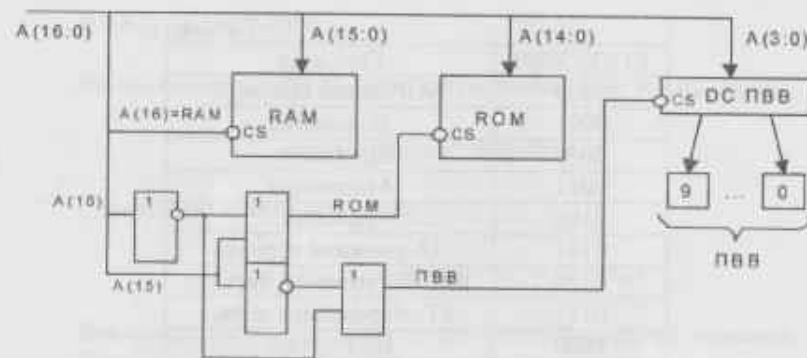
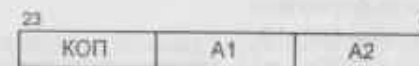


Рис. 3

3. Визначення формату команд

Відповідно до технічного завдання команда має структуру:



3.1. Довжина поля КОП

Мінімальна довжина поля КОП визначається за формулою:

$$n_{КОП} = \lceil \log_2(M+1) \rceil = \lceil \log_2(8+1) \rceil = 4.$$

3.2. Кодування машинних операцій

Ніяких обмежень на коди операцій в полі КОП немає, тому використовуємо довільні значення кодів.

Коди машинних операцій подано в табл.2.

Таблиця 2

КОП(23:20)	Операція
0000	NOP-немає операції
0001	Додавання
0010	Віднімання
0011	Множення
0100	Ділення
0101	JZ-умовний перехід
0110	JMP-безумовний перехід
0111	ST-збереження(запис)
1000	HLT-зупин

3.3. Вибір режиму адресації

3.3.1. Пряма адресація

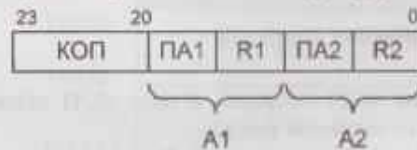
Коди адрес $A1(A2)$ є фізичними. Довжина адресного поля $A1(A2)$ визначається за формулою:

$$n_{A1(A2)} = (n - n_{КОП}) / 2 = (24 - 4) / 2 = 10.$$

Через те, що $n_{A1(A2)} = 10 < n_{ФА} = 17$, використання прямої адресації неможливо.

3.3.2. Опосередковано-регістрова адресація

У цьому випадку команда має структуру:



де ПА1(ПА2) - ознака режиму адресації

$$ПА1(ПА2) = \begin{cases} 0 - \text{регістрова,} \\ 1 - \text{опосередкована;} \end{cases}$$

$R1(R2)$ - адреси РЗП.

Нехай кількість РЗП $N_{РЗП} = 6$. Тоді довжина поля $R1(R2)$ буде

$$n_{R1} = \lceil \log_2 N_{РЗП} \rceil = \lceil \log_2 6 \rceil = 3.$$

Перевіримо виконання умови

$$n_{КОП} + 2 \cdot n_{ПА1} + 2 \cdot n_{R1} = 4 + 2 \cdot 1 + 2 \cdot 3 = 12 < n = 24.$$

Використання опосередковано-регістрової адресації можливе. Формат команди мікрокомп'ютера буде:



4. Формати команд і алгоритм функціонування мікрокомп'ютера

4.1. Формати і цикли команд

На рис.4 приведені формати і цикли команд мікрокомп'ютера.

Перші два такти $T_{вх}$ та $T_{д}$ є спільними для усіх команд і реалізують вибірку команд з пам'яті та їх декодування. Такти $T_{О1}$ та $T_{О2}$ забезпечують вибірку операндів на мікрокомандні реєстри R_1 та R_2 внутрішньої пам'яті мікрокомп'ютера.

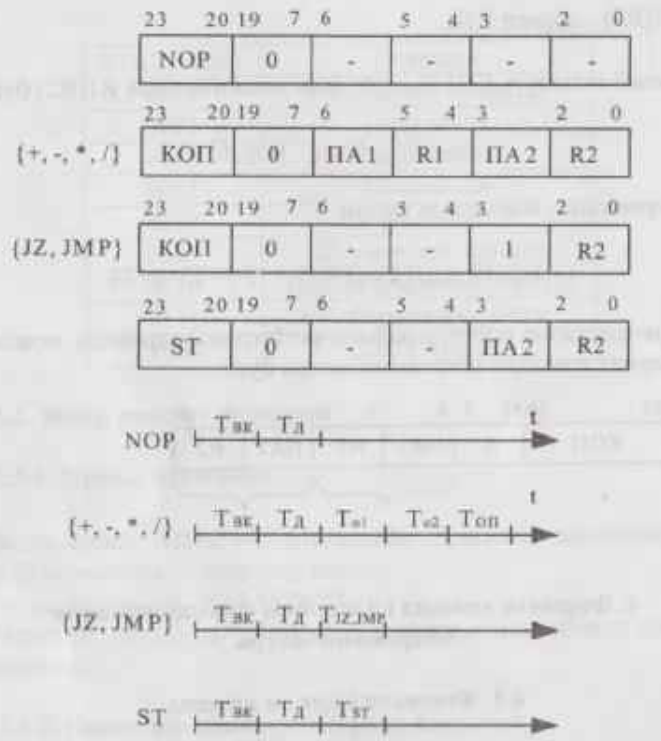


Рис. 4

4.2. Схема алгоритму функціонування мікрокомп'ютера

На рис.5 зображена схема алгоритму роботи мікрокомп'ютера, яка відповідає циклам команд (див. рис. 4).

Схема алгоритму представляє сукупність мікропідпрограм (МПП):

IPL - пуск мікрокомп'ютера та завантаження початкової адреси в програмний лічильник;

T_{вк} - виборка команд з пам'яті;

T_{о1}, T_{о2} - виборки першого та другого операндів;
 (+, -, *, /) - відповідні арифметичні операції;
 {JZ, JMP} - операції умовного та безумовного переходів;
 ST - операція збереження;
 HLT - зупинка мікрокомп'ютера.
 Переключальній вершині КОП відповідає такт декодування коду операції.

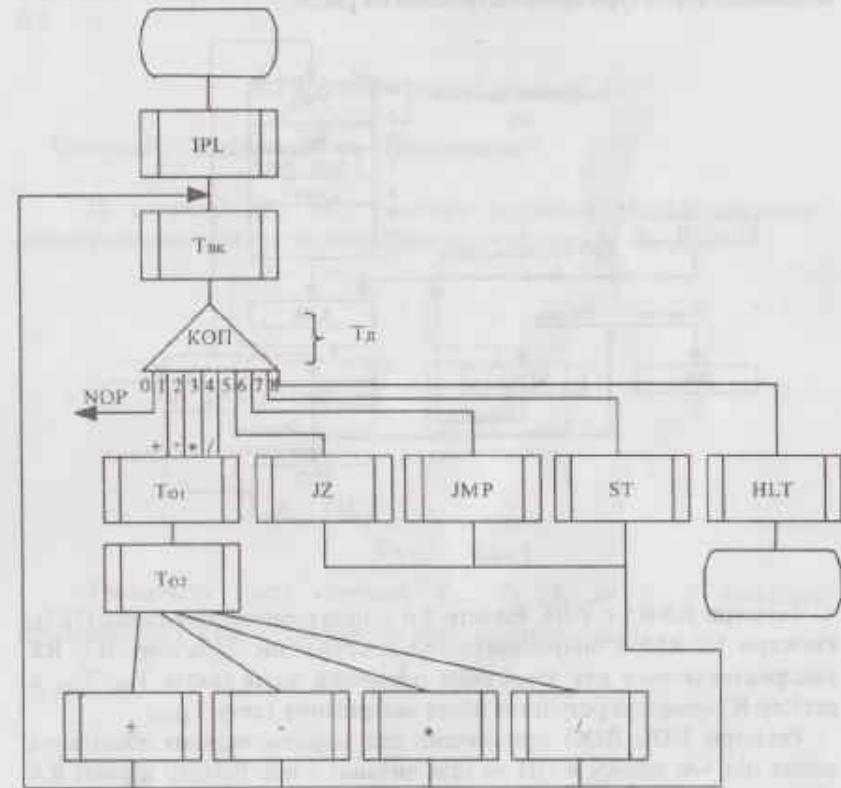


Рис. 5

5. Програмно-мікропрограмна модель мікрокомп'ютера

Модель мікрокомп'ютера базується на використанні ВІС К1804ВС1, що має регістрову пам'ять ємністю в 16 слів.

У програмній моделі відображені регістри, які представляються в командах мікрокомп'ютера; в мікропрограмній моделі – регістри, вмістом яких оперують мікрокоманди. Моделі мікрокомп'ютера відповідає структура проілюстрована на рис.6.

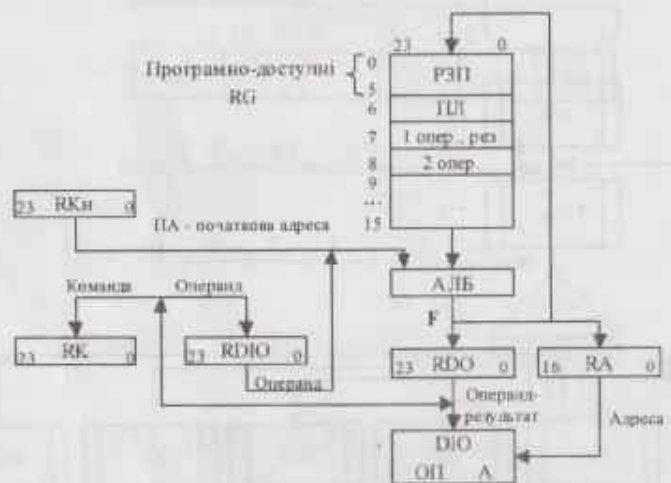


Рис.6

Регістри R0-R5 є РЗП. Регістр R6 – програмний лічильник (ПЛ). Регістри R7-R15 є мікропрограмно доступними. Причому R7, R8 використовуються для зберігання операндів після тактів T_{01} , T_{02} , а регістр R7-операнд-результат після завершення такту $T_{КОП}$.

Регістри RD1, RDO призначені для короточасного зберігання даних під час запису в ОП та при читанні з неї. Регістр адреси RA зберігає адресу звернення до ОП.

Регістр команд RK зберігає код команди. Кнопковий регістр РКн фіксує адресу першого командного слова програми.

6. Мікропрограми операцій

6.1. Мікропрограми тактів $T_{КОП}$

На цьому етапі розробляються мікропрограми операцій мікрокомп'ютера, що відповідають такту $T_{КОП}$ циклу команди. Якщо команда арифметична, то операнди вже знаходяться в регістрах R7, R8. Після завершення такту $T_{КОП}$ операнд-результат розміщується в R7.

6.1.1 Арифметичні операції

Операції "Додавання" та "Віднімання"

Ці операції ВІС ВС1 реалізує апаратно. Мікропрограмна модель показана на рис.6, мікропрограми операцій – на рис.7.

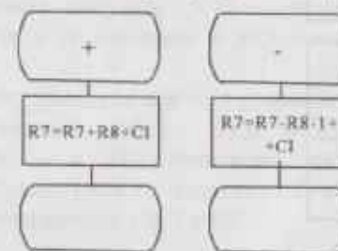


Рис.7

Тривалість такту операції $T_{(i,j)}=P_{(i,j)}\tau$, де $P_{(i,j)}$ – кількість процесорних тактів, τ – тривалість процесорного такту.

$$T_{(i,j)} = \tau.$$

Операції "Множення" та "Ділення"

У списку операцій ІМС ВС1 операції "*" та "/" відсутні, тому в КІП вони реалізуються мікропрограмно. Операції "*" та "/" простіше виконувати над даними в прямому коді. Загальна схема алгоритму операцій "*", "/" показана на рис.8.



Рис.8

Операція "Множення"

Архітектура ВІС ВС1 орієнтована на реалізацію першого алгоритму: множення починається з молодших розрядів множника, сума часткових добуток зсувається вправо.

Цьому алгоритму відповідає мікропрограмна модель (рис.9).

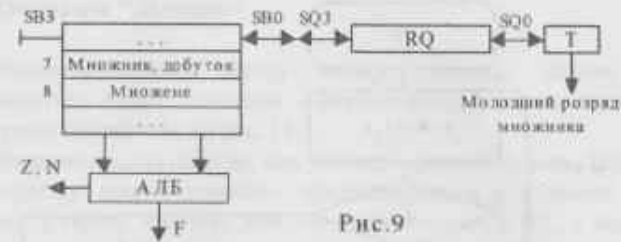


Рис.9

Алгоритм множення в змістовній формі.

1. Модулі співмножників розміщені в регістрах R7, R8.
2. Перевірка на рівність нулю значень співмножників.
3. Множник з R7 пересилається в регістр RQ.
4. Сумі часткових добуток (R7) присвоюємо значення "0".
5. Вміст RQ зсувається вправо на 1 розряд.
6. Аналізуємо молодший розряд множника (стан тригера T). Якщо T=1 до суми часткових добуток додається множене (R8). Якщо T=0 до суми часткових добуток (R7) додається "0". Утворені суми часткових добуток та множник в RQ зсуваються вправо на один розряд.
7. Пункт 6 повторюється для всіх розрядів множника.
8. Старша частина добутку буде розміщена в R7, молодша частина добутку - в RQ. Вважасмо, що старша частина 2n-розрядного добутку (в R7) дорівнює 0. Тому добуток буде n-розрядним і пересилається з RQ в R7.
9. Кінець.

Граф мікропрограми (ГМП) операції множення показаний на рис.10.

З ГМП (рис.10) випливає: кількість мікрокоманд $k^*=7$; число процесорних тактів $p^* = \frac{P^*_{max} + P^*_{min}}{2}$, де $P^*_{min}=1$,

$$P^*_{max} = 4 + (24 - 1) \cdot 1 + 1 = 28. \quad p^* = \left\lceil \frac{28 + 1}{2} \right\rceil = 15.$$

Тривалість такту операції буде $T^* = p^* \cdot \tau = 15\tau$.

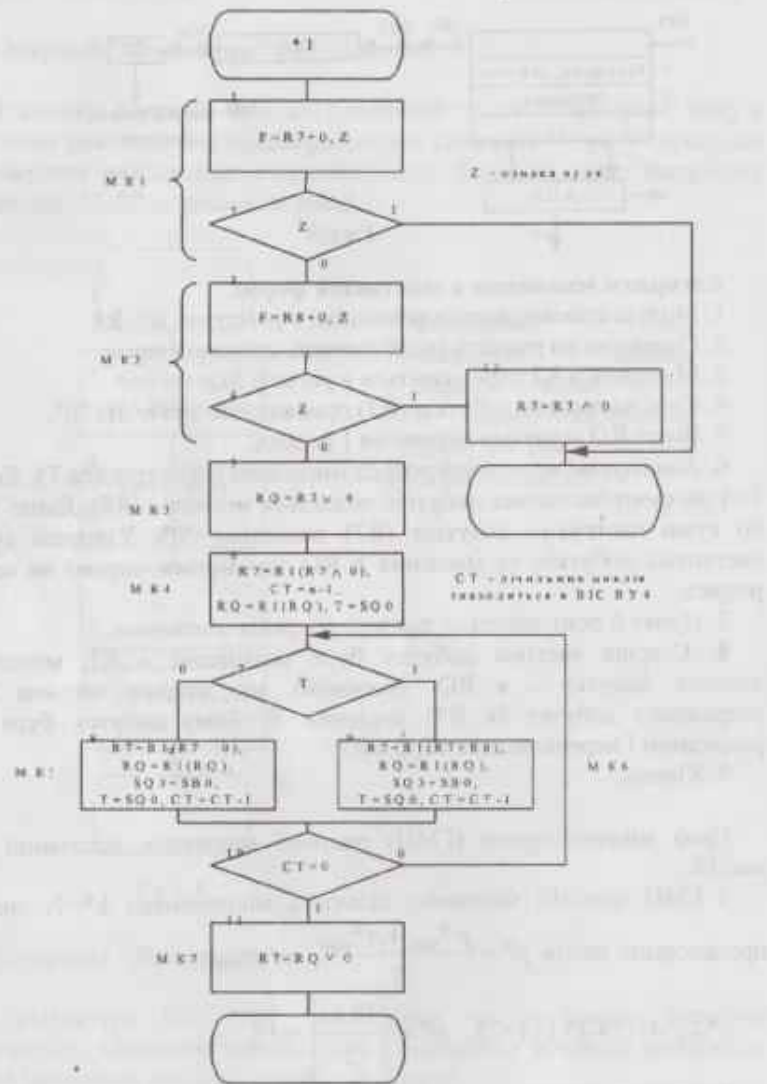


Рис. 10

Операція "Ділення"

Використовуємо першу схему ділення: ділене (залишки) зсуваються вліво, дільник - нерухомий). Мікропрограма модель операції зображена на рис.11.

Вважаємо, що ділене має завжди формат слова. При реалізації алгоритму ділене повинно представитися у форматі подвійного слова. Старшу частину діленого розміщуємо в R7, а його молодшу частину - в RQ. Тому вміст R7=0, а RQ≠0. Реалізація алгоритму

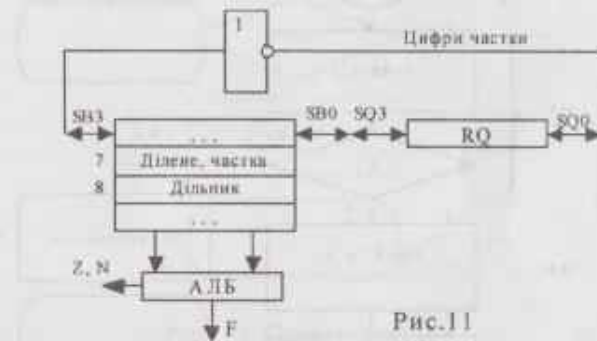


Рис.11

починається з перевірки на рівність "0" діленого (R7) та дільника (R8). Якщо умови (R7=0, R8=0) не виконуються, то вміст R7 (ділене) пересилається в RQ, і в R7 завантажуються нуль. Таким чином формується ділене в подвоєному форматі.

У процесі операції в регістрах R7, RQ формується залишок і при їх подвоєнні звільнюються молодші розряди RQ, в які послідовно записуються значення цифр частки, починаючи з старших розрядів. Значення цифр частки протилежне знаку утвореного нового залишку. На рис.11 відтворена схема формування подвоєного залишку і цифри частки. Граф мікропрограми ділення, що показаний на рис.12, реалізує алгоритм без відновлення залишку.

З ГМП (рис. 12) випливає: кількість мікрокоманд k'=11; число

$$p' = \frac{p'_{max} + p'_{min}}{2} = \left\lceil \frac{3+1}{2} \right\rceil = 16.$$

Тривалість операції $T = p' \cdot \tau = 16\tau$.

Продовження дод. 1

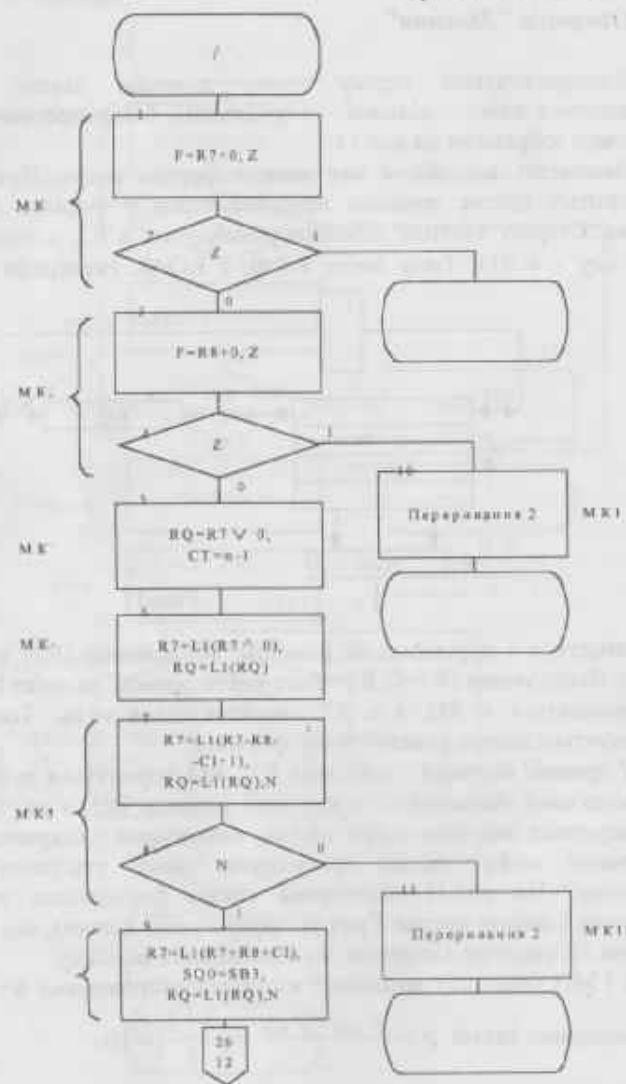


Рис. 12. (Див. також с.25)

Продовження дод. 1

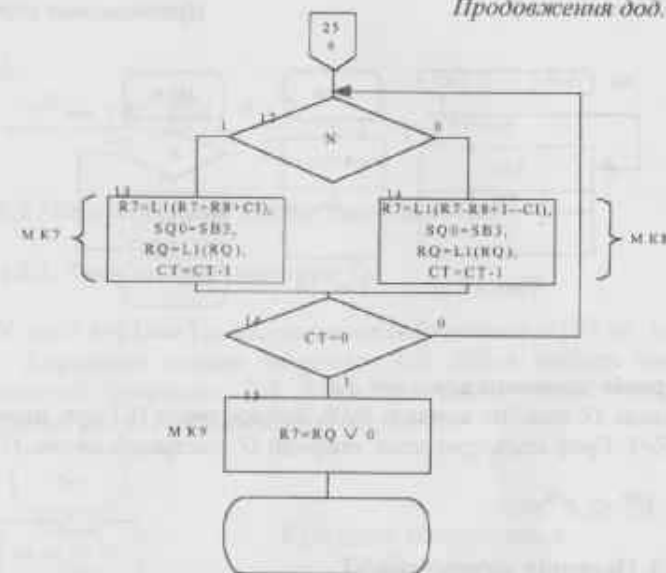


Рис. 12. (Закінчення)

6.1.2. Операції безумовного та умовного переходів

Операція безумовного переходу JMP

Команда JMP є адресною і змінює вміст програмного лічильника ПЛ. Мікропрограмна модель операції показана на рис. 13, ГМІ операції - на рис. 14.

$$K^{JMP, IZ}=1, P^{JMP, IZ}=1.$$



Рис. 13



Рис. 14

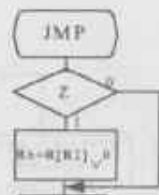


Рис. 15

Операция умовного перехода JZ

Команда JZ подібна команді JMP. Змінює вміст ПІ при значенні умови Z=1. Граф мікропрограми операції JZ показаний на рис. 15.

$$K^{JZ}=2, P^{JZ}=2.$$

6.1.3. Операция збереження ST

Команда ST – адресна і призначена для захисту вмісту регістра R7 в ОП або РЗП. Мікропрограма модель та ГМП операції показано відповідно на рис. 16 та 17.

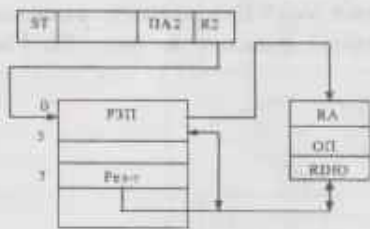


Рис. 16

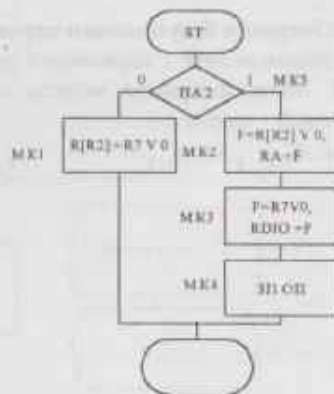


Рис. 17

$$k^{ST}=5,$$

$$P^{ST} = \frac{P^{ST_{max}} + P^{ST_{min}}}{2} = \frac{4+2}{2} = 3, T^{ST} = ps^{ST} * \tau = 3\tau.$$

6.2 Мікропрограми тактів T_{БК}, T_{оп1}, T_{оп2}

6.2.1. Такт вибірки команди T_{БК}

У такті вибірки T_{БК} код команди вибирається із ОП на регістр RK. Адресацію команд забезпечує ПІ. Після вибірки команди виконується інкремент ПІ. Мікропрограмою такту T_{БК} відповідає рис.6. ГМП показаний на рис.18.



Рис. 18

Кількість мікрокоманд

$$k^{BK}=2,$$

Число процесорних тактів

$$P^{BK}=2.$$

6.2.2. Такти вибірки операндів T_{оп1}, T_{оп2}

В цих тактах операнди (перший та другий) завантажуються відповідно в регістри R7 та R8. Джерелом операндів можуть бути регістр РЗП або комірка ОП, що визначається ознакою режиму адресації ПА1(ПА2). ГМП тактів показані на рис. 19 та 20.

Кількість мікрокоманд $k^{оп1(оп2)}=4$, число процесорних тактів :

$$P^{T_{оп1(оп2)}} = \frac{P^{T_{оп1(оп2)}_{max}} + P^{T_{оп1(оп2)}_{min}}}{2} = \left\lceil \frac{3+2}{2} \right\rceil = 3.$$

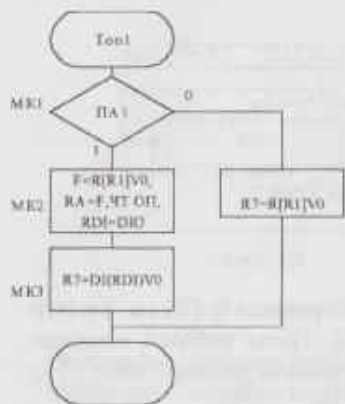


Рис. 19

6.2.3 Мікропрограма IPL

Мікропрограма IPL забезпечує завантаження початкової адреси програми в ПЛ з кнопочкового регістра RKN. ГМП зображений на рис.21.

6.3 Такт декодування коду операцій T_3

У такті T_3 виконується ідентифікація операції, яка представлена в полі КОП регістра RK. Декодер поля КОП реалізується як ПЗП (ROM) (рис.22) і перетворює код операції в початкову адресу МП операції.



Рис.21

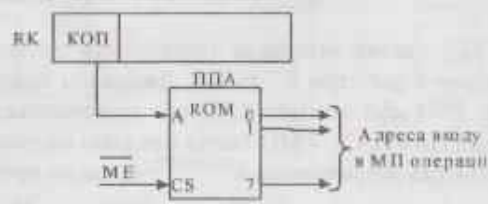


Рис. 22

Код у полі КОП є адресою комірки ПЗП, в якій записана початкова адреса МП відповідної операції. У табл. 3 наведені ці відповідності.

Таблиця 3

Адреса (КОП)	Початкова адреса МП	Операція
0000	2	NOP ✓
0001	3	"+" ✓
0010	4	"-" ✓
0011	5	"&" ✓
0100	6	"/" ✓
0101	7	JZ
0110	8	JMP
1000	9	ST
1001	10	HLT ✓

Табл. 3 визначає такі параметри ПЗП, як ємність q та розрядність r комірок.

$$ПЗП(q;r)=9 \times 4.$$

Для реалізації декодера вибираємо ІМС КР556РТ14, що має організацію $PT14[q \times r] = 2k \times 4$.

6.4 Розподіл адресного простору пам'яті мікрокоманд

Керуючий пристрій мікрокомп'ютера реалізує принцип програмованої логіки. Мікропрограми тактів операцій в закодованій формі зберігаються в пам'яті мікрокоманд. Розподіл адресного простору ПМК виконується з урахуванням кількості мікрокоманд в ГМП тактів, способу реалізації декодування поля КОП, а також організації ВІС ВУ4. Орієнтований розподіл пам'яті мікрокоманд показаний на рис. 23.

Адреса	Адресний простір ПМК	ІPL	
0	CJP 20	IPL	
1			} МК входу в шкелі команд мікрокомп'ютера
2	CJP 20	NOP	
3	CJP 57	"4"	
4	CJP 61	"5"	
5	CJP 65	"4"	
6	CJP 69	"0"	
7	CJP 73	"JZ"	
8	CJP 75	"JMP"	
9	CJP 77	"ST"	
10-14	T _{оп1}	4+1	
15-19	T _{оп2}	4+1	
20-22	T _{оп3}	2+1	
23-24	T ₁	1+1	
25-26	T ₂	1+1	
27-34	T ₃	7+1	
35-46	T ₄	11+1	
47-52	T ₅	5+1	
53-54	T ₆	1+1	
55-56	T _{6op}	1+1	
57	CJS 10	} Цикл "4"	
58	CJS 15		
59	CJS 23		
60	CJP 20	} Цикл "5"	
61	CJS 10		
62	CJS 15		
63	CJS 25	} Цикл "4"	
64	CJP 20		
65	CJS 10		
66	CJS 15	} Цикл "4"	
67	CJS 27		
68	CJP 20		
69	CJS 10	} Цикл "4"	
70	CJS 15		
71	CJS 35		
72	CJP 20	} Цикл "JZ"	
73	CJS 53		
74	CJS 20	} Цикл "JMP"	
75	CJS 55		
76	CJP 20	} Цикл "ST"	
77	CJS 47		
78	CJP 20		

Рис.23

Для керування функціонуванням ВІС ВУ4 використовуються мікрокоди, символічні позначення яких проілюстровані на рис.23. Наприклад, запис CJP20 є безумовний перехід до мікропідпрограми вибірки команди (такт T_{ВК}) з адресою 20. Запис "CJS10" є зверненням до мікропідпрограми вибірки першого операнда (такт T_{оп1}). Запис, наприклад "4+1", означає "4" – кількість МК в мікропідпрограмі T_{оп1}; "1" – МК виходу з мікропідпрограми T_{оп1}.

Із рис.23 випливає, що ємність пам'яті МК ≈ 79 комірок. Розрядність останніх визначається нижче.

Пам'ять МК реалізується як ПЗП (ROM). За ВІС вибираємо ІМС КР556РТ16 [1]. Що має організацію (8Кx8). Розрядність адреси ПМК:

$$n_{\text{адрес}} = \lceil \log_2 79 \rceil = 7.$$

7. Структурна схема мікрокомп'ютера

Структурна схема мікрокомп'ютера показана на рис. 24 (креслення 3). До його складу входять: процесор, пам'ять, генератор тактових імпульсів, пристрої вводу-виводу.

7.1. Процесор

Склад процесора: БМК; БОД; блок реєстрів.

7.1.1. Блок мікропрограмного керування

Регістр команд RGK призначений для прийому, зберігання та видачі коду команди. Для реалізації RGK використовуємо ІМС К1804 ІР2. Поле мікрокоманди керування реєстром RGK показано на рис.25.

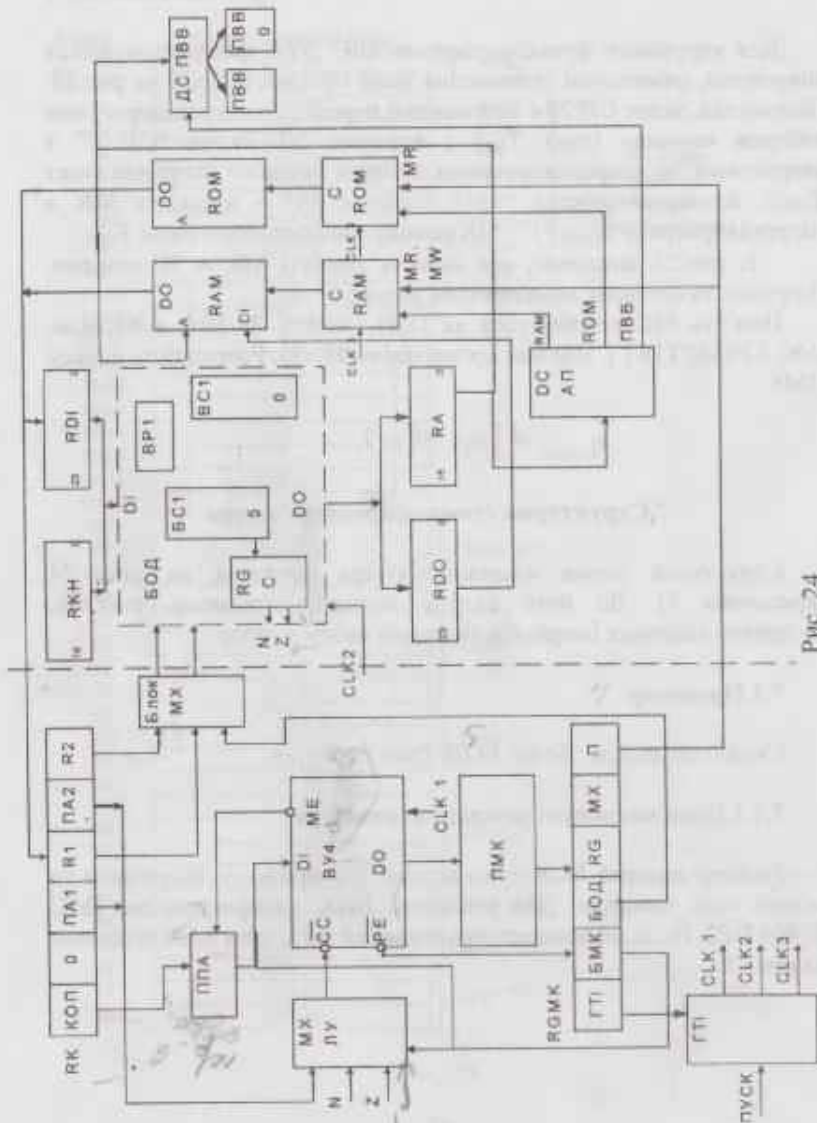


Рис. 24



Рис. 25

Кількість ІМС ІР2, які необхідні для реалізації регістра RGK, дорівнює

$$n/n_{IP2} = 24/8 = 3.$$

Перетворювач початкової адреси ППА виконує функцію декодера КОП. Реалізується на ВІС КР556РТ14 (рис. 26).

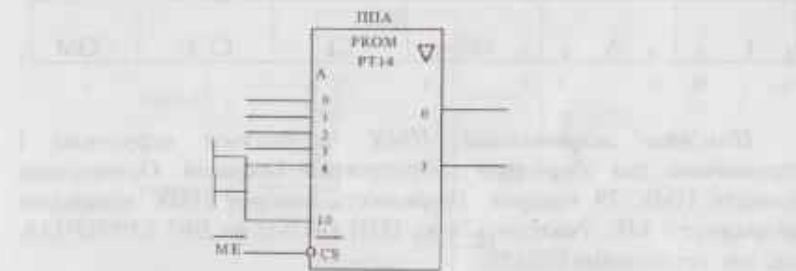


Рис. 26

Мультиплексор логічних умов МХ ЛУ призначений для комутації логічних умов (ЛУ) ПА1, ПА2, N, Z на вхід "CC" ВІС ВУ4. Для вибору ЛУ використовується поле MS в полі мікрокоманди БМК. Розрядність поля визначається за формулою:

$$n_{MS} = \lceil \log_2(L+1) \rceil$$

де L – кількість логічних умов. У нашому випадку L=4.

$$n_{MS} = \lceil \log_2(4+1) \rceil = 3$$

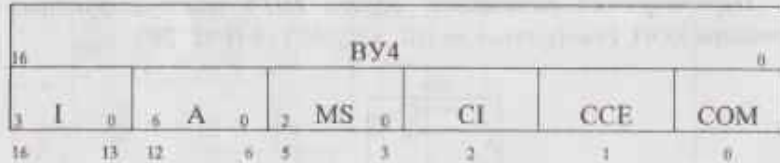
Кодування логічних умов в полі MS наведено в табл.4.

Таблиця 4

K(MS)	ЛУ
000	-----
001	N
010	Z
011	ПА1
100	ПА2

Мультиплексор MX реалізується на ІМС КР1533КП5.

Схема керування послідовністю МК призначена для генерації адрес МК і реалізується на ВІС К1804ВУ4. Мікрокоманда керування ВІС ВУ4 має таку структуру :



Пам'ять мікрокоманд ПМК називається керуючою і призначена для зберігання мікропрограм операцій. Орієнтована ємність ПМК 79 комірок. Розрядність комірок ПМК відповідає розрядності МК. Реалізується як ПЗП (ROM) на ВІС КР556РТ16, що має організацію (8Kx8).

Блок мультиплексорів MX призначений для комутації адрес звернень до регістрів загального призначення (РЗП), що представлені в полях R1,R2 коду команди або адрес звернень до регістрів мікрокоманд, що відображені в полях А,В регістра RGMK (поле БОД). Структура блока MX представлена на рис. 27.

Блок MX реалізується на ІМС К1533КП11.

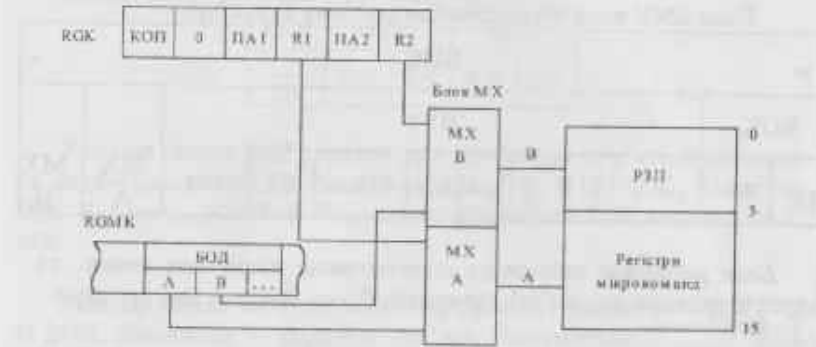


Рис. 27

Функціональна схема блока MX показана на рис. 28.

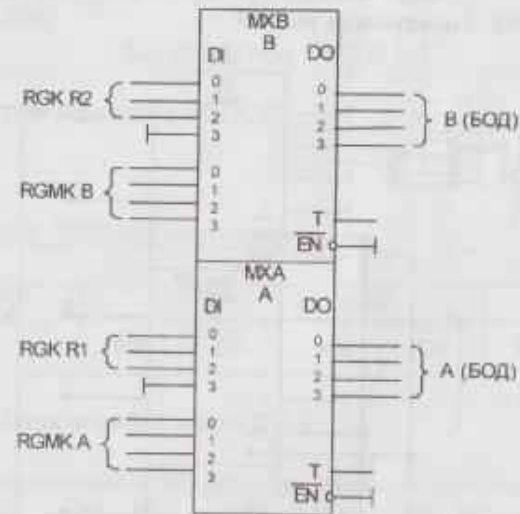


Рис. 28

Поле БМК кода мікрокоманди має таку структуру :

БМК										
20 0										
RGK		BY4								
\overline{EN}	WR	3 I 0	6 P 0	2 MS 0	CCE	CI	COM	MX A B		

Блок реєстрів забезпечує короточасне зберігання даних та адрес зплення до пам'яті. До складу блоку входять такі реєстри.

Кнопковий реєстр RKN призначений для завантаження та зберігання початкової адреси коду програми ПА=0Ch.

Реєстр RKN реалізується на ІМС К1804ІР2. Кількість ІМС ІР2 визначається розрядністю фізичної адреси:

$$K_{RKN} = n_{PA} / n_{IP2} = \lceil 17/8 \rceil = 3$$

Структура RKN показана на рис. 29.

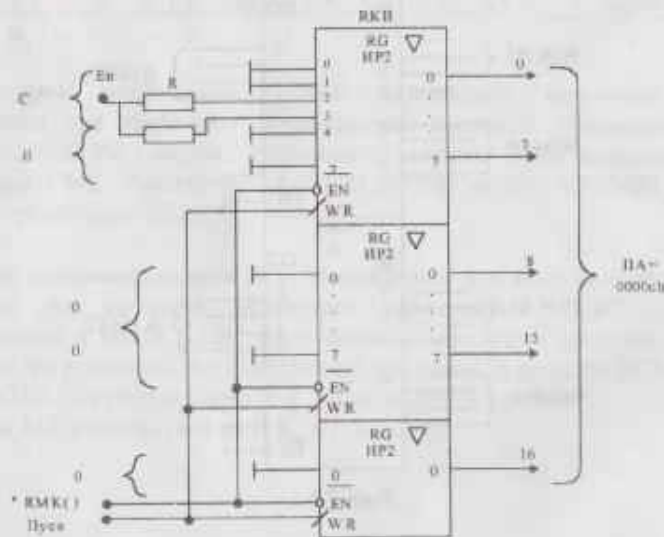


Рис. 29

Включенням реєстра керує поле МК RKN:

RKN	RDI	RDO
\overline{EN}	WR	EN
	WR	EN

Реєстр даних RDI служить для прийому з пам'яті, зберігання та видачі даних в БОД. Реалізується на ІМС К1804ІР2. Кількість ІМС $K_{RDI} = n / n_{IP2} = 24/8 = 3$. Керування функціями RDI виконує поле МК.

Реєстр даних RDO служить для прийому даних із БОД, зберігання та видачі в пам'ять. Реалізується як і реєстр RDI. МК керування має таку структуру :

RDO	
WR	\overline{EN}

Реєстр адреси RA призначений для прийому з БОД адреси, її зберігання та видачі в пам'ять. Розрядність RA = $n_{PA} = 17$. Реалізується так само як і реєстр RDO.

Кількість ІМС

$$K_{RKN} = n_{PA} / n_{IP2} = \lceil 17/8 \rceil = 3$$

Реєстром керує поле МК RA :

RA	
WR	\overline{EN}

Поле МК "RG" має таку структуру :

RG										
6 0										
RKN	6	5	RDI	4	3	RDO	2	1	RA	0
\overline{EN}			WR	\overline{EN}		WR	\overline{EN}		WR	\overline{EN}

7.1.3. Блок обробки даних БОД

Блок призначений для обробки даних та адресної інформації. Реалізується на ВІС ВС1 та ВР1. Кількість ВІС ВС1 визначається, як $\max\{n, n_A\}$. Так як $n=24$ і $n_A=17$, то число ВІС ВС1

$$K_{BC1} = n / n_{BC1} = \lceil 24/4 \rceil = 6$$

Для прискорення розповсюдження переносу між ВІС ВС1 використовується ВІС ВР1.

Для зберігання ознак N та Z служить регістр стану RGC. Реалізується на ІМС ІР2.

Для виконання операцій "*" та "/" необхідна відповідна комутація виводів ВІС ВС1, яка показана на рис. 30.

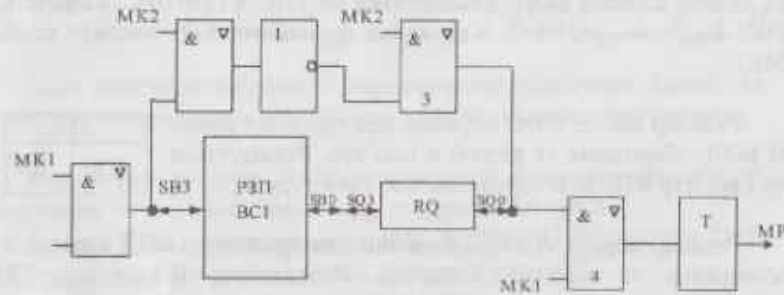
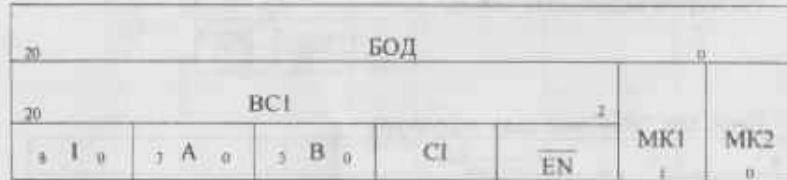


Рис. 30

MP - молодший розряд

Мікрокоманда керування блоком обробки даних має структуру:



7.2. Пам'ять

7.2.1. Оперативна пам'ять (RAM)

Оперативна пам'ять має організацію (64Кх24). Реалізується на динамічних ІМС К565РУ5 з організацією (64Кх1). Структура RAM проілюстрована на рис.31.

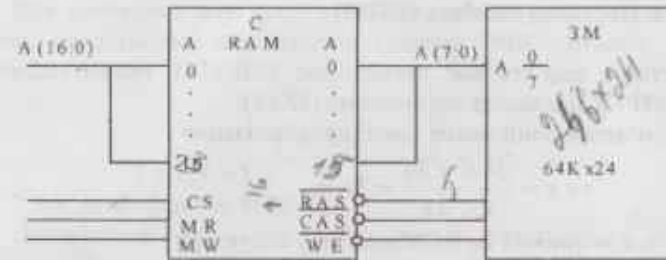


Рис. 31

Контролер С RAM в КП не розроблюється. На принципіальній схемі він представляється як функціональний елемент.

Запам'ятовуючий масив (ЗМ) має організацію (64Кх24).

Визначимо організацію ЗМ. Запам'ятовуючий масив має площинну організацію $t \times s$, де t - кількість рядків, s - кількість стовпчиків.

$$t \times s = \frac{64K \times 24}{64K \times 1} = 1 \times 24, \quad t = 1, s = 24.$$

Функціональна схема RAM мікрокомп'ютера показана на рис. 32.

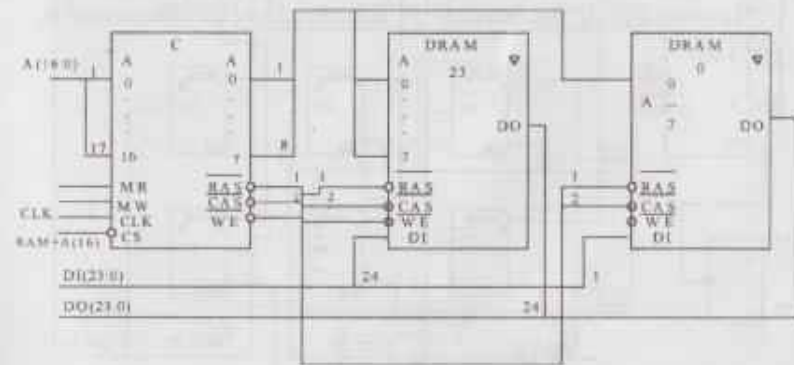


Рис. 32

7.2.2. Постійна пам'ять (ROM)

Постійна пам'ять має організацію (24Кх24). Реалізується на ВІС К568РЕ2, що мають організацію (8Кх8).

Запам'ятовувальний масив має таку організацію:

$$l \times s = \frac{24K \times 24}{8K \times 8} = 3 \times 3, \quad l = 3, s = 3.$$

Адреса звернення до ROM має таку структуру:

$A_{ROM} = A_1 * A$, де A_1 - адреса рядка ЗМ.

Розрядність поля A_1 $n_{A_1} = \lceil \log_3 3 \rceil = 2$. Тоді адреса звернення

$$A_{ROM} (14:0) = A_1 (14:13) \cdot A (12:0).$$

Функціональна схема ROM зображена на рис.33. Дешифратор рядка DC CS реалізується на ІМС КР1533ИД4.

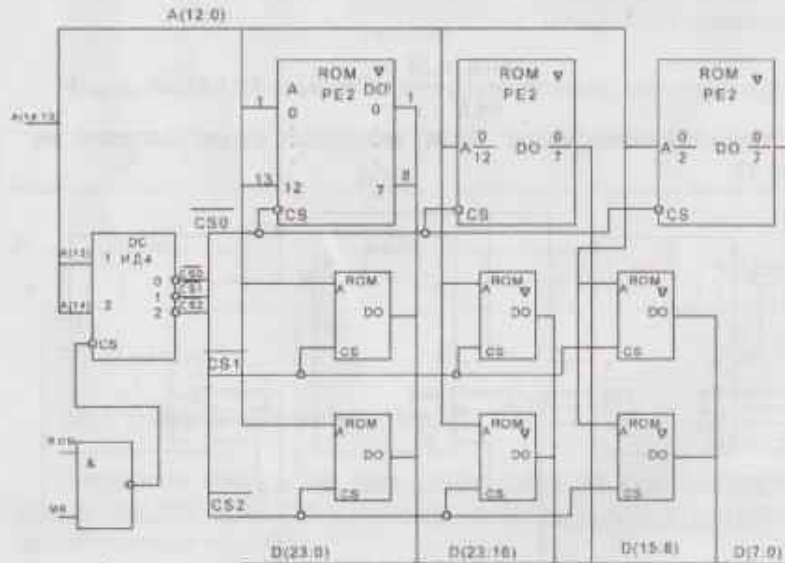


Рис. 33

Для керування пам'яттю в МК використовується поле "П", в якому представлені два керуючі сигнали "MR"-читання; "MW"-запис:

П	
MR	MW

7.2.3. Дешифратор ПВВ

Дешифратор DC ПВВ (див. рис.3) реалізується на ІМС КР1533ИД3.

7.2.4. Дешифратор DC АП

Функціональна схема дешифратора DC АП показана на рис.3. Для його реалізації в КП використовуються логічні елементи серії КР1533.

7.3. Генератор тактових імпульсів (ГТІ)

В мікрокомп'ютері ГТІ реалізується на ВІС КМ1804ГГ1, що дозволяє отримувати на своїх виходах розподілені в просторі та часі послідовності тактових імпульсів CLK1-CLK3. На рис.34 представлена схема підключення кварцевого резонатора та керування ГТІ. Входи "START" та "HLT" використовуються для виставлення режимів роботи ГТІ "Робота" та "Призупинення".

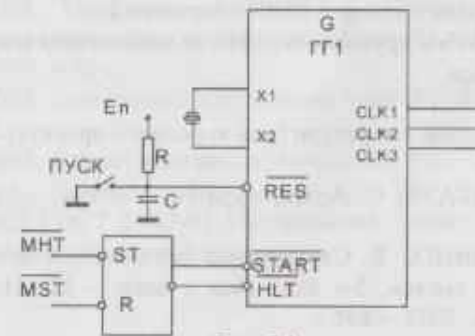


Рис. 34

Генерація тактових імпульсів CLK1-CLK3 виконується в режимі "Робота". Такий режим задається в полі МК "ГПІ" значеннями сигналів MST=1, MHT=0. Режим "Призупинення" (зняття CLK1-CLK3) установлюється значеннями MST=0, MHT=1.

8. Принципіальна схема мікрокомп'ютера

Принципіальна схема мікрокомп'ютера проілюстрована на кресленні 6. Специфікація елементів приведена в дод. А. Ці елементи в прикладі відсутні.

9. Формат мікрокоманди

Окремі поля МК були визначені а етапі розробки структурної схеми мікрокомп'ютера. Загальний формат МК показаний на рис. 35.

10. Закодована мікропрограма мікрокомп'ютера

Мікропрограма розміщується в пам'яті МК і забезпечує керування пристроями мікрокомп'ютера відповідно до семантики команди.

Закодована мікропрограма розробляється з урахуванням формату МК, циклів команд, розподілу пам'яті МК, а також використання ВІС ВС1 та ВУ4. На рис. 35 наведений закодованої МК, яка розміщена в комірці ПМК з адресою 2.

Розділ розробки друкованої плати та заключення в прикладі КП не розглядаються.

Список літератури (для курсового проекту)

1. ТАНИНБАУМ С. Архітектура комп'ютера. – СПб.: Питер, 2002. – 704 с.
2. СТОЛЛИНГС В. Структурная организация и архитектура компьютерных систем, 5-е изд.: Пер. с англ. – М.: Издательский дом «Вильямс», 2002. – 896 с.

3. ХВОЩ С.Т., ВАРЛИНСКИЙ Н.Н., ПОПОВ Е.А. Микропроцессоры и МикроЭВМ в системах автоматического управления: Справочник. -Л.:Машиностроение,1987.-640 с.

4. ПОЛУПРОВОДНИКОВЫЕ БИС ЗУ: Справочник. Полупроводниковые БИС ЗУ / Под ред. А.Ю. Гордонова. -М.:Радио и связь,1986.- 360 с.

5. БИС ЗУ: Справочник / Под ред. А.Ю. Гордонова. - М.:Радио и связь,1990.-288 с.

6. ЦИФРОВЫЕ и аналоговые интегральные микросхемы: Справ очник / Под ред. С.В. Якубовского -М.:Радио и связь,1990.-496 с.

7. ИНТЕГРАЛЬНЫЕ микросхемы. Серия КР1533. Техническое описание. - М.:МП "Бинном",1992.- 610 с.

8. ОСНОВЫ конструирования микрозлектронных вычислительных машин: Учеб. пособие для втузов / Под ред. А.Н. Преслухина. – М.: ВШ,1976.- 370с.

9. МЕТОДИЧНІ вказівки по курсовому проектуванню для студентів спеціальності 8.091501 "Комп'ютерні системи та мережі". – К.: 2003.

10. ЦЕОМ. Методичні вказівки до виконання курсових проектів для студентів ІЗДН спеціальності 8.091501. – К.: НАУ, 2003, - 48 с.

11. ЦЕОМ. Лабораторні роботи 1, 2. – К.:КМУЦА, 1998, - 21 с.

12. ЕЦОМ. Методичні вказівки та контрольна робота для студентів заочного факультету спеціальності 7.091501. – К.: КМУЦА, 1999. – 36 с.

13. ЦЕОМ. Інтегральні микросхеми серії КР1533. – К.: НАУ, 2003. – 36 с.

14. ЦЕОМ. Великі інтегральні схеми пам'яті. – К.: НАУ, 2003. – 44 с.

15. ЕСКД. ГОСТ 2.743-91. Обозначения условно-графические в схемах. Элементы цифровой техники.

52	Назва МК	Апрел' 88		СР	21			
		ЛІСТ	52					
ІТТ	МІК	ЛІСТ	51	1	3	18	105	
		КДТ	50					
		МІК	49					
		ЛІСТ	48					
ІМК	ВУ4	ЛІСТ	47	2	1	1	1	
		СД	46					
		СД	45					
		СД	44					
ВМ	ВМ	СД	43					
		СД	42					
		СД	41					
		СД	40					
		СД	39					
		СД	38					
		СД	37					
		СД	36					
		СД	35					
		СД	34					
		СД	33					
		СД	32					
ВМ	ВМ	СД	31					
		СД	30					
		СД	29					
		СД	28					
		СД	27					
		СД	26					
		СД	25					
		СД	24					
		СД	23					
		СД	22					
		СД	21					
		ВМ	ВМ	СД	20			
СД	19							
СД	18							
СД	17							
СД	16							
СД	15							
СД	14							
СД	13							
СД	12							
СД	11							
СД	10							
ВМ	ВМ			СД	9			
		СД	8					
		СД	7					
		СД	6					
		СД	5					
		СД	4					
		СД	3					
		СД	2					
		СД	1					
		СД	0					
		СД	0					

Рис. 35

**ВИЗНАЧЕННЯ ЕФЕКТИВНОГО НАБОРУ ОПЕРАЦІЙ
МІКРОКОМП'ЮТЕРА**

1. Критерії (показники) ефективності

Реалізація алгоритму рішення задачі можлива при використанні різних наборів операцій. Ефективність набору операцій в загальному вигляді визначається витратами устаткування та часу на реалізацію алгоритму.

Витрати устаткування визначаються вартістю процесора та пам'яті.

Витрати часу оцінюються середньою кількістю операцій, які необхідно виконати при одному прогоні задачі.

На рис.1 зображені графіки залежності показників ефективності набору операцій від їх упорядкованої послідовності. Набори F_1, \dots, F_p упорядковані за складністю операцій, що входять до кожного з цих наборів. Тобто набір F_{i+1} містить операції, які мають складність меншу чим операції набору F_i . Наприклад: $F_1 = \{+, -, *, \sqrt{\quad}, \ln, \dots\}$; $F_{i+1} = \{+, -, *, / \}$.

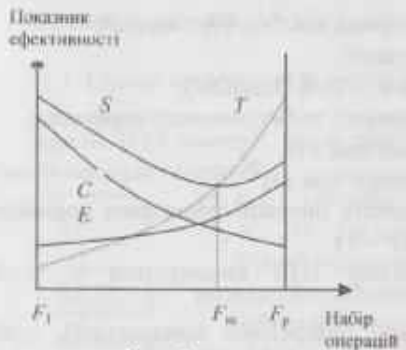


Рис. 1

Крива S характеризує витрати устаткування в процесорі. Вони збільшуються при ускладненні набору операцій. Навпаки витрати на пам'ять ростуть при спрощенні наборів операцій (крива E). Сумарні витрати устаткування представлені кривою S . При цьому набір F_m забезпечує мінімальні витрати на устаткування.

Інший показник ефективності - середній час реалізації алгоритму (задачі) представлений кривою T . Введення в набір складних операцій дозволяє програмувати складні дії однією

командою. У результаті в програмі кількість команд зменшується і скорочується час її виконання.

У курсовому проекті ефективність операцій (набір) визначається відносно до другого показника, тобто середнього часу реалізації алгоритму. Ефективним буде той набір операцій, який забезпечує мінімальний час прогону НТЗ. Операції, які пов'язані з вводом та виводом даних, не розглядаються.

2. Визначення часу рішення НТЗ

Вважаємо, мікрокомп'ютер, що проектується, має синхронне керування і постійну тривалість тактів процесора та пам'яті. Тоді час рішення (прогону) НТЗ визначається за формулою:

$$t_{np} = \tau \sum_{i=1}^k p_i m_i + 1,5 \tau m_o + 1 \tau (m_j + m_{jnp}) + \tau_{os} m_{os} \quad (1)$$

де τ - тривалість процесорного такту;

k - кількість типів операцій обробки (наприклад, арифметичних операцій);

p_i - середня кількість процесорних тактів в i -й операції;

m_i - число звернень до i -ї операції;

m_o - число операцій пересилки (ST, LD, MOV);

m_j, m_{jnp} - число операцій умовного та безумовного переходів;

τ_{os} - тривалість такту основної пам'яті;

m_{os} - число звернень до основної пам'яті.

Припускаємо, що тривалість операції пересилки дорівнює $1,5\tau$, а тривалість операції J, JMP - 1τ .

Обчислення часу прогону НТЗ виконується в такій послідовності.

1. Задается набір операцій (операторів присвоєння), який необхідний для рішення НТЗ.

2. Розробляється схема алгоритму рішення НТЗ. За схемою алгоритму визначаються величини m_i . При цьому повинні врахуватись циклічні ділянки в схемі алгоритму. Якщо число

повторень не визначено, то їхня кількість береться рівною, наприклад, п'яти.

3. Для кожної операції з урахуванням елементної бази розробляється мікропрограма у вигляді графа мікропрограми (ГМП). За ГМП для кожної операції обчислюється кількість процесорних тактів p_i . Якщо в МП є розгалуження, то у формулу (1) входить середнє значення p_i .

$$p_i = \frac{p_{i\max} + p_{i\min}}{2}$$

4. За схемою алгоритму складається програма мікрокомп'ютера в змістовній формі з урахуванням її адресності і обчислюються параметри $m_i, m_{os}, m_j, m_{jnp}$ та ін.

5. За формулою (1) обчислюється час прогону НТЗ.

3. Визначення ефективного набору операцій

Початкові дані:

задача $F = \sin(Z_1 * Z_2)$.

елементна база - МПК К1804 (BC1, BY4).

адресність команд АК=2.

3.1. Схеми алгоритмів рішення НТЗ

Аналіз НТЗ показує, що її рішення можливе при використанні таких наборів операцій:

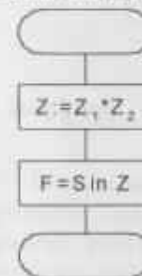


Рис. 1

{*, sin} 1-й набір;

{*, +, -, /} 2-й набір.

Для обчислення функції sin використовується розклад її в степеневий ряд.

Наборам операцій відповідають схеми алгоритмів рис. 1 та в дод. 1, рис. 1, с. 10.

Після об'єднання наборів операцій, отримаємо список операцій, для яких необхідно розробляти МП алгоритмів

{*, sin} ∪ {*, -, +, /} = {+, -, *, /, sin}.

3.2. Мікропрограми операцій

Мікропрограми операцій об'єднаного набору крім операції \sin розроблені в першому прикладі. Там же для кожної операції (+, -, *, /) визначений параметр p_i :

$$p^+ = 1; p^- = 1; p^* = 15; p^/ = 16.$$

Операція \sin

Схема алгоритму обчислення функції \sin показана в дод. 1, рис. 1, вершини (3-13), с. 11. Мікропрограмна модель операції показана на рис. 2. На ній представлений розподіл регістрової пам'яті ВІС К1804ВС1. Регістри з адресами (7-15) використовуються мікропрограмою обчислення функції \sin . ГМПІ функції \sin представлена на рис. 3.

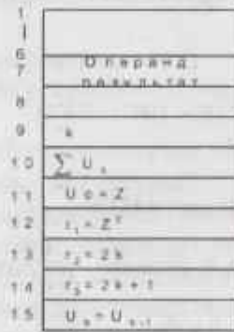


Рис. 2

Кількість процесорних тактів, необхідних для реалізації функції \sin :

$$p_{\sin} = 6 + p^+ + 1 + 5(4 + p^+ + 1 + p^+ + 1 + p^+ + 1 + 3) + 1 = \\ = 6 + 15 + 1 + 5(4 + 15 + 1 + 16 + 1 + 16 + 1 + 3) + 1 = 308.$$

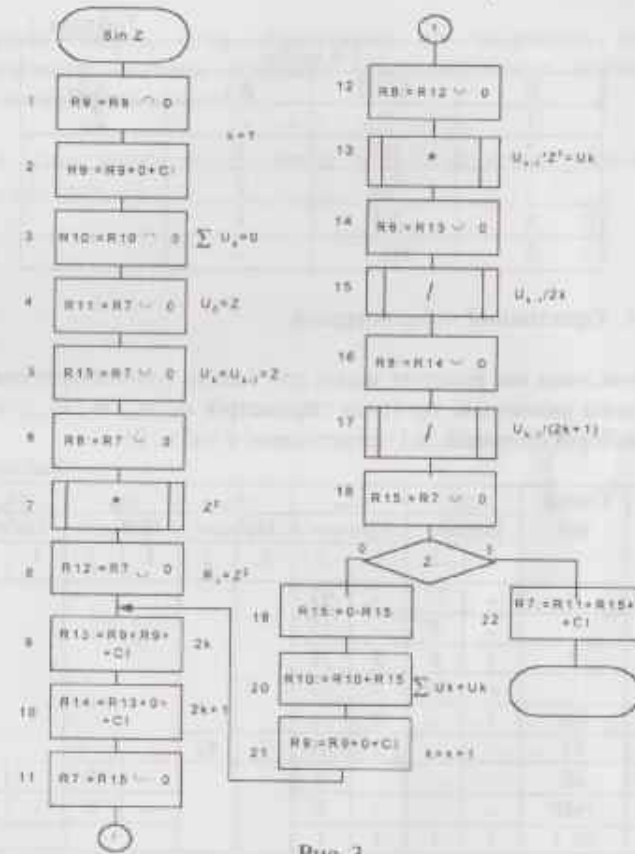


Рис. 3

3.3. Програми задачі в змістовній формі

Відповідно до двох наборів операцій складасмо програми рішення задачі в змістовній формі. Програма задачі для першого набору операцій приведена нижче в табл. 1. Програма задачі для другого набору приведена в дод. 1, табл. 1, с. 11.

Таблиця 1

1-й набір			
N	КОП	A1	A2
1	*	Z ₁	Z ₂
2	ST	Z	-
3	Sin	Z	-
4	ST	F	-
5	HLT	-	-

3.4. Ефективний набір операцій

Обчислимо час рішення задачі для 1-го та 2-го наборів операцій. Для цього визначимо значення параметрів m_i , m_{op} , m_j , m_{jmp} , m_{op} для обох наборів операцій, які представлені в табл. 2:

Таблиця 2

N	Операція	m_i		m_{op}		m_j		m_{jmp}		m_{op}	
		Набори		Набори		Набори		Набори		Набори	
		1	2	1	2	1	2	1	2	1	2
1	+	-	21	-	63						
2	-	-	5	-	15						
3	*	1	6	3	18						
4	/	-	10	-	30						
5	Sin	1	-	2	-						
6	ST			2	84	2	42				
7	JZ	-		-	5			-	5	-	5
8	JMP	-		-	5			-	5	-	5
9	HLT	1	1	1	1						

Час рішення задачі для 1-го та 2-го наборів:

$$t_1 = \tau(15*1 + 308*1) + 1,5\tau*2 + \tau_{op}(3+2+2+1) = 326\tau + 8\tau_{op}$$

$$t_2 = \tau(1*21 + 1*5 + 15*6 + 16*10) + 1,5\tau*42 + 1*\tau*6 + 1*\tau*5 +$$

$$+ \tau_{op}(63+15+18+30+84+5+5+1) = 341\tau + 221\tau_{op}$$

Таким чином, $t_1 < t_2$. Відповідно до вибраного критерію ефективності система операцій мікрокомп'ютера визначається першим набором операцій:

{*, ST, Sin, HLT}.

Наступні кроки проектування мікрокомп'ютера відповідають прикладу (дод. 1).

1. (розділ 6, (укази), тобто

2. $P = T \cdot I$ Навчально-методичне видання

3. $P = I \cdot R$

4. $U = I \cdot R$

5. $U = I \cdot R$

**ЦИФРОВІ ЕЛЕКТРОННІ
ОБЧИСЛЮВАЛЬНІ МАШИНИ**

Методичні вказівки до виконання
курскових проектів для студентів Інституту
заочного та дистанційного навчання
спеціальності 8.091501 "Комп'ютерні
системи та мережі"

Укладачі: СФИМЕЦЬ Валентин Микитович,
ЖУКОВ Ігор Анатолійович,
ІВАСЬКІВ Юрій Лукич,
МАРТИНОВА Оксана Петрівна

Редактор Н.М. Угляренко
Технічний редактор А.І. Павлінович
Коректор О.О. Крусь

Підп. до друку 13.02.04. Формат 60x84/16. Папір офс.
Офс. друк. Ум. фарбовідб. 14. Ум. друк. арк. 3,02. Обл.-вид. арк. 3,25.
Тираж 200 прим. Замовлення № 47-1. Вид. № 22/III.

Видавництво НАУ
03058, Київ-58, проспект Космонавта Комарова, 1.

Свідоцтво про внесення до Державного реєстру ДК № 977 від 05.07.2002