

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
Національний авіаційний університет

М. П. Бабич, І. А. Жуков, К. П. Яременко, С. В. Журавель

## КОМП'ЮТЕРНА СХЕМОТЕХНІКА

Навчально-методичний посібник  
з курсового проектування  
для студентів напрямів підготовки  
0804 «Комп'ютерні науки»  
та 0915 «Комп'ютерна інженерія»

Київ 2004

УДК 004.31  
ББК 3973.2р  
К 937

Рецензенти: д-р техн. наук, проф. Стасюк О.І.,  
д-р техн. наук, проф. Мохор В.В.

**Бабич М. П., Жуков І. А., Яременко К.П. та ін.**

К 937 Комп'ютерна схемотехніка. Курсове проектування:  
Навчально-методичний посібник. – К.: НАУ, 2004. – 160 с.

Містить загальні вказівки щодо курсового проектування. Визначає структуру і вимоги до змісту структурних елементів курсового проекту (роботи), подає основні правила оформлення пояснювальної записки і графічної частини.

У посібнику наведені основні теоретичні положення з тематики курсового проектування, варіанти завдань для контрольних і розрахунково-графічних робіт та приклади проектування спеціалізованих арифметико-логічних пристроїв комп'ютерів.

Призначений для студентів усіх форм навчання за напрямками підготовки 0915 «Комп'ютерна інженерія» та 0804 «Комп'ютерні науки».

УДК 004.31  
ББК 3973.2р

© М.П. Бабич, І.А. Жуков,  
К.П. Яременко та ін, 2004

## ЗМІСТ

Вступ.....	5
1. Загальні вказівки.....	6
1.1. Актуальність теми курсового проекту (роботи) .....	6
1.2. Мета курсового проектування.....	7
1.3. Захист курсового проекту (роботи) .....	8
1.4. Структура курсового проекту (роботи) .....	8
1.5. Вимоги до змісту структурних елементів пояснювальної записки.....	9
2. Правила оформлення пояснювальної записки.....	13
2.1. Формати.....	13
2.2. Основні написи і порядок їх заповнення.....	15
2.3. Загальні вимоги.....	17
2.4. Побудова пояснювальної записки.....	18
2.5. Нумерація складових частин.....	19
2.6. Викладення тексту записки.....	20
2.7. Подання формул і рівнянь.....	22
2.8. Правила написання позначень і найменувань фізичних величин.....	23
2.9. Оформлення ілюстрацій.....	24
2.10. Побудова таблиць.....	26
2.11. Оформлення приміток і посилань.....	28
2.12. Оформлення додатків.....	28
2.13. Оформлення списку літератури.....	29
3. Правила виконання електричних схем цифрової техніки.....	32
3.1. Правила побудови умовних графічних позначень цифрових елементів.....	35
4. Основні теоретичні положення з тематики курсового проектування.....	42
4.1. Основні характеристики і параметри логічних елементів.....	42
4.2. Рекомендовані серії мікросхем для побудови арифметико-логічних пристроїв.....	45
4.3. Вибір мікросхем для побудови арифметико-логічних пристроїв.....	49
4.4. Поняття архітектури і структури комп'ютерів.....	53
4.5. Основи побудови арифметико-логічних пристроїв.....	54
4.5.1. Принцип мікропрограмного керування.....	54
4.5.2. Операційний та керуючий блоки.....	55
4.6. Класифікація арифметико-логічних пристроїв.....	55
4.7. Пристрої керування.....	57
4.8. Мови опису операційних пристроїв.....	62
5. Типові функціональні вузли комп'ютерів.....	65
5.1. Проектування комбінаційних схем.....	67
5.2. Логічне проектування двійкового комбінаційного паралельного суматора.....	72
5.3. Проектування лінійного дешифратора на три входи $X_1-X_3$ і вісім прямих виходів $F_0-F_7$ .....	75

5.4. Проектування лінійного дешифратора на три входи $X_1-X_3$ і вісім інверсних виходів $L_0-L_7$ .....	76
5.5. Проектування пірамідального дешифратора «3→8» з прямими виходами .....	77
5.6. Проектування матричного дешифратора на чотири входи $X_1-X_4$ і шістнадцять виходів $F_0-F_{15}$ .....	77
5.7. Проектування мультиплексорів з внутрішнім дешифратором та з адресними мінтермами.....	78
5.8. Проектування демультиплексорів з внутрішнім дешифратором та з поєднанням адресних і вхідних змінних.....	79
5.9. Проектування схеми порівняння слова з константою.....	80
5.10. Проектування схеми порівняння двійкових слів А і В.....	81
5.11. Проектування схеми порівняння двох слів «на більше».....	81
5.12. Проектування схем контролю за парністю.....	83
5.13. Проектування схеми перетворювача прямого коду в обернений.....	83
5.14. Проектування схеми перетворювача прямого коду в доповняльний.....	84
6. Приклади проектування спеціалізованих арифметико-логічних пристроїв.....	86
6.1. Проектування спеціалізованого арифметико-логічного пристрою для операції додавання. Шифр АЛП1.....	86
6.2. Проектування спеціалізованого арифметико-логічного пристрою для операції віднімання. Шифр АЛП2.....	94
6.3. Проектування спеціалізованого арифметико-логічного пристрою для операцій додавання і віднімання. Шифр АЛП3.....	103
6.4. Проектування спеціалізованого арифметико-логічного пристрою для операції множення. Шифр АЛП4.....	113
6.5. Проектування спеціалізованого арифметико-логічного пристрою для операції ділення. Шифр АЛП5.....	123
Список літератури.....	140
Додаток А. Зразок оформлення титульного аркуша пояснювальної записки.....	141
Додаток Б. Зразок оформлення реферату.....	142
Додаток В. Зразок оформлення опису альбому.....	143
Додаток Г. Зразок оформлення завдання на курсове проектування.....	144
Додаток Д. Приклад оформлення змісту пояснювальної записки.....	146
Додаток Ж. Основні стандарти виконання схем.....	147
Додаток К. Позначення функцій елементів.....	148
Додаток Л. Позначення основних міток виводів.....	149
Додаток М. Варіанти завдань на домашню роботу.....	150
Додаток Н. Варіанти завдань на контрольну роботу.....	151
Додаток О. Варіанти завдань на розрахунково-графічну роботу.....	158
Додаток П. Варіанти завдань на курсовий проект (роботу).....	159

## ВСТУП

Навчальний процес в Інституті інформатики – це система організаційних, методичних та інших заходів, спрямованих на реалізацію змісту освіти на певному освітньо-кваліфікаційному рівні фахівців.

Навчально-методичний посібник з курсового проектування з дисциплін «Комп'ютерна схемотехніка» і «Схемотехніка ЕОМ» регламентує навчальний процес під час виконання студентами курсових проектів та робіт, сприяючи реалізації змісту освіти в НАУ відповідно до державних стандартів України.

Курсовий проект з навчальної дисципліни «Комп'ютерна схемотехніка» – це кінцевий результат розробки нового продукту: типових функціональних вузлів та спеціалізованих арифметико-логічних пристроїв (АЛП).

Курсова робота з навчальної дисципліни – це творче або репродуктивне розв'язання конкретної задачі з дисциплін «Комп'ютерна схемотехніка» і «Схемотехніка ЕОМ».

Проектування виконує студент самостійно під керівництвом викладача протягом установленого терміну в одному семестрі у відповідності до технічного завдання. Проектування реалізується на основі набутих знань і вмінь.

У процесі курсового проектування розроблюється сукупність документів – пояснювальної записки, креслень, схем, що виконуються з обов'язковим дотриманням чинних державних стандартів.

Цей навчально-методичний посібник встановлює мету, завдання та порядок виконання курсових проектів і робіт, зміст та обсяг їх окремих частин, правила оформлення текстової і графічної документації. У посібнику також наведено варіанти завдань для розрахунково-графічних та контрольних робіт.

Для написання посібника використовувалося положення про курсове проектування авторів професора М. С. Кулика, доцента А. В. Полухіна та досвід написання методичних вказівок співробітників кафедри обчислювальної техніки.

Автори висловлюють подяку рецензентам – д-ру техн. наук, професору О. І. Стасюку та д-ру техн. наук, професору В. В. Мохо-ру за слушні зауваження, а також канд. техн. наук Г. А. Бабич за допомогу в підготовці книги до видання.

# 1. ЗАГАЛЬНІ ВКАЗІВКИ

## 1.1. АКТУАЛЬНІСТЬ ТЕМИ КУРСОВОГО ПРОЕКТУ (РОБОТИ)

Розвиток електронної обчислювальної техніки і її широке застосування в науці, техніці та промисловості – важливий фактор прискорення науково-технічного прогресу.

Комп'ютерна схемотехніка вивчає принципи побудови цифрових функціональних вузлів та пристроїв на основі інтегральних мікросхем і мікропроцесорних засобів.

Розвиток мікроелектронної елементної бази є основою вдосконалення архітектури комп'ютерів та якісного поліпшення їх техніко-економічних показників – продуктивності, швидкодії, надійності, вартості та ін. З рівнем розвитку елементної бази пов'язано в першу чергу поняття про покоління комп'ютерів – від ламп (перше покоління) до великих інтегральних схем (четверте покоління).

Тема курсового проекту «Спеціалізований арифметико-логічний пристрій комп'ютера» актуальна у зв'язку з широким застосуванням цифрової обчислювальної техніки у цивільній авіації. Ефективність сучасних літальних апаратів залежить від якості бортових інформаційно-керувальних комплексів, основними елементами яких є універсальні та спеціалізовані комп'ютери. Бортовий комп'ютер реалізує такі функції:

- розв'язання навігаційно-пілотажних задач;
- формування сигналів автоматичного керування;
- контроль бортових систем і відображення інформації екіпажу;
- забезпечення роботи радіолокаційних засобів, розв'язання задач оптимізації зв'язку та ін.

Обчислювальну техніку широко використовують в експлуатаційних підрозділах цивільної авіації для забезпечення планово-економічних розрахунків, в автоматизованих системах обслуговування авіапасажирів, для проведення статичних і динамічних випробувань моделей літальних апаратів в аеродинамічних трубах. Комп'ютери використовують з метою інтенсифікації навчального процесу у вищих навчальних закладах.

Основні вимоги до курсового проекту (роботи):

- 1) одержання прогресивних технічних рішень;
- 2) строге застосування формалізованих методів аналізу і синтезу цифрових схем;

- 3) мінімізація складу елементів;
- 4) оптимальний вибір сучасних швидкодіючих інтегральних мікросхем різного ступеню інтеграції;
- 5) забезпечення електричних режимів роботи інтегральних мікросхем;
- 6) виконання вимог чинних державних стандартів.

## **1.2. МЕТА КУРСОВОГО ПРОЕКТУВАННЯ**

Мета курсового проектування:

- закріплення, поглиблення та узагальнення теоретичних знань і розвиток навичок їх практичного застосування в галузі комп'ютерної схемотехніки;
- самостійне та колективне розв'язання конкретних фахових задач обчислювальної техніки;
- уміння користуватися відповідною довідковою літературою, державними стандартами;
- використання сучасних комп'ютерних інформаційних технологій.

Курсове проектування містить такі етапи:

- визначення теми і оформлення завдання на курсове проектування;
- безпосереднє виконання курсового проекту;
- оформлення пояснювальної записки та графічного матеріалу;
- захист курсового проекту (роботи).

Тематику курсових проектів та відповідних методичних вказівок затверджує завідувач кафедри.

Керівництво курсовими проектами доручається кваліфікованим викладачам – професорам, доцентам, старшим викладачам.

Завдання на курсове проектування видається за підписом керівника, датується днем видачі та реєструється у журналі обліку і контролю на кафедрі. Для студентів заочної та дистанційної форм навчання можлива видача завдань по електронній пошті.

Кафедра розробляє графіки консультацій – групових чи індивідуальних, які після їх затвердження поміщують на стендах кафедри та доводять до відома студентів.

Студент не рідше одного разу в два тижні зобов'язаний інформувати керівника про виконану роботу. Керівник повинен розвива-

ти у студентів творчі навички. Необхідно пам'ятати, що відповідальність за всі прийняті в курсовому проекті (роботі) рішення несе автор – студент. Виконаний проект підписує студент і після дозволу керівника він допускається до захисту.

Якщо керівник проекту не допускає студента до захисту, то це питання обговорюється на засіданні кафедри у його присутності.

### **1.3. ЗАХИСТ КУРСОВОГО ПРОЕКТУ (РОБОТИ)**

Захист курсового проекту (роботи) – це форма перевірки якості його виконання. Захист відбувається перед комісією у складі двох-трьох викладачів за участю керівника та студентів групи.

Під час захисту студент робить доповідь (6–8 хв) по суті проекту та відповідає на запитання. Для демонстрації графічного матеріалу застосовуються мультимедійні засоби ПЕОМ та використовуються різні презентаційні програми, наприклад Microsoft Power Point. При цьому студент може використовувати додаткові ілюстративні матеріали, технічні розробки, які відображають суть проекту (роботи).

Якість проекту та його захист оцінюється за системою «відмінно», «добре», «задовільно», «незадовільно». Студент, який не подав до захисту курсовий проект у встановлений графіком термін або не захистив його з позитивною оцінкою, вважається таким, що має академічну заборгованість, яку він повинен ліквідувати в установленому порядку.

Захищений курсовий проект (робота) зберігається на кафедрі протягом трьох років.

### **1.4. СТРУКТУРА КУРСОВОГО ПРОЕКТУ (РОБОТИ)**

Курсовий проект (робота) являє собою сукупність документів: пояснювальної записки, креслень, схем, ілюстративного матеріалу, які виконуються з обов'язковим додержанням вимог чинних стандартів.



Структура курсового проекту (роботи) має такий вигляд:

- титульний аркуш;
- реферат;
- опис альбому;
- технічне завдання на виконання курсового проекту (роботи);
- пояснювальна записка;
- графічна частина.

Для пояснювальної записки рекомендується така структура:

- зміст;
- вступ;
- основна частина (3 розділи);
- висновки та рекомендації;
- перелік умовних позначень (за потреби);
- список використаної літератури;
- додатки.

Склад графічної частини визначає технічне завдання.

Допускається виконання принципіальних схем операційного і керуючого блоків АЛП як єдиного документа на двох листах формату А4 або на одному листі формату А3.

Документи курсового проекту (роботи) комплектують в альбом зі складанням до нього опису. Опису присвоюють позначення виробу, для якого розроблений основний документ, і код ОП. Опис складають по формі 4 і 4а ДСТУ 2.106. Першим в нього записують документ, для якого як додаток застосовані інші конструкторські документи. Далі документи записують в порядку їх комплектації в альбом. Приклад оформлення опису альбому наведений в додатку В.

### **1.5. ВИМОГИ ДО ЗМІСТУ СТРУКТУРНИХ ЕЛЕМЕНТІВ ПОЯСНЮВАЛЬНОЇ ЗАПИСКИ**

Зразки оформлення титульного аркуша в пояснювальній записці і завдання на виконання курсового проекту (роботи) наведено відповідно в додатках А і Г.

Реферат пояснювальної записки призначено для ознайомлення зі змістом курсового проекту (роботи). Він має бути стислим, але інформативним, і містити відомості, які дозволяють мати певне уявлення про проект (роботу), який розглядається.

Реферат повинен містити:

- відомості про обсяг пояснювальної записки, кількість ілюстрацій, таблиць, додатків, літературних джерел;
- основний текст реферату;
- перелік ключових слів (словосполучень).

Реферат може містити також інформацію про умови розповсюдження курсового проекту (роботи).

Текст реферату має відображати подану в пояснювальній записці інформацію в такій послідовності:

- об'єкт дослідження або розроблення;
- мета роботи, методи дослідження, технічні та програмні засоби;
- основні конструктивні, технологічні та інші характеристики і показники;
- результати та їх новизна, значущість роботи та висновки;
- рекомендації щодо використання результатів роботи, галузь застосування та ступінь впровадження;
- прогнозні припущення про розвиток об'єкта дослідження або розроблення.

Реферат виконують на одній сторінці пояснювальної записки.

Перелік ключових слів (словосполучень), що є визначальними для розкриття суті курсового проекту (роботи), наводять після основного тексту реферату. Цей перелік повинен містити від 5 до 15 слів (словосполучень), надрукованих великими літерами в називному відмінку через кому. Зразок оформлення реферату наведено в додатку Б.

Зміст пояснювальної записки розміщують безпосередньо після реферату, починаючи з нової сторінки.

До змісту включають заголовки структурних елементів пояснювальної записки: ВСТУП, РЕФЕРАТ, послідовно назви (заголо-

вки) всіх розділів, підрозділів; ВИСНОВКИ ТА РЕКОМЕНДАЦІЇ; ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ; СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ; назви додатків. Справа наводять номери сторінок, з яких починається зазначений матеріал.

Вступ – досить відповідальна складова пояснювальної записки. Він орієнтує на подальше розкриття теми проекту (роботи) і містить усі необхідні її кваліфікаційні характеристики. Вступ має обсяг 2–3 сторінки і починається з нового листа.

У вступі відображаються:

- актуальність, наукове та практичне значення обраної теми проекту (роботи);

- мета та завдання курсового проектування;
- об'єкт та предмет розгляду;
- посилання на відповідні нормативні документи;
- положення, які виносяться на захист.

Основна частина пояснювальної записки складається з трьох розділів.

Перший розділ вміщує аналіз структур сучасних АЛП та їх системну класифікацію.

Другий розділ має містити:

- словесний алгоритм виконання заданої операції;
- функціональну схему АЛП для реалізації описаного алгоритму;

- мікропрограму заданої операції мовою мікрооперацій;
- змістовний і закодований графі мікропрограми заданої операції;

- граф автомата Мілі або Мура (залежно від завдання);
- структурну таблицю переходів автомата Мілі або Мура з використанням типів тригерів згідно із завданням;

- системи логічних функцій для збудження входів тригерів (пам'яті автомата);

- системи логічних функцій для вихідних керуючих сигналів (сигналів мікрооперацій).

У третьому розділі:

- виконується аналіз сучасної елементної бази комп'ютерної схемотехніки і обґрунтовується вибір конкретної серії мікросхем;
- визначається необхідний склад мікросхем вибраної серії і подаються їх параметри;
- будуються принципові схеми операційного і керуючого блоків АЛП;
- проектується схема типового функціонального вузла заданої розрядності і технічних ознак;
- розраховуються характеристики АЛП; вартість (кількість мікросхем); споживана потужність; швидкодія на прикладі операцій додавання типу «регістр–регістр».

За результатами виконання курсового проекту (роботи) студент має зробити висновки та дати рекомендації.

Ця частина записки є завершальною, зумовленою логікою виконаного курсового проектування, і своєрідним синтезом накопиченої в основній частині пояснювальної записки наукової інформації.

Усі прийняті у пояснювальній записці малопоширені умовні позначення, символи, одиниці, скорочення та терміни пояснюють у відповідному переліку, який розпочинається з нової сторінки перед списком літератури.

У списку літератури наводять усі використані під час курсового проектування літературні джерела.

У додатках наводять, як правило, лістинги комп'ютерних програм, результати комп'ютерних розрахунків, інструкції, методики, акти впровадження результатів курсового проектування та інші матеріали. Додатки оформляють як продовження основної частини пояснювальної записки і розміщують у порядку згадування в основному тексті.

Пояснювальну записку оформляють в одному примірнику у зброшурованому вигляді із щільно скріпленими листами. Не допускається їх з'єднувати скріпкою або швидкозшивачем.

## **2. ПРАВИЛА ОФОРМЛЕННЯ ПОЯСНЮВАЛЬНОЇ ЗАПИСКИ**

Результатом виконання курсового проекту (роботи) є технічні описи, розрахунки, таблиці, графіки, креслення, схеми і пояснення до них тощо. Ці матеріали оформляють у вигляді пояснювальної записки і відповідного графічного матеріалу.

Кожне висунуте положення потрібно обґрунтувати розрахунками, фактичним матеріалом і посиланнями на науково-технічні джерела. Не допускається посилання на усні вказівки керівників, викладачів та інших осіб.

За прийняті в дипломному проекті рішення та правильність усіх даних відповідає студент – автор курсового проекту (роботи).

Матеріали курсового проекту (роботи) подаються українською мовою. У виняткових випадках, коли дипломник не має атестації з української мови, йому, за дозволом директора Інституту інформатики, надається право написання курсового проекту (роботи) іншою мовою.

Існує декілька систем державних стандартів, які визначають правила оформлення технічної документації. Основна з них – Єдина система конструкторської документації, яка містить комплекс державних стандартів, що встановлюють правила й положення з розробки, оформлення, обігу конструкторських документів.

Конструкторську документацію складають текстові та графічні документи, які визначають конструкцію технічного виробу і містять дані, потрібні для його розробки, виготовлення, контролю, приймання, експлуатації та ремонту.

### **2.1. ФОРМАТИ**

Графічні конструкторські документи виконують на листах визначеного розміру, які мають назву форматів. Формати листів визначаються розмірами зовнішньої рамки листа. У відповідності до вимог ГОСТ 2.301–68 «Формати» виділяють основні і додаткові формати листів. Переважно використовують позначення і розміри основних форматів, які наведено в табл. 2.1.

Таблиця 2.1. Основні формати

Позначення форматів	A0	A1	A2	A3	A4
Розміри сторін, мм	1189H841	594H841	594H420	297H420	297H210

За потреби використовують формат A5 із розмірами сторін 148H210 мм. Допускається застосування додаткових форматів, які створюють збільшенням коротких сторін основних форматів на значення, кратне її розмірам, наприклад:

A0H2,                      A1H3,                      A2H4,                      A4H4,  
 1189H1648;              841H1783;              594H1685;              297H841.

Вибираючи формати, враховують:

- об'єм і складність проектованого виробу;
- необхідний ступінь деталізації даних, обумовлених призначенням схеми;
- умови зберігання і обігу схем;
- особливості і можливості техніки виконання, репродукціювання і (або) мікрофільмування схем;
- можливості обробки схем засобами обчислювальної техніки.

Вибраний формат повинен забезпечувати компактне виконання схеми без порушення її наочності та зручності користування нею. Якщо виконують схему на декількох листах, її формат має бути однаковим. При цьому треба по можливості прагнути до зменшення формату за рахунок збільшення загальної кількості листів.

Кожний лист, на якому виконано схему, повинен мати порядковий номер.

Перший лист схеми виконують за формою 1, а наступний за формою 2а згідно з ГОСТ 2.104–68 «Основні надписи».

Основні і пояснювальні надписи на схемі виконують від руки шрифтом згідно з ГОСТ 2.304–81 «Шрифти креслярські» або машинним способом.

Якщо виконують схему на декількох листах, лінії, які переходять з одного листа на другий, переривають за межами зображення схеми. Поряд з перерваною лінією вказують позначення або найменування цієї лінії. Наприклад, номер проводу, найменування сигналу чи його скорочене позначення, і в круглих дужках – номер листа, на який переходить лінія:

A32(2)

- лінія з умовним позначенням А32 переходить на лист 2;

A32(1)

- лінія з умовним позначенням А32 переходить на даний лист з листа 1.

Допускається до номера листа додавати після знака дробової риски позначення зони, в яку продовжено лінію, наприклад:

A32(2/В4)

- лінія з умовним позначенням А32 переходить на лист 2 в зону В4.

## 2.2. ОСНОВНІ НАПИСИ І ПОРЯДОК ЇХ ЗАПОВНЕННЯ

Уся конструкторська документація супроводжується основним написом і додатковими графами до нього. Основні написи розміщуються у правому нижньому куті документа, а на листах формату А4 тільки по короткій стороні листа, тобто формат А4 має завжди вертикальне положення.

Розміщення основних написів і додаткових граф до них на листах різних форматів показано на рис. 2.1. Графи, показані штриховими лініями, вводяться за потреби.

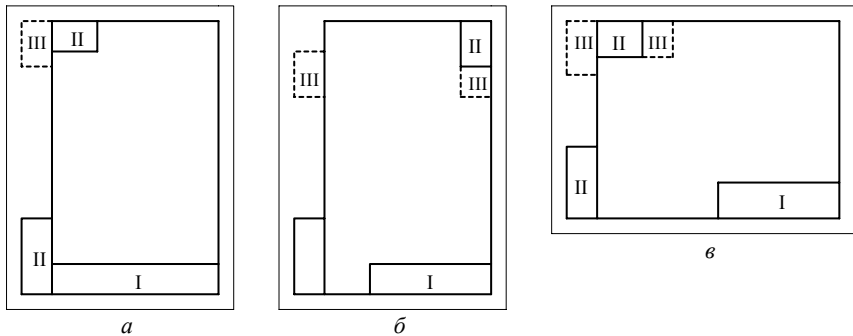


Рис. 2.1. Розміщення основних написів: *а* – формат А4; *б, в* – формат більше А4 з основним написом відповідно по короткій і довгій стороні; I – основний напис; II, III – додаткові графи

Вимоги до форми, розмірів і порядку заповнення конструкторської документації установлює ГОСТ 2.104–68. Передбачено три типи основних написів шириною 185 мм:

- 1) для перших листів креслень і схем висотою 55 мм (рис. 2.2);
- 2) для перших (або заповнених) листів текстових документів висотою 40 мм (рис. 2.3);
- 3) для наступних листів будь-яких конструкторських документів висотою 15 мм (рис. 2.4).

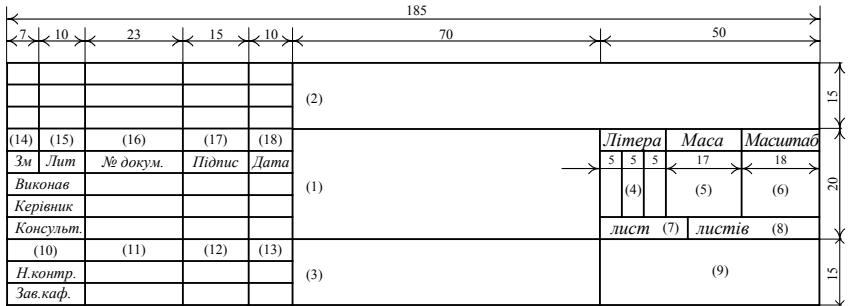


Рис. 2.2. Основний напис для креслень і схем

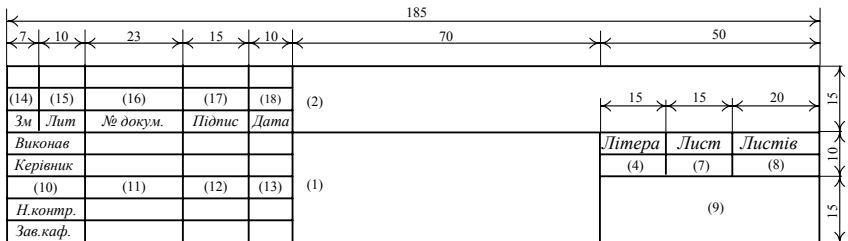


Рис. 2.3. Основний напис для текстових документів

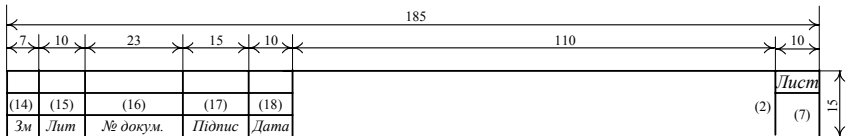


Рис. 2.4. Основний напис для наступних листів креслень, схем і текстових документів

В основному написі для текстових документів немає граф «Маса», «Масштаб», «Позначення матеріалу». Основні написи і рамки виконують суцільними основними та тонкими лініями.



У графах основного напису (номери граф на рис 2.2–2.4 показано в дужках) указують таку інформацію.

У графі 1 дають найменування виробу (тема курсового проекту), а також найменування документа, яке записують у називному відмінку однини.

Найменування документа, яке складається з декількох слів, розміщують в окремому рядку після найменування виробу і записують шрифтом меншого розміру малими літерами (перша літера велика). Наприклад:

**ПРОЦЕСОР ЦЕНТРАЛЬНИЙ**

Схема електрична структурна

У графі 2 записують позначення документа у відповідності до вимог ГОСТ 2.201–80: код організації-розробника (допускається скорочення – НАУ), дві останні цифри року захисту, порядковий номер теми, дві останні цифри залікової книжки, номер документа (від 000 до 999) та два символи шифра документа. Наприклад, НАУ 04 12 20 001 Е1 – позначення схеми електричної структурної.

У графі 3 вказують матеріал деталі (графу заповнюють тільки для креслень деталей).

У графу 4 записують літеру, присвоєну документу у відповідності до ГОСТ 2.103–68 залежно від стадії розробки конструкторської документації. Графу заповнюють послідовно, починаючи з крайньої лівої клітинки. У навчальних документах проставляють: Д – дипломний проект, К – курсовий проект, КР – курсова робота, РГ – розрахункова робота.

У графі 5 вказують масу виробу в кілограмах без одиниці фізичної величини. Допускається подавати масу в інших одиницях з їх позначеннями, наприклад 0,5 т, 10 г.

Зміст граф 6-18 зрозуміло з рис. 2.2–2.4.

### **2.3. ЗАГАЛЬНІ ВИМОГИ**

Пояснювальну записку до курсового проекту (роботи) оформлюють у відповідності до вимог таких стандартів:

- ГОСТ 2.105–95 «Загальні вимоги до текстових документів»;
- ДСТУ 3008–95 «Документація. Звіти у сфері науки і техніки. Структура і правила оформлення»;
- ГОСТ 19.105–78 «Загальні вимоги до програмних документів»;
- ГОСТ 19.404–79 «Пояснювальна записка. Вимоги до змісту і оформлення».

Текстовий та графічний матеріали записки друкують комп'ютерним способом на одному боці односортих білих аркушів (листів) формату А4 (розмір 210х297 мм) через один міжрядковий інтервал, текст вирівнюють по ширині аркуша.

Текстовий редактор – Word з пакета Microsoft Office, Open Office Writer, Star Office Writer та ін. Шрифт – Times New Roman Cyr, 14.

Обсяг пояснювальної записки для курсового проекту становить 25–30 сторінок, для курсової роботи – 15–20 сторінок (з урахуванням таблиць, графіків, діаграм, схем, додатків).

Виконуючи пояснювальну записку, потрібно витримувати рівномірну щільність, контрастність і чіткість зображення по всьому тексту. Всі лінії, букви, цифри та знаки мають бути однакового чорного кольору по всій записці.

Окремі слова, формули і знаки, які вписують у надрукований текст, мають бути чорного кольору, а тон вписаного тексту максимально наближуватися до тону основного кольору.

Помилки, описки і граматичні неточності, виявлені у процесі виконання, допускається виправляти підчисткою або забілювати коректором з подальшим нанесенням на цьому місці виправленого тексту (графіки). Пошкодження листів записки, помарки і сліди неповністю вилученого старого тексту (графіки) на допускаються.

Відстань від рамки до межі тексту на початку і в кінці рядка має бути не менше 3–5 мм. Відстань від верхнього або нижнього рядка тексту до верхньої або нижньої рамки форми – не менше 10 мм.

Абзаци в тексті починаються з відступом 15–17 мм (п'ять знаків).

Скорочення слів і словосполучень у записці наводять згідно з діючими стандартами бібліотечної і видавничої справи.

## **2.4. ПОБУДОВА ПОЯСНЮВАЛЬНОЇ ЗАПИСКИ**

Загалом пояснювальна записка містить такі структурні елементи: «ЗМІСТ», «ВСТУП», розділи основної частини, «ВИСНОВКИ ТА РЕКОМЕНДАЦІЇ», «ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ», «СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ», додатки.

Розділи, за потреби, поділяють на підрозділи, пункти на підпункти. Розділи і підрозділи повинні мати заголовки. Пункти і підпункти можуть мати заголовки.

Заголовки розділів основної частини записки розміщують симетрично в середині рядка і друкують великими буквами (подібно до інших структурних елементів).

Заголовки підрозділів, пунктів і підпунктів починають з абзацу і друкують малими буквами, крім першої великої. Абзац має бути однаковим по всьому тексту записки. Усі заголовки в тексті записки не підкреслюють і в їх кінці крапку не ставлять. Кожний розділ пояснювальної записки, як і інших структурних елементів, починають з нового листа (сторінки).

Якщо заголовок складається з двох і більше речень, то їх розділяють крапкою. Перенесення слів у заголовках розділів не допускається. Відстань між заголовком і наступним текстом – 15 мм.

Не допускається розміщувати найменування підрозділу, пункту, а також підпункту, якщо нижче є тільки один рядок тексту.

## **2.5. НУМЕРАЦІЯ СКЛАДОВИХ ЧАСТИН**

Розділи, підрозділи, пункти і підпункти записки нумерують арабськими цифрами. Порядкові номери записують з абзацу і в кінці їх ставлять крапку.

Розділи записки послідовно нумерують у межах документа, наприклад, 1., 2., 3. і т. д. Підрозділи нумеруються у межах кожного розділу, наприклад, 2.1. (перший підрозділ другого розділу).

Розділи, як і підрозділи, можуть складатися із декількох пунктів. Якщо розділ не має підрозділів, то пункти нумерують в межах розділу; при цьому пункти не мають найменування і записуються з абзацу, наприклад, 4.1. (четвертий пункт першого розділу). Якщо записка має підрозділи, то номер пункту в них складається з номера розділу, підрозділу і порядкового номера пункту, наприклад, 1.2.1., 1.2.2. і т. д.

Пункти, за потреби, розбивають на підпункти з порядковою нумерацією в межах кожного пункту, наприклад, 1.3.4.1., 1.3.4.2. і т. д.

Заголовки інших структурних елементів пояснювальної записки («ЗМІСТ», «ВСТУП» і т. ін.) не нумерують.

Сторінки записки наскрізно нумерують арабськими цифрами. Титульний лист не нумерують. Ілюстрації, схеми, таблиці, які розміщені на окремих сторінках, включають у загальну нумерацію записки.

У середині пункту або підпункту можна подавати перелік вимог, вказівок та положень. Перед кожною позицією переліку потрібно ставити дефіс або за потреби посилання в тексті записки на одну із позицій переліку – малу букву, після якої ставиться дужка. Для подальшої деталізації використовують арабські цифри з дужкою, а запис виконують з абзацу, наприклад:

а), б), 1), 2), в) і т. ін.

Кожний рядок переліку починається з абзацу.

Перший лист структурного елемента «ЗМІСТ» повинен мати основний напис (розмір 40Н185 мм). Таблична форма, в яку вноситься основний напис, на практиці називається «штампом». Усі подальші аркуші супроводжуються основним написом для наступних листів (розміри штампа 15Н185 мм). За потреби перші листи назв підрозділів основної частини пояснювальної записки також можуть мати основний напис розміром 40Н185 мм.

## **2.6. ВИКЛАДЕННЯ ТЕКСТУ ЗАПИСКИ**

Порядок слів у назві має бути таким: на першому місці визначення (прикметник), а потім назва виробів (іменник).

Назви, які наводяться в тексті записки і на ілюстраціях, повинні бути однаковими.

Текст записки має бути чітким і не допускати різних тлумачень. Викладаючи обов'язкові вимоги у записці, потрібно використовувати слова «повинен», «потрібно», «вимагається щоб», «дозволяється тільки», «не допускається». Використовуючи інші положення потрібно вживати слова «можна», «як правило», «за потреби» і т. ін.

У тексті записки не рекомендується вживати звороти із займенника першої особи, наприклад, «я вважаю...», «ми вважаємо...» тощо.

Текст пояснювальної записки рекомендується викладати у безособовій формі, наприклад, «На основі проведеного аналізу можна зробити висновок...», або від третьої особи однини чи множини.

ни, наприклад, «цей результат показує...», «виконані дослідження підтверджують...».

Пояснювальна записка має бути написана логічно послідовно, грамотною технічною мовою. Варто звернути увагу на вибір потрібних формулювань, які б якомога простіше, чітко, стисло і доступно виражали б зміст питання, що викладається.

У записці належить застосовувати науково-технічні терміни, позначення і визначення, установлені чинними стандартами, а за їх відсутності – загальноприйняті у науково-технічній літературі.

Усі скорочені найменування потрібно пояснювати в тексті з їх першою появою, наприклад, «Центральний процесорний елемент (ЦПЕ)...», далі можна користуватися скороченням «ЦПЕ».

Якщо у документі прийнято специфічну термінологію, то в кінці його перед списком літератури наводять перелік використаних термінів з відповідними поясненнями.

У тексті записки не допускається:

- застосовувати для одного і того самого поняття різні науково-технічні терміни, близькі за змістом (синоніми), а також іноземні слова і терміни за наявності таких в українській мові;
- скорочувати позначення одиниць фізичних величин, якщо їх використовують без цифр, за винятком фізичних величин в головках і боковиках таблиць і в розшифровках буквених позначень, які входять у формули;
- розміщувати у тексті математичний знак мінус (-) перед від'ємними значеннями величин. Замість знака (-) треба писати слово «мінус». Наприклад, мінус 5 В, а не «-5 В»;
- використовувати без числових значень математичні знаки, наприклад,  $\leq$  (менше або дорівнює),  $\geq$  (більше або дорівнює),  $\neq$  (не дорівнює), а також № (номер), % (відсоток);
- використовувати знак « $\emptyset$ » для позначення діаметра (треба писати слово «діаметр»);
- застосовувати індекси стандартів, технічних умов і інших документів (ГОСТ, ДСТУ, ТУ тощо) без реєстраційного номера.

Якщо у записці наводять пояснювальні написи, які наносяться безпосередньо на проєктований виріб (планки, панелі, таблички з елементами керування), то їх виділяють шрифтом (без лапок),

наприклад, ВКЛ., ВІДКЛ., або лапками, якщо напис складається з цифр та знаків.

У тексті записки перед позначенням параметра дають його пояснення, наприклад, «Тривалість фронту сигналу  $t_{HL}$ ».

Числові значення величин в тексті вказують з необхідним ступенем точності, при цьому в ряду величин вирівнювати число знаків після кожної коми не обов'язково.

## 2.7. ПОДАННЯ ФОРМУЛ І РІВНЯНЬ

У тексті пояснювальної записки зазвичай подаються формули і рівняння. Формула – це сукупність величин, виражених символами і з'єднаних за допомогою математичних знаків =, ≠, >, ≤ та ін. Рівняння – це аналітичний запис задачі про розшукування невідомих значень аргументів.

Усі фізичні величини наводять тільки в одиницях СІ відповідно до ГОСТ 8.417–84 «Основні метрологічні терміни».

Формули і рівняння розміщують безпосередньо після тексту, в якому вони згадуються вперше, посередині сторінки. Вище та нижче кожної формули або рівняння залишають по одному вільному рядку.

Формули і рівняння послідовно нумерують у межах розділу. Номер формули або рівняння складається з номера розділу і порядкового номера, розділених крапкою. Номер вказується в круглих дужках на рівні формули у крайній правій позиції по рядку, наприклад, (2.5) – п'ята формула другого розділу.

Пояснення символів і числових коефіцієнтів, які входять у формулу або рівняння, наводять безпосередньо під виразами в тій послідовності, в якій їх подано у формулі чи рівнянні. Перший рядок пояснення починають з абзацу словом «де» без двокрапки.

Наприклад:

$$I = U / R, \quad (2.5)$$

де  $I$  – сила струму, А;

$U$  – напруга, В;

$R$  – опір електричному струму, Ом.

Розрахунки за наведеними формулами розміщують безпосередньо за ними. У випадку розрахунків і друкування результатів за допомогою комп'ютера вказують тип машини та назви використаних алгоритмів і програм. Переносити формули або рівняння на

наступний рядок допускається тільки на знаках виконання операцій, при цьому знак операції на початку наступного рядка повторюється. У разі перенесення формули або рівняння на знаку операції множення застосовують знак «Н».

Якщо в записі є тільки одна формула або рівняння, то їх також нумерують за наведеними правилами.

Формули, які слідує одна за одною і не розділені текстом, відділяють комою. Наприклад:

$$f1(x, y) = S1 \quad \text{і} \quad S1 \leq S1 \text{max}, \quad (1.1)$$

$$f2(x, y) = S2 \quad \text{і} \quad S2 \leq S2 \text{max}. \quad (1.2)$$

Числовий результат розрахунків одержують тільки після підстановки у формули замість символів їх числових значень:

- правильно  $T = \frac{M}{W} = \frac{100}{0,2} = 500 \text{ МПа};$

- неправильно  $T = \frac{M}{W} = 500 \text{ МПа}.$

## **2.8. ПРАВИЛА НАПИСАННЯ ПОЗНАЧЕНЬ І НАЙМЕНУВАНЬ ФІЗИЧНИХ ВЕЛИЧИН**

Застосування і написання одиниць фізичних величин має відповідати вимогам ГОСТ 8.417–81.

2.8.1. Буквені позначення одиниць виконують шрифтом без нахилу. В позначеннях одиниць крапку як знак скорочення не ставлять, позначення одиниць треба застосовувати після числових значень і розміщувати у рядку з ними (без перенесення на наступний рядок).

2.8.2. Останню цифру і позначення одиниці необхідно записувати через пробіл:

- правильно 150 кВт; неправильно 150кВт.

Винятком є позначення у вигляді знака, піднятого над рядком, перед яким пробіл не залишають:

- правильно 20°; неправильно 20 °.

2.8.3. За наявності десяткового дробу в числовому значенні величини позначення одиниці виміру ставлять після нього:

- правильно 423,06 м; неправильно 423 м, 06.

2.8.4. Подаючи значення величин з граничними відхиленнями числа беруться в дужки, після яких пишуть позначення одиниці:

- правильно  $(100,0 \pm 0,1)$  мА; неправильно  $100,0 \pm 0,1$  мА.

2.8.5. Буквені позначення одиниць, які входять у добуток, відділяють точками на середині лінії як знаками множення, або пробілами, якщо не виникає непорозумінь:

- правильно Н·м; неправильно Нм.

2.8.6. У буквених позначеннях відношень одиниць для знака ділення використовують тільки одну риску: навкісну або горизонтальну.

Допускається використовувати позначення одиниць, зведених у степені (додатні або від'ємні)

- правильно  $\frac{W}{m^2 \cdot K^{-1}}$ ; неправильно  $\frac{W}{m^2 / K}$ .

- правильно  $W \cdot m^{-2} \cdot K$ ; неправильно  $W / m^2 / K$ .

2.8.7. Позначення одиниць в чисельнику і знаменнику за допомогою навкісної риски розміщують в одному рядку:

- правильно м/с; неправильно  $\frac{M}{c}$ .

2.8.8. Для складних одиниць, які складаються із двох і більше простих, не допускається комбінувати буквені позначення і назви одиниць (тобто для одних – позначення, для других – назви):

- правильно 50 г/м; неправильно 50 г/метр.

2.8.9. Одиниця фізичної величини одного і того самого параметра в межах пояснювальної записки має бути однаковою. Записуючи групу числових значень, виражених однаковою одиницею фізичної величини, її вказують після останньої цифри в ряду, наприклад, 5, 9; 8,5; 12,0 мм.

2.8.10. Числові значення величин із позначенням одиниці пишуть із цифрами, а без позначення фізичних величин – словами, наприклад: «струм не більше 2 мА», «опір збільшити в три рази».

## 2.9. ОФОРМЛЕННЯ ІЛЮСТРАЦІЙ

Усі ілюстрації в пояснювальній записці (креслення, схеми, фотографії, діаграми, графіки) називають рисунками.

Кількість ілюстрацій має бути достатньою для пояснення тексту, який викладається. Ілюстрації потрібно розміщувати як по тек-



сту записки (якомога ближче до відповідних частин тексту), так і в кінці його або наводити в додатках. Ілюстрації належить виконувати у відповідності до вимог стандартів ЄСКД і ЄСПД за допомогою різних графічних редакторів та систем автоматизованого проектування.

Усі ілюстрації послідовно нумерують у межах розділу арабськими цифрами. Номер ілюстрації складається з номера розділу і порядкового номера ілюстрації, розділених крапкою, наприклад, «Рис. 2.5». Посилання на ілюстрації подають так: «... на рис. 2.5 ...». Повторне посилання на ілюстрацію наводять із скороченням слова «дивись», наприклад, «... див. рис. 2.5 ...». Допускається нумерація ілюстрацій у межах усієї записки.

Номер ілюстрації в додатках визначають окремою нумерацією з додаванням перед арабською цифрою позначення додатка, наприклад, «Рис. А.1. ...».

Ілюстрації можуть мати назву, яку розміщують під ілюстрацією в одному рядку з її номером, наприклад, «Рис. 3.2. Схема електрична структурна». За потреби під назвою ілюстрації записують пояснювальні дані (рис. 2.5).

#### Графічні позначення елементів цифрової техніки

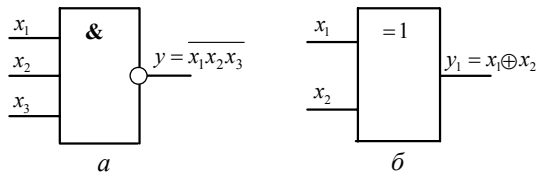


Рис. 2.5. Умовні графічні позначення логічних елементів: *a* – логічний елемент НЕ І; *б* – логічний елемент ВИКЛЮЧАЛЬНЕ ЧИ

Допускається, за потреби, записувати над ілюстрацією узагальнений смисловий заголовок, наприклад, для рис. 2.5: «Графічні позначення елементів цифрової техніки».

Розмір шрифту всіх без винятку надписів у рисунках має бути таким самим, як і в тексті пояснювальної записки.

Ілюстрації розміщують так, щоб їх можна було розглядати, не повертаючи або повертаючи за ходом стрілки годинника.

На електричних схемах, які наводяться у записці, біля кожного елемента вказується його позиційне позначення і, за потреби, номінальні значення величин.

## 2.10. ПОБУДОВА ТАБЛИЦЬ

Цифровий матеріал, як правило, оформляють у вигляді таблиць (рис. 2.6).

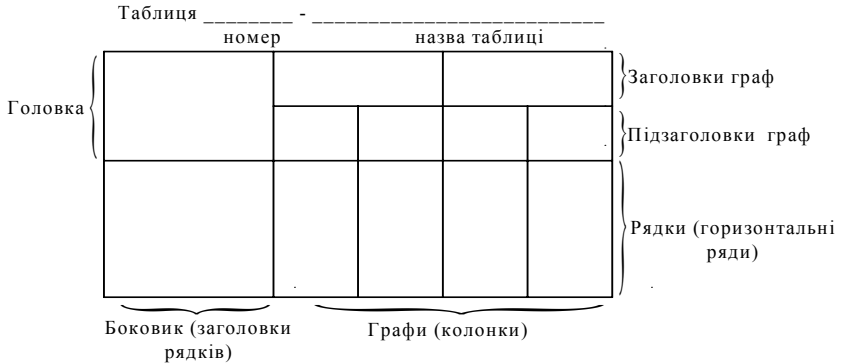


Рис. 2.6. Формат таблиць

Горизонтальні лінії, які розмежують рядки таблиці, можна не використовувати, якщо це не затрудняє користування таблицею.

Таблицю розміщують безпосередньо після тексту, в якому вона згадується вперше або на наступній сторінці. На всі таблиці мають бути посилання в тексті записки.

Таблиці послідовно нумерують арабськими цифрами в межах розділу, за винятком таблиць у додатках. Номер таблиці складається з номера розділу і порядкового номера таблиці, розділених крапкою, наприклад, таблиця 2.1 – перша таблиця другого розділу.

Якщо у записці тільки одна таблиця, то її також нумерують за наведеними правилами.

Таблиця може мати назву, яку друкують малими літерами, окрім першої великої, і розміщують над таблицею. Назва повинна бути короткою і відображати зміст таблиці.

Заголовки граф і рядків таблиці пишуть з великої букви, а підзаголовки – з малої букви, якщо вони складають одне речення із

заголовком, або з великої букви, якщо вони мають самостійне значення. Заголовки і підзаголовки вказують в однині, в кінці їх крапку не ставлять.

Розділяти заголовки і підзаголовки боковика і граф діагональними лініями не допускається. Заголовки граф записують паралельно рядкам таблиці, але за потреби допускається їх вертикальне розміщення. Головка відділяється лінією від решти таблиці. Висота рядків повинна бути не менше 8 мм. Допускається розміщувати таблицю уздовж довгої сторони листа.

Якщо рядки або графи таблиці виходять за формат сторінки, то її ділять на частини, які розміщують одну під одною або поряд; при цьому в кожній частині таблиці повторюють її головку і боковик (табл. 2.2).

Таблиця 2.2. Статичні параметри KP15IM9

Параметр	Норма
Вихідна напруга низького рівня $U_{OL}$ , В	0,5
Вихідна напруга високого рівня $U_{OH}$ , В	2,4
Вхідний струм низького рівня $I_{IL}$ , mA	20
Вхідний струм високого рівня $I_{IH}$ , mA	[-0,1]

Закінчення таблиці 2.2

Параметр	Норма
Вихідний струм $I_O$ , mA	[-30]
Струм споживання $I_{CC}$ , mA	20
Пряме падіння напруги на антизвільному діоді $U_{CDL}$ , В	[-1,5]

При діленні таблиці на частини допускається її головку або боковик замінювати відповідно до номерів граф чи рядків. При цьому нумерують арабськими цифрами графи і (або) рядки першої частини таблиці.

Слово «Таблиця \_\_\_\_\_» вказують один раз зліва над першою частиною таблиці, над іншими частинами пишуть: «Продовження таблиці \_\_\_\_\_» із вказівкою номера таблиці.

## 2.11. ОФОРМЛЕННЯ ПРИМІТОК І ПОСИЛАНЬ

Примітки у записці наводять за потреби пояснень або довідкових даних до змісту тексту, таблиць або графічного матеріалу. Примітки не повинні містити вимог; їх розміщують безпосередньо після матеріалу, якого вони стосуються.

Одну примітку не нумерують. Слово «Примітка» друкують з великої букви з абзацу, не підкреслюючи. Після слова «Примітка» ставлять крапку, з великої букви у цьому ж рядку дають текст примітки.

Примітка. \_\_\_\_\_

Декілька приміток нумерують послідовно арабськими цифрами з крапкою. Після слова «Примітки» ставлять двокрапку і з нового рядка з абзацу після номера примітки з великої букви наводять текст.

Примітки:

1. \_\_\_\_\_

2. \_\_\_\_\_

Посилання в тексті записки на джерела треба вказувати порядковим номером за переліком посилань, які виділені двома квадратними дужками, наприклад, «... в роботах [1–7] показано ...».

Посилаючись на розділи, підрозділи, пункти і підпункти, рисунки, формули та таблиці, додатки вказують їх номери. У разі посилань треба писати «... в розділі 4...», «... див. 3.4.1...», «... в додатку Б».

## 2.12. ОФОРМЛЕННЯ ДОДАТКІВ

Ілюстративний матеріал, таблиці або текст допоміжного характеру допускається подавати в додатках. Їх оформляють як продовження записки на наступних листах або у вигляді самостійного документа за загальними правилами.

Додатки можуть бути обов'язковими або інформаційними. Додатки виконують на листах формату А4; допускається використання інших форматів.

Кожний додаток має починатися з нової сторінки. Додаток повинен мати заголовок, надрукований зверху малими буквами з

першою великою симетрично відносно тексту сторінки. Посередині рядка над заголовком малими буквами з першою великою друкують слово «Додаток \_\_\_\_\_».

Додатки позначають послідовно великими буквами українського алфавіту за винятком Г, Є, З, И, І, Ї, О, Ъ, наприклад, додаток А, додаток Б і т. д.

Один додаток позначається як додаток А.

Додатки повинні мати спільну з рештою записки наскрізну нумерацію сторінок.

За потреби текст додатка можна поділяти на розділи, підрозділи, пункти і підпункти, які нумерують у межах кожного додатка за загальними правилами. Наприклад, Г.3.1 – підрозділ 3.1 додатка Г.

Якщо у тексті додатка є рисунки, таблиці, формули і рівняння, то їх нумерують в межах кожного додатка, наприклад, рис. Г.3 – третій рисунок додатка Г; табл. А.2 – друга таблиця додатка А; формула (Д.3) – третя формула додатка Д.

Якщо у додатку є по одній ілюстрації, таблиці, формулі або рівнянню, то їх нумерують, наприклад, Рис. А.1, Таблиця А.1, Формула (В.1).

### **2.13. ОФОРМЛЕННЯ СПИСКУ ЛІТЕРАТУРИ**

Список літератури містить перелік джерел, використаних у пояснювальній записці. Джерела розміщують у списку в порядку появи посилання на них в тексті записки і послідовно нумерують арабськими цифрами. Допускається розміщувати літературні джерела в алфавітному порядку.

Літературними джерелами можуть бути книги, багатотомні видання, періодичні видання (газети, журнали), спеціальні види нормативно-технічних документів (стандарти, патенти, каталоги) та ін. У процесі виконання курсового проекту (роботи) потрібно використати не менше 15–20 джерел. Назви літературних джерел наводять мовою, якою вони написані – українською, російською, англійською тощо.

Відомості про літературні джерела подають у відповідності до вимог ГОСТ 71–84 «Бібліографічний опис творів друку».

Обов'язковими елементами бібліографічного опису літературних джерел є:

- прізвища індивідуальних або колективних авторів у називному відмінку;
- назва видання;
- характеристика видання та відомості про повторне видання;
- місце видання, видавництво;
- рік видання, кількість сторінок.

Прізвище та ініціали одного, двох або трьох авторів записують, як правило, до назви книги, а чотирьох і більше – після назви. Допускається записувати книги трьох авторів під прізвищем та ініціалами одного автора, указанного першим, з доповненням «та ін.».

Назву книги наводять в описі у тій формі, в якій її подано на титульному листі.

Для повторних видань наводять його порядковий номер, наприклад, 2-ге вид., 3-тє вид., і т. д. У характеристиці видання пишуть: виправлене, доповнене, стереотипне, наприклад, 5-тє вид., виправ. і доп.

Назви місця видання наводять повністю у називному відмінку, за винятком назв міст: Москва – М., Київ – К., Санкт-Петербург – С.Пб.

Назву видавництва записують у скороченій формі, наприклад, К.: НАУ. Рік видання позначають арабськими цифрами. У кінці опису книги вказують фактичну кількість сторінок, наприклад, 125 с. Використання розділових знаків (крапок, ком, двокрапок, дефісів) показано на прикладах, наведених нижче.

Бібліографічний опис книг індивідуальних авторів:

1. Глушков В. М. Синтез цифровых автоматов. – М.: Физматгиз, 1996. – 467 с.

2. Бабич М. П., Жуков І. А. Комп'ютерна схемотехніка: Навчальний посібник. – К.: НАУ, 2002. – 508 с.

3. Самофалов К. Г., Корнейчук В. И., Тарасенко В. П. Цифровые вычислительные машины. – К.: Вища шк., 1983. – 455 с.

Опис багатотомних видань:

4. Хоровиц П., Хилл У. Искусство схемотехники: В 3-х томах: Т. 3. Пер. с англ. – 4-е изд., перераб. и доп. – М.: Мир, 1993. – 367 с.

Опис періодичних видань:

5. Уэнспи Д. Х. Высоконадежная система с тройным резервированием для управления технологическими процессами. – Электроника, 1983 – №2. – С. 32–3939.

Бібліографічний опис стандарту містить його індекс, цифрове позначення, назву, дату введення в дію, наприклад:

6. ГОСТ 2.105–95.ЕСКД. Общие требования к текстовым документам. – Введ. 01.07.96.

7. ДСТУ 3008–95. Документація. Звіти у сфері науки і техніки. Структура і правила оформлення. – Чинний від 01. 01. 96.

Описуючи патентний документ наводять:

• скорочену назву документа («А. с.» – авторське свідоцтво, «Пат.» – патент);

- назву держави, яка видала документ;
- назву винаходу;
- прізвище або назву заявника, а також прізвища авторів;
- номер заявки, дати замовлення і публікації;
- номер бюлетеня та кількість сторінок.

Наприклад:

7. А. с. 1449986 СССР. Устройство для формирования остатков по модулю/Н. В. Черкасский. – №4122318/24 – 24. Заявл. 19. 09. 86; опубл. 07. 06. 88. Бюл. № 19. –2 с.

Всі цитати, а також взяті з літератури дані повинні мати посилання на першоджерела. Посилання наводять у тексті в квадратних дужках, у яких ставлять порядковий номер джерела, наведеного у списку використаної літератури, номер тому (за наявності) та сторінку, наприклад: [3], [8, Т. 3, с. 42], [15, с. 55]; посилаючись на стандарт, указують його номер, наприклад, ГОСТ 16263–70.

### 3. ПРАВИЛА ВИКОНАННЯ ЕЛЕКТРИЧНИХ СХЕМ ЦИФРОВОЇ ТЕХНІКИ

Електрична схема – це конструкторський документ, в якому умовними графічними позначеннями (УГП) показано складові частини виробу і зв'язки між ними. Їх виконують у відповідності до державних стандартів (додаток Г).

Виконуючи схеми, використовують такі терміни:

- елемент схеми – складова неподільна частина виробу (резистор, діод, логічний елемент та ін.);
- пристрій – сукупність елементів єдиної конструкції;
- функціональна частина – елемент, їх група або пристрій з визначеною функцією у виробі;
- лінія електричного зв'язку – вказує на схемі шлях проходження сигналу або струму.

Розрізняють десять видів схем, які позначають буквами: електрична – Е, гідравлічна – Г, оптична – Л та ін.

Установлено вісім типів схем у кожному виді, позначених цифрами: структурна – 1, функціональна – 2, принципіальна (повна) – 3, з'єднань (монтажні) – 4, підключення – 5, загальна – 6, розміщення – 7, об'єднана – 0. Найменування і код схеми визначається її видом і типом. Наприклад: Е1 – схема електрична структурна.

Електричні зв'язки виводів елементів показують вхідними та вихідними лініями. Початок вхідних ліній зображують зліва. Вихідні лінії закінчуються на правій стороні. Лініям зв'язку присвоюються буквено-цифрові позначення. Допускається внутрішні лінії зв'язку переривати в середині листа. На перерваній лінії після найменування через дробову риску записують кількість розгалужень (рис. 3.1, а). На вихідних лініях, продовжених на інших листах схеми, після найменування в круглих дужках вказують номер другого листа (рис. 3.1, б).

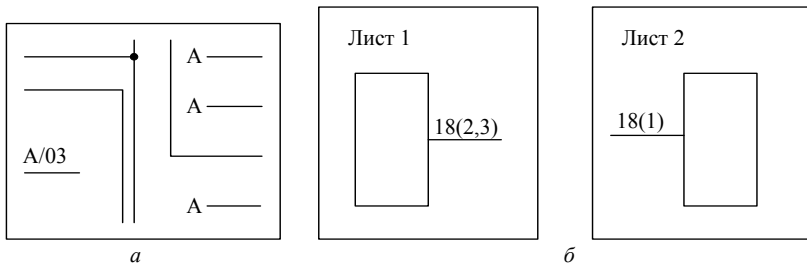


Рис. 3.1. Зображення ліній зв'язку: а – переривання в середині листа; б – перехід на інший лист



Дозволяється показувати стрілками потоки інформації на структурних та функціональних схемах.

На одній схемі рекомендується використовувати не більше трьох типорозмірів ліній по товщині: тонку  $v$ , потовщену  $2v$  і товсту  $3v...4v$ , де  $v = 0,3...0,4$  мм є оптимальним значенням.

Рекомендується використовувати умовне графічне злиття окремих ліній в одну групову за правилами:

- кожна лінія в точці злиття помічають порядковим номером;
- злиття показують під прямим кутом або з нахилом  $45^\circ$  (рис. 3.2, б). Товщину групових ліній можна зображати як тонкими, так і потовщеними лініями.

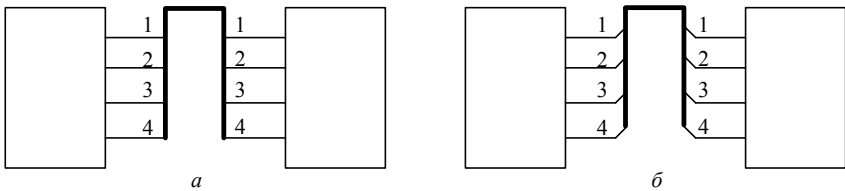


Рис.3.2. Злиття ліній зв'язку в групову: *а* – під прямим кутом; *б* – під нахилом  $45^\circ$

Для побудови схеми рекомендується:

- елементи з одним функціональним призначенням групувати і розміщувати відповідно до розвитку процесу зліва направо;
- досягати електричної і найбільш простої конфігурації УГП та ланцюгів з малою кількістю переломів та перетинань ліній зв'язку;
- додаткові ланцюги, наприклад живлення, виносити з основного рисунка схеми;
- контур УГП і ліній зв'язку виконувати лініями однієї товщини, зазвичай тонкими. Допускається контур УГП зображати потовщеними лініями.

Структурні схеми визначають основні функціональні частини виробу і взаємозв'язки між ними. Їх розроблюють на початковій стадії проектування і використовують для загального ознайомлення з виробом.

Функціональні частини структурної схеми загалом зображають прямокутниками довільного розміру. Допускається функціональні частини зображати у вигляді УГП, як показано на рис. 3.3. У середині УГП вказують найменування кожної функціональної частини.

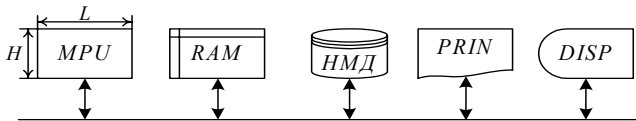


Рис. 3.3. Структурна схема комп'ютера: *MPU* – мікропроцесор; *RAM* – оперативна пам'ять; *HMД* – накопичувач на магнітних дисках; *PRIN* – принтер; *DISP* – дисплей

Розмір УГП на структурних схемах по висоті  $H$  вибирають із ряду 10;15 мм і далі через 5 мм, розмір ширини  $L = 1,5H$ .

Функціональна схема показує складові частини і процеси, які відбуваються в пристроях комп'ютера. Функціональні частини загалом зображають прямокутниками довільного розміру. Допускається функціональні частини показувати у вигляді УГП (рис. 3.4).

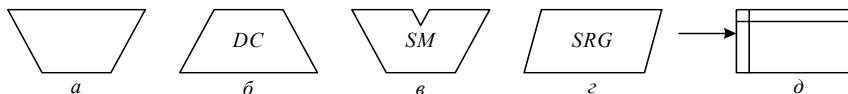


Рис. 3.4. Умовні графічні позначення на функціональних схемах:  $a$  – комбінаційна схема;  $b$  – дешифратор;  $v$  – суматор;  $z$  – регістр зсуву;  $d$  – елемент пам'яті

Розміри допустимих УГП на функціональних схемах: висота  $H = 10;15\dots$ мм, висота  $L = 1,5H$ .

В УГП допускається вказувати розрядність функціональної частини (рис. 3.5,  $a$ ), а також суміщувати їх, якщо виходи однієї частини повністю відповідають входам другої (рис. 3.5,  $b$ ). Умовні графічні позначення на функціональних схемах можна повертати на  $90^\circ$ .

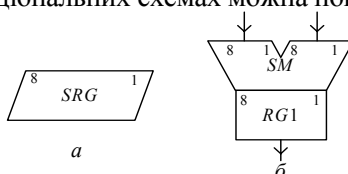


Рис. 3.5. Можливі зображення УГП на функціональних схемах:  $a$  – позначення розрядності;  $b$  – суміщення виходів суматора зі входами регістра

Лінії зв'язку поділяють на інформаційні та керуючі. Інформаційні лінії підводять до більшої сторони УГП, а відводять від протилежної. Керуючі лінії підводять до меншої сторони УГП.

Якщо входи і виходи належать до окремих полів УГП, то ці поля показують горизонтальними лініями з обмежувачами над і (чи) під УГП. На горизонтальних полях допускається вказувати розрядність виділених полів (рис. 3.6).

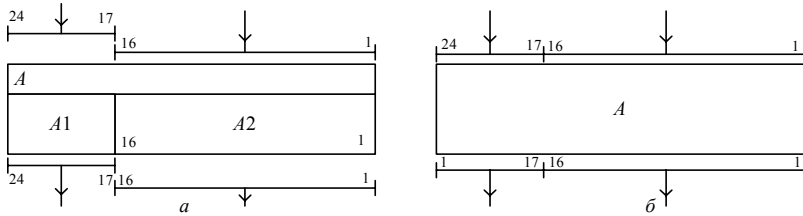


Рис. 3.6. Визначення розрядності полів: *a* – окремими горизонтальними лініями; *б* – суцільними горизонтальними лініями

Зображення УГП за наявності багатьох керуючих ліній показано на рис. 3.7.

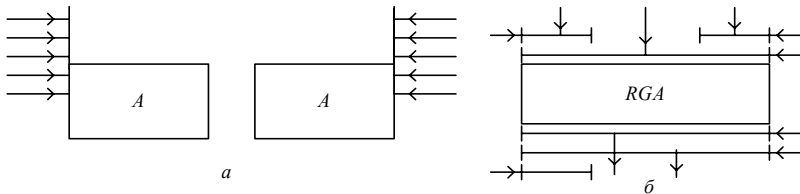


Рис. 3.7. Зображення керуючих ліній: *a* – з продовженням сторін УГП; *б* – з використанням покажчиків полів

Принципальна схема визначає повний склад функціональних частин виробу. На принципальних схемах форма УГП двійкових елементів встановлюється ГОСТ 2.743–91.

### 3.1. ПРАВИЛА ПОБУДОВИ УМОВНИХ ГРАФІЧНИХ ПОЗНАЧЕНЬ ЦИФРОВИХ ЕЛЕМЕНТІВ

Умовні графічні позначення цифрових елементів мають форму прямокутника з основним полем і, за потреби, одним чи двома додатковими (рис. 3.8). Додаткові поля можна розбивати на зони та відділяти від основного поля вертикальною лінією.

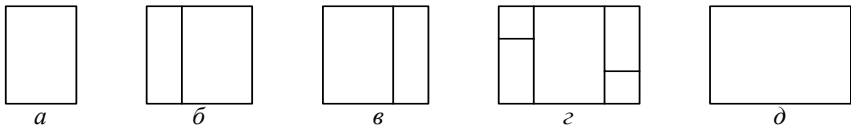


Рис.3.8. Форма УГП цифрового елемента: *a* – основне поле; *б* – основне поле з лівим додатковим; *в* – основне поле з правим додатковим; *г* – основне поле з лівим і правим додатковими полями з розділенням на зони; *д* – основне поле без розділення додаткових полів вертикальними лініями

У першому рядку основного поля записують позначення функції елемента, в другому – його тип або шифр, в наступних рядках – адресну інформацію (рис. 3.9).

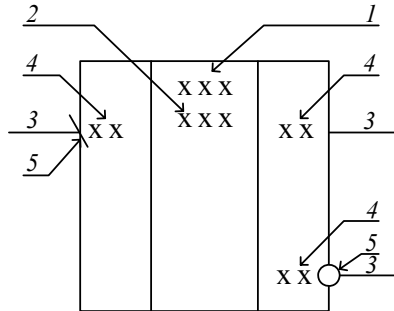


Рис. 3.9. Позначення в полях УГП: 1 – функція елемента; 2 – тип елемента; 3 – лінії виводів; 4 – мітки; 5 – покажчики

У додаткових полях записують мітки – інформацію про призначення виводів та покажчики (індикатори) способу прийняття і видачі інформації.

Входи елемента зображують з лівої сторони УГП, виходи – з правої. Двонаправлені і нелогічні виводи можна зображати з обох сторін. Проставляти на лініях виводів стрілки напрямку інформації забороняється. Допускається орієнтація УГП із входами зверху, а виходами знизу (рис. 3.10, а) та їх зображення сумісним або рознесеним способом (рис. 3.10, б). Лінію зв'язку дозволяється проводити між лініями контурів сумісних УГП (рис. 3.10, в).

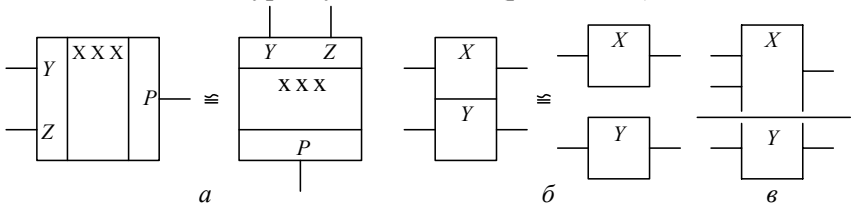


Рис. 3.10. Варіанти УГП: а – еквівалент із входами зверху, виходами знизу; б – сумісне і роздільне зображення; в – проведення ліній зв'язку між контурами

Розмір УГП по висоті визначається кількістю виводів, кількістю рядків інформації в основному та додаткових полях, розміром

шрифта і має бути кратним величині  $C/2$ , де  $C$  – не менше 5 мм. Відстань між лініями виводів – не менше і кратна величині  $C$ .

Розмір УГП по ширині визначається наявністю додаткових полів, кількістю знаків у рядках основного та додаткових полів, розміром шрифта. Ширина додаткового поля – не менше 5 мм.

Функції та мітки позначають великими буквами латинського алфавіту, цифрами і спеціальними знаками, записаними без проміжків. Позначення ряду функцій елементів наведені в додатку К.

Перед позначенням функцій елемента зі всіма нелогічними виводами записують знак «×». Допускається комбіноване позначення складної функції, наприклад, чотирирозрядний лічильник з дешифратором на виході  $CT4DC$ .

Логічні виводи ділять на статичні і динамічні, а також на прямі та інверсні.

На прямому статичному виводі змінна сприймається як логічна одиниця (лог.1) за одиничного значення сигналу, а на інверсному статичному виводі – за нульового (рис. 3.11, *а, б*). На прямому динамічному виводі змінна набуває значення лог.1 по фронту сигналу, а на інверсному – по спаду (рис. 3.11, *в, г*). Нелогічний вивід елемента позначають знаком «×» (рис. 3.11, *д*).

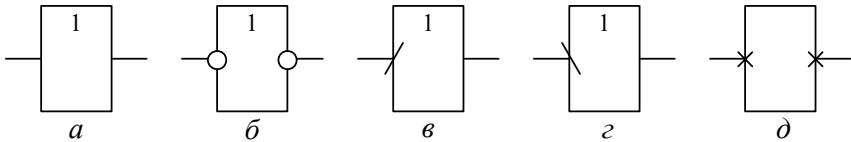


Рис. 3.11. Показчики: *а, б* – прямі та інверсні статичні виводи; *в, г* – прямі та інверсні динамічні виводи; *д* – нелогічні виводи

Позначення основних міток виводів елементів наведено в додатку Л.

Складну мітку виводів можна записувати комбіновано, наприклад, адреса зчитування  $RDA$ . Якщо вивід по черзі може виконувати дві функції, то їх вказують через навкісну риску:

- $I/\overline{O}$  – введення-виведення;
- $WR/\overline{RD}$  – записування-зчитування;
- $C/\overline{D}$  – керування-дані.

Перша функція реалізується при лог.1, друга – при логічному нулю (лог.0).

Виводи напруги живлення записують на нелогічних виводах зліва чи справа УГП.

Нумерацію виводів елементів наводять над їх лінією зліва для входів і справа для виходів.

Умовне графічне позначення елемента виконують без додаткових полів, якщо виводи логічно рівноцінні, наприклад,  $F=X_1X_2X_3=X_1X_3X_2$ . При цьому відстані між виводами мають бути однаковими, а мітку вказують над верхньою лінією (рис. 3.12, а). В той же час функція  $F=X_1X_2 \vee X_3X_4 \neq X_1X_3 \vee X_2X_4$  і в даному елементі входи логічно нерівнозначні (рис. 3.12, б).

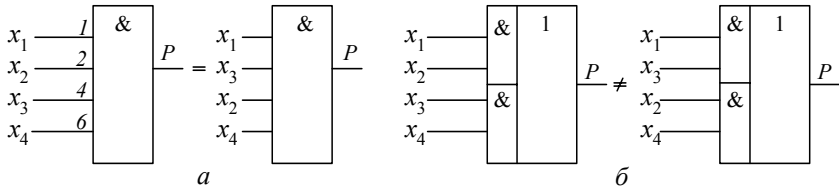


Рис. 3.12. Групи входів: а – логічно рівнозначні; б – логічно нерівнозначні

Якщо позначення декількох виводів має спільну букву, то її записують над групою виводів (рис. 3.13, а). Номери розрядів в групах виводів позначають числами натурального ряду, починаючи з нуля.

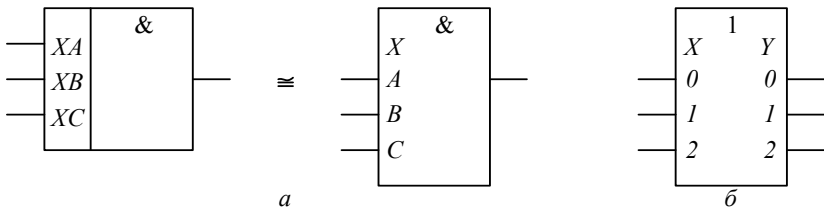


Рис. 3.13. Позначення груп виводів: а – з груповою міткою, б – нумерація виводів

Номери в групі двійкових розрядів можна записувати ваговими коефіцієнтами як  $D1, D2, D4, D8 \dots$  або  $1, 2, 4, 8 \dots$ . За наявності груп виводів до номера розряду зліва дописують номер групи.

Умовні графічні позначення групи однотипних елементів, зображених суміщено, які мають однакову інформацію, можуть мати спільний графічний блок керування (рис. 3.14).

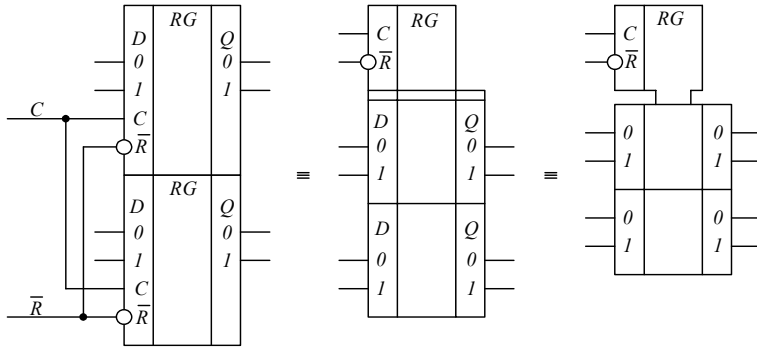


Рис. 3.14. Зображення групи елементів із спільним блоком керування

У групі суміщених елементів з однаковою інформацією в основному полі останню розміщують тільки у верхньому УГП (рис. 3.15).

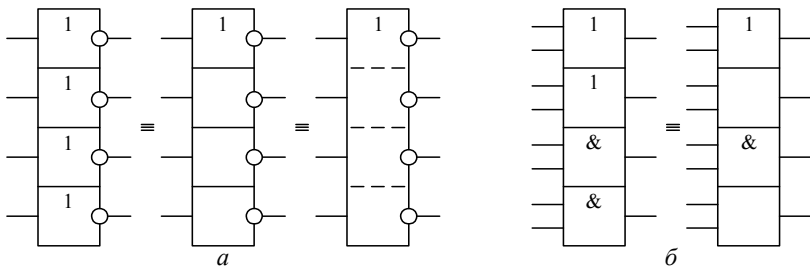


Рис. 3.15. Скорочений запис функції для групи суміщених елементів: *a* – одна функція; *б* – дві функції

У схемах з однотипними суміщеними елементами допускається пакетне зображення. При цьому в основному полі пакета в кутових дужках записують кількість елементів, а зліва і справа – номери контактів виводів (рис. 3.16).

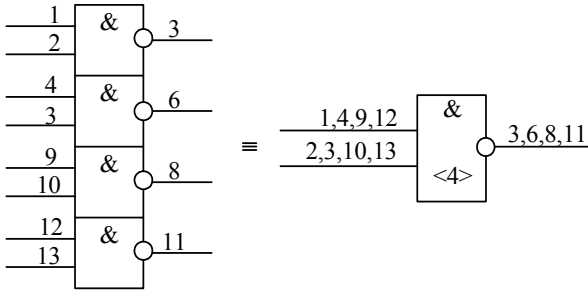


Рис. 3.16. Пакетне зображення групи однотипних суміщених елементів

На рис. 3.17 показано можливе спрощення УГП мікросхеми пам'яті.



Рис. 3.17. Позначення мікросхем постійної пам'яті: *a* – повне; *б* – спрощене

У разі значного графічного насичення листів схем УГП і лініями зв'язку допускається ділити поле листа на стовпчики, ряди, зони. Стовпчики позначають по верхньому краю (по горизонталі) зліва направо послідовними порядковими номерами, наприклад, 00, 01, ..., 10 і т. д. (рис. 3.18). Ширина стовпчиків має дорівнювати ширині мінімального основного поля УГП елемента (зазвичай – 15 мм).



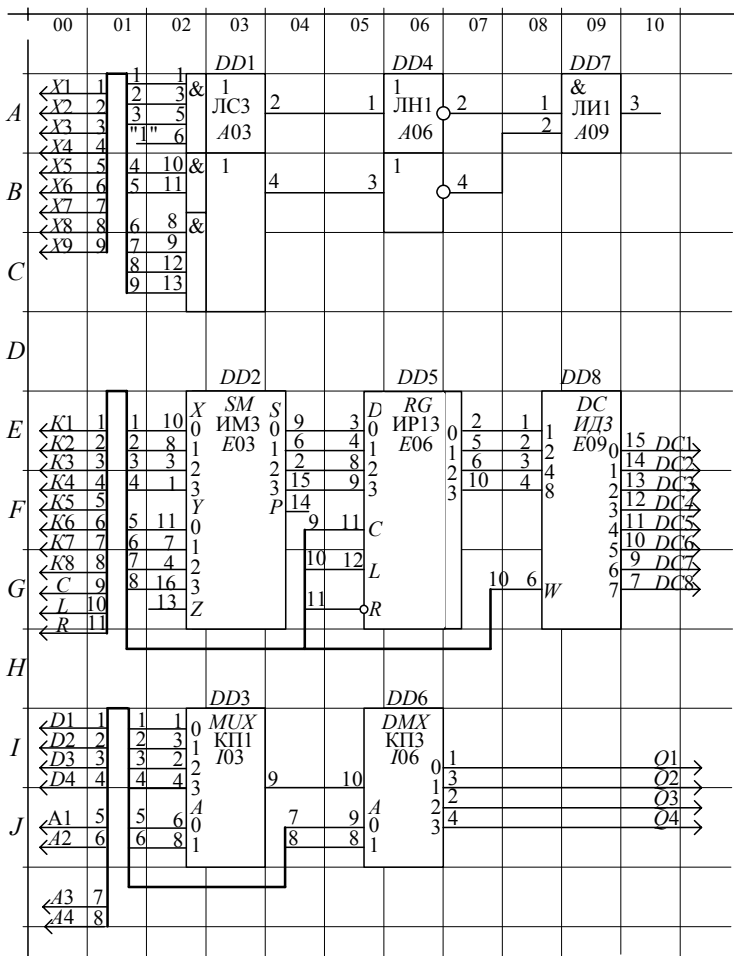


Рис. 3.18. Приклад побудови принципіальної схеми в зонному форматі

Ряди позначають по вертикалі по лівому краю листа зверху вниз прописними буквами латинського алфавіту. Висота ряду має дорівнювати мінімальній висоті УГП елемента (зазвичай – 20 мм). Позначення зони складається із позначень ряду (букви *A, B, C* і т. д.) і стовпчика (цифри), наприклад, *B01, K12* і т. д.

Лист дозволяється ділити без зображення на полі листа сітки з ліній розмітки стовпчиків і рядків.

## 4. ОСНОВНІ ТЕОРЕТИЧНІ ПОЛОЖЕННЯ З ТЕМАТИКИ КУРСОВОГО ПРОЕКТУВАННЯ

### 4.1. ОСНОВНІ ХАРАКТЕРИСТИКИ І ПАРАМЕТРИ ЛОГІЧНИХ ЕЛЕМЕНТІВ

Елементну базу сучасних комп'ютерів складають інтегральні мікросхеми – мікроелектронні вироби з високою щільністю пакування елементів і з'єднань між ними. З погляду специфікації, випробувань, постачання й експлуатації мікросхеми розглядаються як єдине ціле.

Набір цифрових мікросхем із загальними конструктивно-технічними і схемотехнічними ознаками утворює серію інтегральних мікросхем (ІМС). До серії ІМС ставляться такі вимоги:

- наявність функціонально-повної системи логічних елементів, широкий набір типових вузлів і зручність їх застосування (монтаж, компонування, охолодження і взаємозамінність);
- наявність допоміжних мікросхем для узгодження навантажувальних характеристик елементів і формування електричних сигналів;
- досягнення високого рівня технології виробництва мікросхем.

Логічні, схемотехнічні й експлуатаційні властивості логічних елементів визначаються сукупністю характеристик і параметрів, до яких відносять:

- функції логічних елементів – ЧИ, І, НЕ, НЕ–ЧИ, ВИКЛЮЧАЛЬНЕ ЧИ, НЕ–І–ЧИ та ін.;
- логічні угоди – спосіб кодування двійкових змінних потенціальними сигналами – позитивний чи негативний;
- коефіцієнт об'єднання за входом  $N_I$ , який характеризує кількість логічних входів елемента;
- коефіцієнт об'єднання за виходом  $K_O$  – характеризує допустиму кількість з'єднаних між собою виходів логічних елементів;
- коефіцієнт розгалужування  $N_O$ ;
- потужність споживання і робота перемикання;
- надійність елементів і допустимі значення механічних впливів, діапазони тиску і температури навколишнього середовища, стійкість до радіаційних впливів;
- маса, вартість і конструктивне оформлення.

У більшості випадків зазначені характеристики і параметри стосуються і ІМС, які реалізовані на цих елементах.

Прийнято такі визначення і буквені позначення електричних параметрів цифрових мікросхем (ДСТУ 2883–94):

- вхідні  $U_I$  і вихідні  $U_O$  рівні напруг (індекси – від англійських слів *Input* і *Output*);

- вхідні напруги низького  $U_{IL}$  і високого  $U_{IH}$  рівнів (індекси – від англійських слів *Low* і *High*); для них установлюються максимальне значення низького рівня  $U_{IL \max}$  та мінімальне значення високого рівня  $U_{IH \min}$ ;

- вихідні напруги низького  $U_{OL}$  і високого  $U_{OH}$  рівнів; для них установлені максимальне значення низького рівня  $U_{OL \max}$  та мінімальне значення високого рівня  $U_{OH \min}$ ;

- вхідний  $I_I$  і вихідний  $I_O$  струми;

- вхідний струм  $I_{IL}$  – за низького рівня напруги на вході,  $I_{IH}$  – за високого;

- вихідний струм  $I_{OL}$  – за низького рівня напруги на виході, а  $I_{OH}$  – за високого;

- $U_{CC}$  – значення напруги джерела живлення;

- $I_{CC}$  – струм, споживаний ІМС від джерела живлення;

- $P_{CC}$  – потужність споживання ІМС.

Середня споживана потужність  $P_{CC}$  елементом від джерела живлення:

$$P_{CC} = U_{CC}(I_{CCL} + I_{CCH}) / 2 = U_{CC}I_{CC}^*, \quad I_{CC}^* = (I_{CCL} + I_{CCH}) / 2,$$

де  $I_{CCL}$ ,  $I_{CCH}$  – струми споживання при низькому і високому рівнях напруги на виході відповідно;  $I_{CC}^*$  – середній струм споживання.

Сучасні елементи споживають потужність від мікроволатів до десятків міліватів.

Одним з основних параметрів, які визначають сфери використання ІМС, є швидкодія. З цим параметром безпосередньо пов'язані споживана потужність, ступінь інтеграції та інші параметри.

За швидкістю ІМС класифікують так:

- надшвидкодійні – час затримки логічного елемента до 1 нс;

- високої швидкодії – час затримки до 10 нс;

- середньої швидкодії – час затримки до 50 нс;

- низької швидкодії – час затримки більше 50 нс.

Для вимірювання часових параметрів сигналу встановлюють умовні рівні в частках від амплітуди – 0,1; 0,5 і 0,9.

Указані границі умовні і введені для зручності аналізу можливостей ІМС різних серій і вирішення питань їх застосування в проєктованих пристроях.

Швидкодію мікросхем визначають за значеннями таких тривалостей:

- фронту  $t_{LH}$  і спаду  $t_{HL}$  (рис. 4.1, а);
- власне вмикання  $t_{THL}$  і вимикання  $t_{TLH}$  (рис. 4.1, б) та їх затримки відповідно  $t_{DHL}$  та  $t_{DLH}$ ;
- затримок поширення сигналу при вмиканні  $t_{PHL}$  і вимиканні  $t_{PLH}$  (рис. 4.1, в).

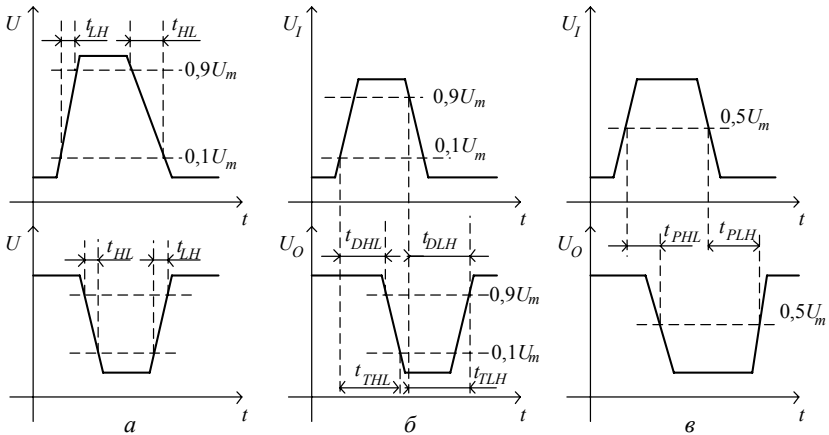


Рис. 4.1. Вимірювання часових параметрів сигналів: а – фронту  $t_{LH}$  і спаду  $t_{HL}$ ; б – часу вмикання  $t_{THL}$  і вимикання  $t_{TLH}$ ; затримки під час вмикання  $t_{DHL}$  і розмикання  $t_{DLH}$ ; в – часу затримок поширення сигналу під час вмикання  $t_{PHL}$  та вимикання  $t_{PLH}$

Для практичних розрахунків використовують середній час затримки поширення сигналу

$$t_p = (t_{PHL} + t_{PLH}) / 2.$$

Для оцінки якості елемента широко використовують узагальнений параметр – роботу перемикання

$$A_{\Pi} = P_{CC} t_p.$$

Якщо потужність  $P_{CC}$  вимірюється в міліватах, а час затримки – в наносекундах, то робота перемикання  $A_{\Pi}$  виражається в пікоджоулях (пДж). Значення узагальненого параметра  $A_{\Pi}$  знаходиться в границях 0,1...200 пДж. Чим менше значення  $A_{\Pi}$ , тим кращі характеристики має логічний елемент.

Надійність ІМС характеризується трьома взаємозалежними показниками: 1) інтенсивністю відмов  $\lambda = n / (mt)$ , де  $n$  – кількість відмов за час випробування, год;  $m$  – загальна кількість випробуваних мікросхем; 2) напрацюванням на відмову  $T = 1/\lambda$ ; 3) можливістю безвідмовної роботи протягом заданого інтервалу часу  $P = \exp(-\lambda t)$ .

Для сучасних ІМС інтенсивність відмов  $\lambda = (10^{-7} \dots 10^{-8})$ . Припустивши, що  $\lambda = 10^{-8}$ ,  $t = 15000$ , одержимо значення імовірності безвідмовної роботи  $P(t) = 0,998$  або 99,8%.

#### **4.2. РЕКОМЕНДОВАНІ СЕРІЇ МІКРОСХЕМ ДЛЯ ПОБУДОВИ АРИФМЕТИКО-ЛОГІЧНИХ ПРИСТРОЇВ**

Сукупність елементів із загальною ознакою побудови типового базового елемента утворюють вид схемної логіки або просто логіку. Розрізняють такі основні види логіки потенціальних елементів:

- емітерно-зв'язану логіку (ЕЗЛ);
- транзисторно-транзисторну логіку з діодами Шоттки (ТТЛШ);
- інтегральну інжекційну логіку (ІЛ);
- логіку на комплементарних МОН-структурах (КМОН);
- логіку на польових транзисторах із затвором Шоттки на основі арсеніду галію (ПТШ *AsGa*).

За термінологією, яка встановилась в технічній літературі, клас логіки визначає також технологію виготовлення ІМС.

Схеми на основі ЕЗЛ, ТТЛШ, ІЛ виготовляють по біполярній технології, інші – по МОН, КМОН, ПТШ або змішаній Бі-КМОН технології.

Мікросхеми ЕЗЛ призначено для побудови високопродуктивних, надшвидкодійних цифрових обчислювальних пристроїв. Елементи ЕЗЛ з'явилися в 1967 р. і натеper є надшвидкодійними серед напівпровідникових елементів на основі кремнію. Надшвидкодія елементів ЕЗЛ досягається за рахунок використання ненасиченого режиму роботи транзисторів, вихідних емітерних повторювачів, малих амплітуд логічних сигналів (близько 0,8 В). В елементах ЕЗЛ є парафазний вихід, що дозволяє одночасно одержувати пряме та інверсне значення реалізованої функції. Це дає помітне зниження загальної кількості мікросхем в апаратурі.

Особливостями схемотехніки ЕЗЛ та її характеристик є:

- можливість об'єднання виходів декількох елементів для утворення нових функцій;
- можливість роботи на низькоомному навантаженні завдяки наявності емітерних повторювачів;
- невелике значення роботи перемикачів і незалежність споживаної потужності від частоти перемикачів;
- висока стабільність динамічних параметрів у разі зміни температури і напруги живлення;
- використання від'ємного джерела живлення і заземлення колекторних кіл, що зменшує залежність вихідних сигналів від завад у шинах живлення.

До недоліків елементів ЕЗЛ відносять складність схем, значне споживання потужності та труднощі узгодження з мікросхемами ТТЛ і ТТЛШ.

Промисловість випускає ряд серій ЕЗЛ: К100, К137, К138, К187, К223, К229, К700, К500 і К1500. Високі техніко-економічні характеристики мікросхем серій К500 і К1500 обумовили їх широке застосування у швидкодіючих цифрових пристроях. Типові значення параметрів елементів ЕЗЛ наведено в табл. 4.1.

Таблиця 4.1. Параметри мікросхем ЕЗЛ серій К500 і К1500

Номер серії елементів ЕЗЛ	$t_p$ , нс	$P_{CC}$ , мВт	$A_{П}$ , пДж
К500	2	25	50
К1500	0,75	40	30

Мікросхеми ЕЗЛ серії К500 виготовляють за напівпровідниковою дифузійною планарно-епітаксіальною технологією. Усі компоненти мікросхеми розміщують в одному кристалі кремнію й ізолюють обернено зміщеними  $p-n$ -переходами. Компоненти формуються дифузією домішок у тонкому епітаксіальному прошарку монокристалічного кремнію.

Мікросхеми ТТЛШ призначено для застосування в цифрових пристроях високої швидкодії. Серії мікросхем ТТЛШ вміщують широкий набір логічних елементів, тригерів, вузлів (реєстри, лічильники, суматори та ін.). Наявність готових вузлів у серіях дозволяє зменшувати кількість корпусів мікросхем і одержувати значний вигрaш в об'ємі апаратури.

Серії елементів ТТЛШ мають функціональну і технічну повноту, працюють від джерела живлення плюс 5 В, сумісні за рівнями логічних сигналів, а частина – і за розведенням (цоколівкою) виводів корпусів мікросхем.

У елементах ТТЛШ вдало поєднуються схемотехнічні, технологічні й конструктивні властивості:

- високий рівень схемно-технологічного відпрацювання, що забезпечує високий відсоток виходу придатних мікросхем і низьку вартість виготовлення;
- порівняно високі швидкодія і заводостійкість;
- висока навантажувальна здатність  $N_o = 10...30$  і помірна споживана потужність;
- зручність застосування (монтаж, компонування, охолодження).

До недоліків елементів ТТЛШ відносять: меншу швидкодію порівняно з ЕЗЛ, труднощі узгодження з низькоомним навантаженням, значний рівень утворення завод, зростання споживаної потужності з підвищенням частоти перемикання.

До першого покоління мікросхем ТТЛШ належать серії К530, К531, К533, К555. Вони замінили мікросхеми на елементах ТТЛ серій К130, К131, К155, К134, К158 (роки розробки 1967–1968). За рахунок застосування діода Шотткі між колектором і базою транзистора позбулися насиченого режиму роботи і досягли більш високої швидкодії

Значення окремих електричних і часових параметрів елементів ТТЛ і ТТЛШ різних серій наведено в табл. 4.2.

Таблиця 4.2. Параметри мікросхем ТТЛ і ТТЛШ

Групи мікросхем	Номер серії	$t_p$ , нс	$P_{CC}$ , мВт	$A_p$ , пДж
Стандартні ТТЛ	К133, К135	9	10	90
Швидкодійчі ТТЛ	К130, К131	6	22	132
Малопотужні ТТЛ	К134, К136	33	5	165
Стандартні ТТЛШ	К530, КР531	3	19	57
Малопотужні ТТЛШ	К533, КР531	9,5	2	19
<i>FAST</i>	КР1531	3	4	12
<i>ALS</i>	КР1533	4	1,2	4,8

Мікросхеми ТТЛШ серій КР1530, КР1531 і КР1533 – це група перспективних мікросхем, які прийшли на зміну серіям К530, КР531, К533, К555.

Серії мікросхем ТТЛШ перекривають широкий діапазон робочих частот: до 30 МГц (серії К533, К555), до 50 МГц (серії КР1533), до 80...100 МГц (серії К530, КР531, КР1531), до 150...200 МГц (серія КР1530).

У нашій країні найбільш освоєні мікросхеми ТТЛШ серії КР1533. Їх виготовляють за вдосконаленою епітаксiallyно-планарною технологією з діодами Шотткі і оксидною ізоляцією, одно- і дворівневою металізованою розводкою. Конструктивно мікросхеми серії КР1533 розміщені в стандартних пластмасових корпусах з кількістю виводів 14, 16, 20 і 24.

Основна галузь застосування КМОН мікросхем – цифрові пристрої середньої швидкодії (до 10 МГц).

Розвиток комп'ютерної схемотехніки на основі МОН-транзисторів почався з появою в 1962 р. польового транзистора з індуктованим каналом. Схеми на МОН-транзисторах характеризуються відносною простотою виготовлення, компактністю, малою споживаною потужністю, високою стійкістю до перешкод при зміні напруги живлення.

У комплементарних (взаємодоповнювальних) МОН-структурах (логіка КМОН) використовують одночасно  $p$ - і  $n$ -канальні транзистори. У схемах КМОН у статичному стані протікає дуже малий струм – мікроампери, оскільки завжди закритий  $p$ - або  $n$ -канальний транзистор. Споживана потужність визначається в основному енергією, яка витрачається на перезарядження паразитних ємностей.

Промисловість випускає такі серії КМОН: К176, К564, К561, КР1561 і КР1554.

Мікросхеми швидкодіючої серії КР1554 мають функціональну і технічну повноту і вміщують логічні елементи, тригери, регістри, лічильники, дешифратори, мультиплексори і т. ін.

Елементи серії КР1554 характеризуються такими параметрами: діапазон напруги живлення становить 3...6 В; рівні логічних сигналів:  $U_{OL} = 0,1$  В,  $U_{OH} = U_{CC}$ ,  $U_{IL} \leq 1,35$  В,  $U_{IH} \geq 3,15$  В; струм споживання в статичному режимі на логічний елемент – 0,25 мкА (у тисячу разів менше порівняно із серією КР1533); потужність споживання на елемент – 2,5 мкВт; затримка поширення сигналів – 4 нс; робота перемикання  $A_n = 0,01$  пДж; частота перемикання  $D$ -тригера – 150 МГц; діапазон температур: мінус 40 ... плюс 85°С. Як випливає з цих даних, мікросхеми КМОН серії КР1554 є серйозним конкурентом схемам ТТЛШ.



Мікросхеми КР1554 виготовляють за КМОН-технологією з оксидною ізоляцією, дворівневою металізацією, полікремнієвим затвором шириною 1,5 мкм. Конструктивно мікросхеми оформлені в пластмасові корпуси типу *DIP* з кроком 2,5 мм, з кількістю виводів від 14 до 24 і стандартним розміщенням виводів «живлення» і «земля».

#### 4.3. ВИБІР МІКРОСХЕМ ДЛЯ ПОБУДОВИ АРИФМЕТИКО-ЛОГІЧНИХ ПРИСТРОЇВ

Для побудови швидкодіючих цифрових мікросхем рекомендується використовувати мікросхеми ТТЛШ другого покоління серій КР1530, КР1531 і КР1533. У нашій країні найбільшу номенклатуру виробів має серія КР1533. В її складі є широкий набір чотири- і восьмирозрядних регістрів, дешифраторів, тригерів, логічних елементів.

Вибираючи конкретний тип регістра, враховують такі вимоги:

- високу швидкодію, мінімальну споживану потужність, що забезпечує мінімальну роботу перемикачів;
- найбільшу розрядність;
- забезпечення керованого паралельного записування та зчитування інформації;
- наявність входу скидання;
- можливість виконання мікрооперацій зсуву в схемах АЛП при операціях множення та ділення.

Перерахованим вимогам відповідають мікросхеми регістрів типу КР1533ИР35 (рис. 4.2).

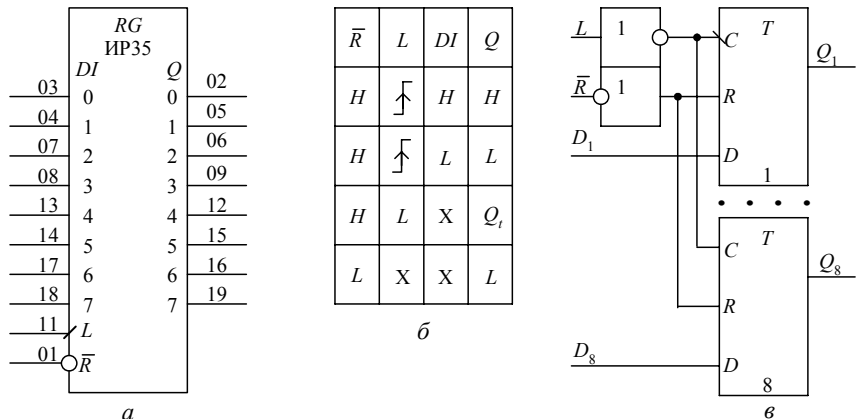


Рис. 4.2. Регістр КР1533ИР35: *a* – умовне графічне позначення; *б* – логіка роботи; *в* – принципальна схема

Мікросхема КР1533ИР35 – це восьмирозрядний регістр на  $D$ -тригерах. Інформація записується по фронту тактового імпульсу при  $L=1$ ,  $\bar{R}=1$  і відразу передається на вихід. При  $\bar{R}=0$  на виходах регістра встановлюються низькі рівні напруги (лог.0 при позитивному кодуванні).

Статичні і динамічні параметри регістра КР1533ИР35 наведено відповідно в табл. 4.3 і 4.4.

У серії КР1533 є мікросхеми, які містять по два  $JK$ -тригери, наприклад, КР1533ТВ6 (рис. 4.3).

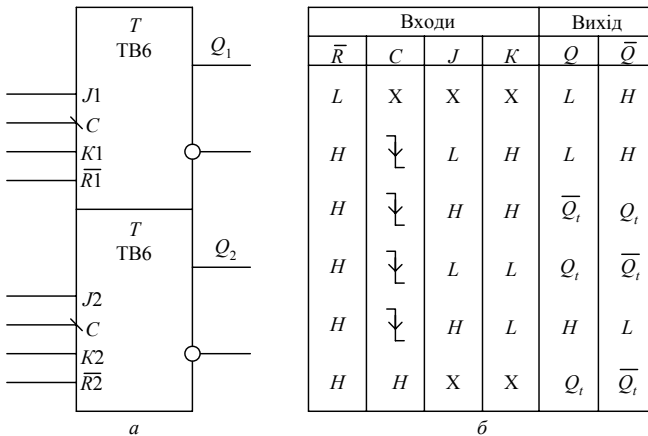


Рис. 4.3.  $JK$ -тригер КР1533ТВ6:  $a$  – умовне графічне позначення;  $b$  – логіка роботи

$JK$ -тригер типу ТВ6 спрацьовує по спаду тактового імпульсу. Це виключає можливість появи гонок в керуючому автоматі.

Статичні і динамічні параметри мікросхеми ТВ6 наведено в табл. 4.3 і 4.4 відповідно.

Для дешифрації станів пам'яті керуючих автоматів використовують подвоєний дешифратор «2→4» з індивідуальними інформаційними та стробуючими входами (рис. 4.4,  $a$ ). Якщо  $\bar{E1} = \bar{E2} = 1$ , виходи дешифратора устанавлюються в стан високого рівня, якщо  $\bar{E1} = \bar{E2} = 0$ , то здійснюється дешифрація вхідного слова. Статичні і динамічні параметри дешифратора КР1533ИД14 наведено відповідно в табл. 4.3 і 4.4.

Таблиця 4.3. Статичні параметри мікросхем ТТЛШ серії КР1533

Мікросхема	Найменування параметра							
	$U_{OH}$ , В	$U_{OL}$ , В	$I_{IH}$ , мкА	$I_{IL}$ , мА	$I_{CCH}$ , мА	$I_{CCL}$ , мА	$I_{CC}$ , мА	$P_{CC}$ , мВт
КР1533ИР35	$\geq 2,4$	$\leq 0,4$	20	$ -0,2 $	20	29	24,5	122
КР1533ИП3	$\geq 2,5$	$\leq 0,4$	–	–	–	–	21	105
КР1533ТВ6	$\geq 2,4$	$\leq 0,4$	20	$ -0,2 $	–	–	4,5	23
КР1533ЛП5	$\geq 2,5$	$\leq 0,5$	20	$ -0,1 $	–	–	5,9	30
КР1533ИД14	$\geq 2,4$	$\leq 0,4$	20	$ -0,1 $	–	–	13	65
КР1533ЛН1	$\geq 2,5$	$\leq 0,5$	20	$ -0,1 $	1,1	4,2	2,65	26
КР1533ЛЛ1	$\geq 2,5$	$\leq 0,5$	20	$ -0,1 $	4	4,9	4,45	23
КР1533ЛИ1	$\geq 2,5$	$\leq 0,5$	20	$ -0,1 $	2,4	4,0	3,2	16

Таблиця 4.4. Динамічні параметри мікросхем ТТЛШ серії КР1533

Мікросхема	Найменування параметра			
	$t_{PLH}$ , нс	$t_{PHL}$ , нс	$t_p$ , нс	$A_{П}$ , пДж
КР1533ИР35	$\leq 12$	$\leq 18$	15	1830
КР1533ЛП5	$\leq 17$	$\leq 12$	14,5	435
КР1533ТВ6	$\leq 20$	$\leq 15$	17,5	402,5
КР1533ИД14	$\leq 14$	$\leq 15$	14,5	942,5
КР1533ЛН1	$\leq 11$	$\leq 8$	9,5	247
КР1533ЛЛ1	$\leq 14$	$\leq 12$	13	299
КР1533ЛИ1	$\leq 14$	$\leq 10$	12	192

Для виконання мікрооперації додавання в модифікованих доповняльних кодах необхідно створити додатковий знаковий розряд П для 16-розрядного комбінаційного суматора  $SM$ . Схема додаткового знакового розряду спрощена, оскільки не потрібна схема перенесення. Запишемо:

$$SM[17] = GA[16] \cdot G\bar{C}[16] \oplus G\bar{A}[16] \cdot GC[17] \oplus P[16], \quad (4.1)$$

де  $P[16]$  – значення перенесення з 16-го розряду суматора.

Для реалізації розряду П згідно з виразом (4.1) використовують мікросхему КР1533ЛП5, яка містить чотири логічні елементи ВИКЛЮЧАЛЬНЕ ЧИ. Два логічні елементи ВИКЛЮЧАЛЬНЕ ЧИ реалізують функцію (4.1), третій логічний елемент інвертує значення розряду перенесення від суматора. Четвертий логічний еле-

мент ВИКЛЮЧАЛЬНЕ ЧИ використовується для вироблення ознаки переповнення  $\varphi_3$  згідно з формулою

$$\varphi_3 = SM[17] \cdot \overline{SM[16]} \vee \overline{SM[17]} \cdot SM[16] = SM[17] \oplus SM[16]. \quad (4.2)$$

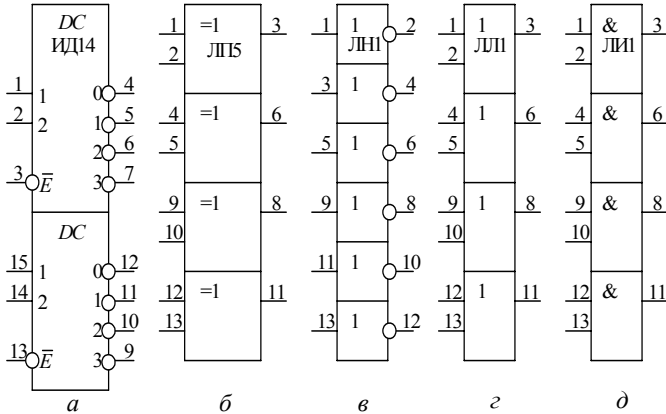


Рис. 4.4. Умовні графічні позначення мікросхем ТТЛШІ серії КР1533: а – дешифратор ИД14; б – ВИКЛЮЧАЛЬНЕ ЧИ ЛП5; в – інвертори ЛН1; г – диз'юнктори ЛЛ1; д – кон'юнктори ЛИ1

Статичні і динамічні параметри мікросхеми КР1533ЛП5 наведено відповідно в табл. 4.3 і 4.4.

Для побудови логічних схем пристроїв використовують мікросхеми НЕ (рис. 4.4, в), диз'юнкторів (рис. 4.4, г), кон'юнкторів (рис. 4.4, д).

Статичні і динамічні параметри мікросхем ЛН1, ЛЛ1, ЛИ1 (відповідно логічні елементи НЕ, ЧИ, І) наведено в табл. 4.3 і 4.4.

Вартість схеми спроектованого АЛП визначається кількістю використаних мікросхем.

Указівки до застосування і експлуатації мікросхем серії КР1533:

- температурний діапазон робочого середовища від мінус 10°C до плюс 70°C;
- нароблення на відмову – 50000 год;
- інтенсивність відмов – не більше  $0,9 \cdot 10^{-6}$  год<sup>-1</sup>;
- допустимі відхилення напруги живлення від номінального – не більше  $\pm 2\%$ ;

- мікросхеми призначені як для автоматизованого, так і ручного монтажу апаратури;
- мікросхеми замінювати тільки при вимкнених джерелах живлення;
- вільні входи підключати до джерела постійної напруги  $5\text{ В} \pm 10\%$  через резистор  $R = 1\text{ кОм}$  або заземляти;
- ємність входу – не більше 5 пФ;
- допускається підключення до виходів ємності не більше 200 пФ, при цьому норми на динамічні параметри не регламентуються;
- допустиме значення статичного потенціалу – до 200 В;
- допускається короткочасна (протягом не більше 5 мс) дія напруги живлення до 7 В;
- власних резонансних частот мікросхем до 20 кГц немає;
- максимальний час фронту наростання  $t_{LH}$  і час спаду вхідного імпульсу – не більше 1 мкс.

#### 4.4. ПОНЯТТЯ АРХІТЕКТУРИ І СТРУКТУРИ КОМП'ЮТЕРІВ

Комплекс електронного устаткування, що призначений для автоматизації процесів обробки інформації і має спільне керування, називається комп'ютером.

Архітектура – це найбільш загальні принципи побудови комп'ютерів. Вона охоплює коло питань, суттєвих, в першу чергу, для користувача: функціональний склад технічних та програмних засобів та їх взаємодію в процесі обробки інформації; систему команд, їх формати і способи кодування; методи адресації команд і даних та ін.

Комп'ютер класичної архітектури (рис. 4.5) вміщує:

- АЛП;
- оперативну пам'ять (ОП);
- засоби зберігання і введення–виведення інформації: зовнішні запам'ятовувальні пристрої (ЗЗП); пристрої введення інформації (ПВв); пристрої виведення інформації (ПВив); усі ці пристрої називають зовнішніми чи периферійними (ПП);
- пристрій керування (ПК). Разом з АЛП він утворює процесор.

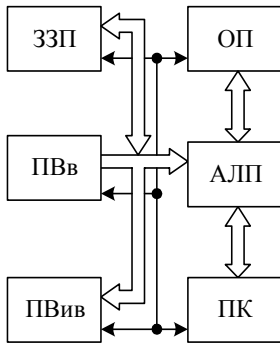


Рис. 4.5. Структура комп'ютера

Арифметико-логічний пристрій призначений для виконання арифметичних і логічних операцій, передбачених системою команд певного комп'ютера.

Оперативна пам'ять призначена для тимчасового зберігання програм і даних.

Пристрій керування зчитує і дешифрує у відповідній послідовності команди, формує і подає керуючі сигнали для інших пристроїв комп'ютера. До ПК відносять і пульт оператора.

Процесор і ОП разом створюють ядро комп'ютера.

Операції введення–виведення – це обмін інформацією між ядром машини і ПП. Операція введення передає інформацію з ПП в ядро комп'ютера, а операція виведення – навпаки.

## 4.5. ОСНОВИ ПОБУДОВИ АРИФМЕТИКО-ЛОГІЧНИХ ПРИСТРОЇВ

### 4.5.1. Принцип мікропрограмного керування

Арифметико-логічний пристрій функціонує на основі мікропрограмного керування. Кожна машинна операція розділяється на послідовність елементарних дій (передача слів, інверсія слів та ін.), які реалізуються в тактах. Елементарне функціональне обчислення, яке виконується в одному машинному такті, називається мікрооперацією. Кожна мікрооперація ініціюється відповідним керуючим сигналом. Сукупність мікрооперацій, які виконуються в одному машинному такті, називається мікрокомандою. Зокрема, мікрокоманда може вміщувати одну мікрооперацію або жодної.

Для вибору порядку проходження мікрооперацій аналізуються логічні умови, які набувають значення одиниці (так) чи нуля (ні) залежно від значень операндів і результатів обчислень. Мікроалгоритм операції, записаний в термінах мікрооперацій і логічних умов, називається мікропрограмою. Кожна машинна операція має свою мікропрограму.

## 4.5.2. Операційний та керуючий блоки

Будь-який цифровий обчислювач, в тому числі й АЛП, може представлятися композицією операційного і керуючого пристроїв. В операційному пристрої виконуються арифметико-логічні операції. Керуючий пристрій забезпечує виконання операцій за допомогою послідовності керуючих сигналів, яку він виробляє залежно від мікропрограми. В математичних моделях АЛП перший пристрій подається операційним автоматом, а другий – керуючим автоматом (рис. 4.6).

Операційний автомат (ОА) приймає по входу  $A$  операнди, по входу  $Y$  – керуючі сигнали  $\{y_i\}$ , передає на вихід  $Z$  результати операції і формує множину значень логічних умов  $\{x_i\}$ .

Керуючий автомат (КА) приймає по входу  $X$  логічні умови  $\{x_i\}$  і залежно від їх значень та коду операції по входу  $F$  формує послідовність керуючих сигналів  $\{y_i\}$ .

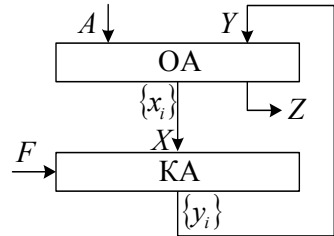


Рис. 4.6. Структура математичної моделі АЛП

## 4.6. КЛАСИФІКАЦІЯ АРИФМЕТИКО-ЛОГІЧНИХ ПРИСТРОЇВ

Арифметико-логічні пристрої класифікують за такими ознаками:

- способом оброблення даних – паралельні, послідовні, паралельно-послідовні;
- системою числення – двійкові, десяткові та ін.;
- формою подання чисел – з плаваючою комою, з фіксованою комою, цілі двійкові та десяткові числа;
- часом виконання операцій – синхронні та асинхронні;
- способом виконання мікрооперацій – із закріпленими мікроопераціями, із спільними операціями;
- типом керуючого автомата – зі схемною або програмовною логікою;
- методом побудови – багатофункціональні та блокові.

У синхронних АЛП на виконання різних операцій відводиться один і той же інтервал часу, а в асинхронних час виконання залежить від типу операції.

В АЛП можливі два типи КА:

- зі схемною («жорсткою») логікою, яка складається з елементів пам'яті (тригерів) і комбінаційних схем. Вони генерують відповідні керуючі сигнали  $\{y_i\}$  в машинні такти залежно від коду операції;

- з програмовною (яка зберігається в пам'яті) логікою: для кожної операції в спеціальній, частіше постійній, пам'яті записується мікропрограма у вигляді послідовностей керуючих слів – мікрокоманд. Вони містять інформацію про мікрооперації, що мають виконуватися в даному такті, та адресу наступної мікрокоманди.

Узагальнену і найбільш поширену структуру АЛП показано на рис. 4.7.

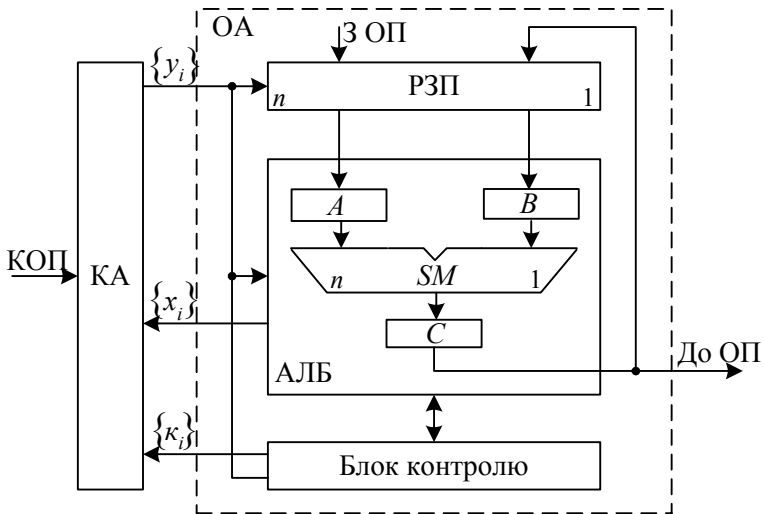


Рис. 4.7. Узагальнена структура АЛП

До складу ОА універсальних комп'ютерів входять:

- арифметико-логічний блок (АЛБ);
- набір регістрів загального призначення (РЗП);
- блок контролю.

В АЛБ виділяють комбінаційний суматор  $SM$ , вхідні реєстри  $A$  і  $B$  для приймання операндів та вихідний реєстр  $C$  для записування результату. В АЛБ є логічні схеми, які виробляють множини  $\{x_i\}$  сигналів логічних умов (ознак результату), наприклад, нульовий або від'ємний результат та ін.



Регістри загального призначення використовують для приймання і зберігання операндів, проміжних та кінцевих результатів.

Блок контролю забезпечує перевірку правильності виконання арифметико-логічних операцій одночасною реалізацією тієї ж команди дублюючою апаратурою і порівнянням результатів або виконанням дій над спеціальними кодами, одержаними від операндів під час додавання за модулем два, модулем три та ін. У разі виявлення помилок і збоїв у роботі ОА блок контролю посилає в КА код помилок  $\{k_i\}$ .

На АЛП поступає код операції від центрального пристрою керування. Застосування в АЛП пристроїв керування зі схемною логікою прискорює виконання операцій. Застосування КА з програмовною логікою забезпечує гнучкість мікропрограмування, дозволяє змінювати склад мікропрограм у разі введення нових команд. У сучасних АЛП можуть поєднуватись обидва типи КА.

#### 4.7. ПРИСТРОЇ КЕРУВАННЯ

Пристроєм керування називається функціональна частина комп'ютера, яка призначена для автоматичного керування обчислювальним процесом за допомогою послідовності керуючих і синхронізуючих сигналів.

Час, протягом якого виконується одна машинна команда, називається машинним циклом. Протягом машинного циклу ПК забезпечує виконання таких дій:

- зчитування чергової команди з ОП, її дешифрацію та зберігання протягом циклу;
- формування адрес операндів та результату з інформації, яка міститься в коді команди, вибірку операндів з ОП або РЗП;
- вироблення необхідної для виконання певної команди послідовності керуючих сигналів;
- переадресацію за безумовними й умовними ознаками;
- реалізацію пультових операцій керування та ін.

У ПК виділяють дві основні функціональні частини – програмну і мікропрограмну. Програмна частина реалізується центральним пристроєм керування (ЦПК). Він визначає послідовність виконання команд програми, розшифровує команди, виробляє виконавчі адреси, пересилає операнди в операційний пристрій і підготує його до виконання заданої операції.

Мікропрограма частина ПК призначена для виконання мікропрограм в ОБ. Конструктивно мікропрограма частина реалізується у вигляді блоків місцевого керування (БМК). Таким чином, у загальному випадку керуючий пристрій комп'ютера складається з ЦПК і ряду БМК. У проектуваному спеціалізованому АЛП використовується БМК, що відноситься до цифрових автоматів Мура або Мілі.

Загальна теорія автоматів поділяється на абстрактну і структурну. Абстрактна теорія вивчає поведінку автомата відносно зовнішнього середовища і не розглядає способів його побудови. Структурна теорія автоматів вивчає способи побудови логічних схем автоматів на основі алгоритму, заданого на абстрактному рівні.

Абстрактний автомат як систему задають упорядкованою сукупністю шести об'єктів  $\{X, Y, Z, \delta, \lambda, z_1\}$ , де:

$X = \{x_1, x_2, \dots, x_m\}$  – множина вхідних сигналів;

$Y = \{y_1, y_2, \dots, y_n\}$  – множина вихідних сигналів;

$Z = \{z_1, z_2, \dots, z_r\}$  – множина внутрішніх станів, які визначаються пам'яттю автомата;

$\delta$  – функція переходів, яка задає відображення множин  $X \times Z \rightarrow Z$ ;

$\lambda$  – функція виходів, яка задає відображення множин  $X \times Z \rightarrow Y$  або  $Z \rightarrow Y$ ;

$z_1$  – початковий стан автомата.

Множини  $X, Y, Z$  називаються алфавітами, а їх елементи – буквами. Послідовності вхідних та вихідних букв створюють відповідно вхідні та вихідні слова.

За способом формування вихідних сигналів розрізняють автомати Мура і Мілі. Функція переходів обох автоматів однакова і записується у вигляді

$$Z(t) = \delta[X(t), Z(t-1)].$$

Функції виходів задають вирази:

$$Y(t) = \lambda[X(t), Z(t-1)] \text{ – для автоматів Мілі;}$$

$$Y(t) = \lambda[Z(t)] \text{ – для автоматів Мура.}$$

Функція переходів  $\delta$  показує всі можливі переходи з одного стану пам'яті  $z_i$  в інший  $z_j$  під дією вхідних сигналів. Функція виходів  $\lambda$  задає всі можливі вихідні сигнали, які виробляються автоматом в дискретні моменти часу залежно від  $x(t)$  та  $z(t)$ .

В автоматах Мілі вихідні сигнали є функцією вхідних сигналів і

стану пам'яті. В автоматах Мура вихідні сигнали визначаються тільки станом пам'яті. У синхронних автоматах дискретний час задають генератором синхросигналів:  $t = 0, 1, 2, \dots$ , де  $t$  – номер машинного такту. На рівні абстрактної теорії функціонування автомата розглядається як перетворення вхідних букв (слів) у вихідні букви (слова).

Абстрактний автомат можна задавати за допомогою таблиць переходів і виходів, графів, матриць з'єднань або аналітичним способом.

За графічним способом описування абстрактний автомат Мілі подається орієнтованим графом, в якому стани зображаються вершинами графа, а переходи між станами – дугами з позначенням вхідного та вихідного сигналів (рис. 4.8, а). У разі подання графом абстрактного автомата Мура вихідні сигнали записуються поряд з вершинами станів (рис. 4.8, б).

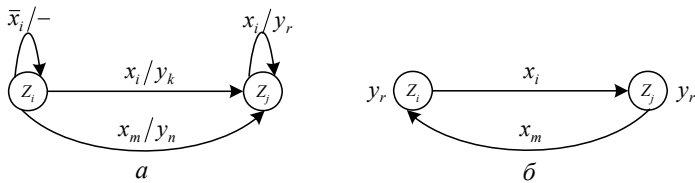


Рис. 4.8. Фрагменти графу автомата: а – Мілі; б – Мура

Закон функціонування абстрактного автомата реалізується комбінаційними схемами і наборами тригерів. Процес побудови такої схеми називається структурним синтезом. Для побудови структурного автомата необхідно мати пам'ять і дві комбінаційні схеми: КС1 – для вироблення функцій збудження тригерів і КС2 – для формування вихідних керуючих сигналів (рис. 4.9).

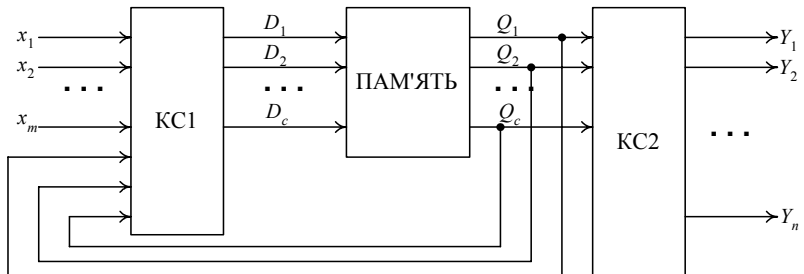


Рис. 4.9. Функціональна схема структурного автомата з пам'яттю на  $D$ -тригерах

Структурний синтез автомата із схемною логікою містить такі етапи:

- 1) розробку мікропрограми операції та записування її на мові мікрооперацій;
- 2) побудову змістовного графу мікропрограми;
- 3) побудову закодованого графу мікропрограми;
- 4) розмічання закодованого графу мікропрограми для одержання кількості станів пам'яті автомата і визначення кількості тригерів;
- 5) побудову графу автомата Мілі або Мура;
- 6) кодування станів пам'яті автомата;
- 7) побудову структурної таблиці на основі графу автомата;
- 8) записування системи рівнянь для функцій збудження тригерів і множини вихідних сигналів;
- 9) побудову принципіальної схеми автомата для заданої операції.

Стан автомата визначається станом його пам'яті. Пам'ять керуючих автоматів будується на тригерах і стан пам'яті характеризується двійковим набором  $Q_n Q_{n-1} \dots Q_1$ , де  $Q_i$  дорівнює нулю або одиниці, який відображає стан тригерів з номерами 1, 2, ...,  $n$ . Двійковий набір  $Q_n \dots Q_1$  називається кодом станів пам'яті. При виконанні різних способів кодування для подання  $L$  станів автомата потрібно  $\log_2 L \leq n \leq L$  тригерів. Якщо  $n = \text{int} \log_2 N$ , то стан автомата кодується двійковим позиційним кодом мінімальної довжини. Якщо  $n=L$ , стан автомата подається в унітарному коді, який має максимальну довжину. Як елементи пам'яті можна використовувати всі типи тригерів –  $RS, JK, D, T$ .

Кожному стану автомата має присвоюватись код, відмінний від кодів усіх інших станів. Для автомата з  $L$  станами і пам'яттю, що містить  $n$  тригерів, можна розрізнити  $2^n!(2^n - L)!n!$  способів кодування станів. Кількість можливих способів кодування дуже велика. Так, якщо  $L=16, n = 4$ , кількість способів кодування станів автомата наближається до  $10^{12}$ .

Якщо  $n = \lceil \log_2 L \rceil$ , то стани  $z_1, z_2, \dots, z_L$  автомата виділяються шляхом дешифрації коду  $Q_n, Q_{n-1}, \dots, Q_1$ , який характеризує стан  $n$  елементів пам'яті.

Сигнали  $z_1, z_2, \dots, z_{16}$  відмічають відповідні стани автомата і набувають одиничних значень, якщо тригери пам'яті знаходяться в станах  $Q_4Q_3Q_2Q_1=0000, 0001, \dots, 1111$  відповідно. У будь-який момент часу тільки один сигнал  $z_i$  набуває значення 1, в той же час знаки інших сигналів  $a_1 \dots a_{i-1} \dots$  дорівнюють 0.

Для одержання числа  $L$  станів пам'яті автомата виконують розмічання закодованого графу. Закодований граф для автомата Мілі розмічають за такими правилами:

- символом стану  $z_1$  позначають вихід вершини «Початок» та вхід вершини «Кінець»;

- виходи операторних вершин позначають символами  $z_2, z_3, \dots, z_L$ , де індекс  $L$  визначає максимальну кількість станів автомата Мілі. Максимальна кількість станів розміченого графу мікропрограми множення  $L=8$ .

Будують граф автомата Мілі в такій послідовності:

- зображають  $L$  вершин  $z_1, z_2, \dots, z_L$ ;
- шлях між двома вершинами включає одну операторну і довільну кількість умовних вершин і зображається орієнтованою дугою. Між двома вершинами може бути декілька шляхів і відповідно – орієнтованих дуг;
- біля дуги записують кон'юнкцію довільної кількості сигналів  $x_i$ , які записані в умовних вершинах на даному шляху розміченого графу;
- для виходу з умовної вершини, позначеної одиницею, записують  $x_i$ ; а позначеної нулем –  $\bar{x}_i$ ;
- біля сигналів умов на дузі записують перелік керуючих сигналів  $u_i$ ;
- якщо на шляху немає умовних вершин, замість них записують одиницю;
- якщо немає керуючих сигналів, ставлять прочерк.

Для одержання кількості станів пам'яті автомата Мура закодований граф розмічають за такими правилами:

- символом початкового стану  $z_1$  позначають вихід вершини «Початок» та вхід вершини «Кінець»;

- усі інші операторні вершини позначають символами  $z_2, z_3, \dots, z_L$ , де  $L$  – максимальна кількість станів пам'яті;

- кожному стану  $z_i$  приписують свій набір вихідних керуючих сигналів.

Граф автомата Мура будують у такій послідовності:

- зображають  $L$  вершин  $z_2, z_3, \dots, z_L$ ;
- кожній вершині приписують свій набір вихідних керуючих сигналів, які проставляють біля вершин графу;
- на дугах графу переходів автомата Мура записують тільки сигнали логічних умов;
- якщо на переходах між вершинами немає логічних умов, то їх замінюють одиницею (відбуваються під дією синхросигналу).

#### 4.8. МОВИ ОПИСУ ОПЕРАЦІЙНИХ ПРИСТРОЇВ

Для описування операційних пристроїв на різних рівнях використовуються відповідні мови, а саме:

- мова електричних рівнянь для струмів і напруг у ланцюгах схем, складених з резисторів, діодів, транзисторів та ін.;
- мова функцій для описування логічних і запам'ятовувальних елементів;
- мова мікрооперацій для описування типових функціональних комбінаційних і послідовнісних вузлів;
- мова мікропрограм для описування роботи операційних пристроїв на рівні мікроалгоритмів машинних операцій;
- алгоритмічні мови для описування обчислювального процесу в комп'ютері на рівні програм (асемблер, Паскаль, Сі та ін.).

У мові мікрооперацій опис слова містить ідентифікатор  $A, B, RGA, CT$  і розрядний показчик кількості розрядів  $A(32), B(16)$ , або номери старшого (зліва) і молодшого (справа) розрядів:  $A(32:1), B(16:1)$ . Розрядний показчик може пропуститися, якщо слово описано раніше. Регістр і слово в ньому часто позначають одним і тим самим ідентифікатором:  $RGA, A(32)$ . Слово може подаватися своїми частинами:  $A(32:16), A(15:12), A(11:1)$ . Значення конкретного  $i$ -го розряду слова записують як  $A[i]$ , наприклад,  $A[1], B[n]$ .

Мікрооперація описується оператором та ідентифікатором керуючого сигналу у вигляді

$$y_i : A(n) := B(n) * C(n),$$

де  $y_i$  – керуючий сигнал, який відділяється від оператора двома крапками;  $A(n)$  – результат;  $:=$  – знак присвоєння;  $*$  – вид перетворення в двомісній мікрооперації (в одномісній пропускається);  $B(n)$  і  $C(n)$  –  $n$ -розрядні операнди. Вираз справа від знака присвоєння

називається формулою оператора. Двійкове значення, одержане на основі обчислення за формулою оператора, в кінці такту присвоюється слову  $A(n)$ .

Найбільш поширені такі мікрооперації:

- установлення константи:  $A(3:1):=111$ ;
- інвертування слова:  $B(n):=\bar{B}(n)$ ;
- складання (конкатенація) слова з окремих слів чи їх полів:  $A(16:1):=B(16:8).C(7:1)$ ;
- передавання слів:  $A(n):=B(n)$ ;  $RGC := RGD$ ;
- додавання двох слів:  $A := B + C$ ;
- інкремент та декремент слова на одиницю:  $A:=A+1$ ,  $A:=A-1$ ;
- порозрядні логічні операції: диз'юнкція  $A := B \vee C$ , кон'юнкція  $A := B \wedge C$ , додавання за модулем два  $A := B \oplus C$ ;
- лівий і правий логічні зсуви  $L$ ,  $R$ ; арифметичні зсуви  $L_A$ ,  $R_A$  та циклічні зсуви  $L_{\square}$ ,  $R_{\square}$ . Наприклад, логічний зсув слова  $A(n)$  вліво на один розряд:  $A(n):=L(A)=A(n-1:1).0$ ; циклічний зсув вправо на один розряд:  $A := R_{\square}(A) = A[1].A(n:2)$ .

Мова, призначена для описування мікропрограм у термінах операторів, називається мовою мікропрограмування. Оператори в мікропрограмі виконуються послідовно від початку до кінця; для зміни такого порядку використовують оператори переходу і мітки.

Оператор

Перейти  $M_i$

переносить дію до оператора з міткою  $M_i$ .

Оператор

Перейти, якщо  $x$ , то  $M_i$

переносить дію до мітки  $M_i$ , коли  $x=1$ , інакше при  $x=0$  оператори виконуються послідовно.

Оператор

Перейти, якщо  $x$ , то  $M_i$ , інакше  $M_j$

переносить дію до  $M_i$  при  $x=1$ , інакше виконується оператор з міткою  $M_j$ .

Мікропрограми подають також направленим графом (рис. 4.10), який складається з вершин: «Початок», «Кінець», опе-

раторних (відповідають одній мікрокоманді кожна) та умовних (еквівалентних умовним переходам до двох міток).

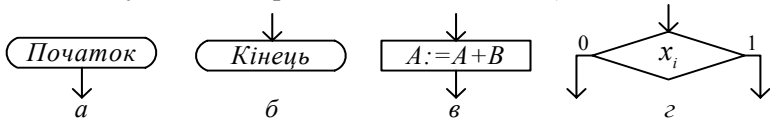


Рис. 4.10. Вершини графу мікропрограми: *a* – «Початок»; *б* – «Кінець»; *в* – оператора; *z* – умовна

Усі вершини, крім початкової, мають довільну (не менше одного) кількість входів. За всіма можливими значеннями логічних виразів в умовних і перемикальних вершинах має існувати шлях з початкової в кінцеву вершину (рис. 4.11).

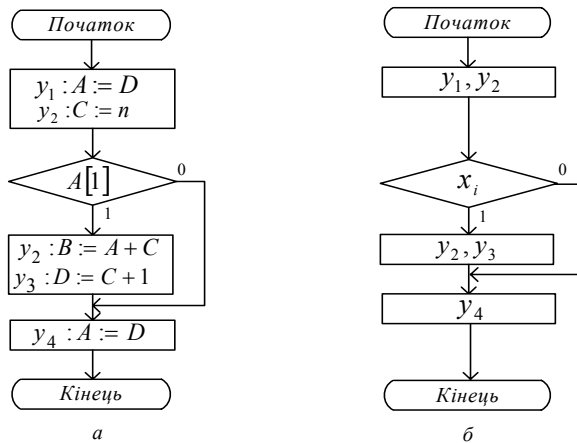


Рис. 4.11. Граф мікропрограми: *a* – змістовний; *б* – закодований

Якщо операторні й умовні вершини графу містять повний опис мікрооперацій і булевих виразів (логічних умов), то його називають змістовним (рис. 4.11, *a*). Якщо мікрооперації подано ідентифікаторами керуючих сигналів, а логічні умови булевими аргументами, то такий граф називають закодованим (рис. 4.11, *б*).

Розглянемо алгоритми виконання операцій додавання, віднімання, множення і ділення на основі АЛП із закріпленими мікроопераціями. Код операції задається командним словом  $K(4)$ , при цьому одиничне значення кожного розряду задає виконання тільки однієї операції:  $K[1]$  – додавання;  $K[2]$  – віднімання;  $K[3]$  – множення та  $K[4]$  – ділення.



## 5. ТИПОВІ ФУНКЦІОНАЛЬНІ ВУЗЛИ КОМП'ЮТЕРІВ

Під час вивчення дисципліни «Комп'ютерна схемотехніка» («Схемотехніка ЕОМ») передбачено також такі види навчального навантаження як домашні, контрольні та розрахунково-графічні роботи.

Домашнє завдання являє собою розв'язання конкретної практичної задачі з використанням відомого та (або) самостійно вивченого теоретичного матеріалу про проектування комбінаційних схем і містить потрібний графічний матеріал.

Розрахунково-графічна робота з цієї дисципліни являє собою домашнє завдання підвищеної складності, мета якого – проектування типових функціональних вузлів комп'ютерів. Значну частину пояснювальної записки складає графічний матеріал, який виконують з дотриманням вимог чинних державних стандартів.

Контрольна робота є розв'язанням конкретної задачі з використанням відомого теоретичного матеріалу, потребує за своєю трудомісткістю для виконання середнім за рівнем знань та вмінь студентом не більше однієї або двох годин залежно від запланованої складності і виконується в присутності викладача в аудиторний або позааудиторний час.

Тематику прикладів проектування функціональних вузлів узгоджено з варіантами завдань на домашню, контрольну і розрахунково-графічну роботи, які наведено в додатках М, Н та О відповідно.

У комп'ютерах команди виконуються послідовністю мікрооперацій (елементарних дій в одному машинному такті), наприклад, інкремент (збільшення), декремент (зменшення) слова, зсув, інверсія, пересилання слова і т. ін. Електронні схеми, призначені для виконання мікрооперацій, називаються типовими функціональними вузлами комп'ютера.

За логікою роботи функціональні вузли поділяють на комбінаційні (автомати без пам'яті) і накопичувальні (автомати з пам'яттю).

У комбінаційних вузлах стан виходів залежить тільки від комбінації вхідних сигналів у певний момент часу. До комбінаційних типових функціональних вузлів належать:

- двійкові та двійково-десяткові суматори – призначені для додавання двох двійкових або двійково-десяткових чисел;
- дешифратори – використовуються для дешифрації вхідного двійкового позиційного коду;

- шифратори – перетворюють вхідний унітарний код у вихідний двійковий позиційний;
- мультиплексори – комутатори множини вхідних ліній на єдину вихідну;
- демультимплексори – комутатори єдиної вхідної лінії на одну із множини вихідних;
- компаратори – виробляють ознаки порівняння слів на: дорівнює, більше, менше;
- схеми контролю за модулем два – використовуються для контролю інформації в процесах зберігання, передачі та виконання операцій;
- перетворювачі кодів – призначені для перетворення коду з однієї форми в іншу, наприклад, прямого коду в доповняльний.

У накопичувальних вузлах логічний стан виходів визначається як комбінацією вхідних сигналів, так і станом пам'яті в певний момент часу. До накопичувальних (послідовнісних) типових функціональних вузлів належать:

- регістри – призначені для записування, тимчасового зберігання і видачі двійкової інформації;
- лічильники – призначені для лічби імпульсів.

Проектування типових функціональних вузлів комп'ютера містить у собі такі етапи.

1. Змістовна постановка задачі. Указують тип і розрядність проєктованого вузла, особливості його зв'язків з іншими вузлами, тип схемної логіки, вимоги до швидкодії споживаної потужності.

2. Аналіз розмірності (розрядності) задачі. На основі аналізу розмірності задачі приймають рішення про проектування вузла як цілісної системи або, у випадку великої розмірності, розбивають його на модульно-розрядні частини. Наприклад, синтезується однорозрядний суматор і потім за допомогою ланцюгів перенесення будується регулярна структура багаторозрядного суматора.

3. Формалізоване задання алгоритмів роботи вузла. Логіку функціонування вузла задають таблицями істинності чи мікрооперацій, графом, картами Карно.

4. Подання алгоритмів роботи вузла аналітичними виразами. Вигляд логічних рівнянь залежить від способу формалізованого задання роботи вузла. У разі використання таблиць істинності логічні рівняння записуються в канонічних формах – досконалих диз'юнктивних (ДДНФ) чи кон'юнктивних (ДКНФ) формах. Якщо

робота вузла описується таблицею мікрооперацій, то в логічні рівняння як змінні включаються також і керуючі сигнали.

5. Мінімізація одержаних логічних рівнянь, поданих у вигляді ДДНФ. Зручно виконувати за допомогою карт Карно чи діаграм Вейча (якщо число змінних не більше шести). Якщо число змінних більше шести, то використовують машинні способи мінімізації. Мінімізовані форми логічних рівнянь забезпечують побудову схем меншої вартості.

6. Перетворення мінімальних форм рівнянь до вигляду, зручного для реалізації в заданому елементному базисі. Проектування вузлів часто здійснюють на універсальних логічних елементах НЕ І або НЕ ЧИ. Для переходу до такого елементного базису виконують перетворення мінімальних диз'юнктивних або кон'юнктивних нормальних форм за допомогою правил подвійної інверсії з наступним застосуванням правил де Моргана.

### 5.1. ПРОЕКТУВАННЯ КОМБІНАЦІЙНИХ СХЕМ

У виробництві часто використовують комбінаційні керуючі схеми, які задають значення параметрів технологічного процесу залежно від логічних ознак. Схема об'єкту керування з двійковими логічними аргументами  $X_1, X_2, X_3$  та  $X_4$  на виході показана на рис. 5.1. Комбінаційна схема залежно від значення аргументів на вході виробляє керуючі двійкові сигнали від  $F_0$  до  $F_9$ .

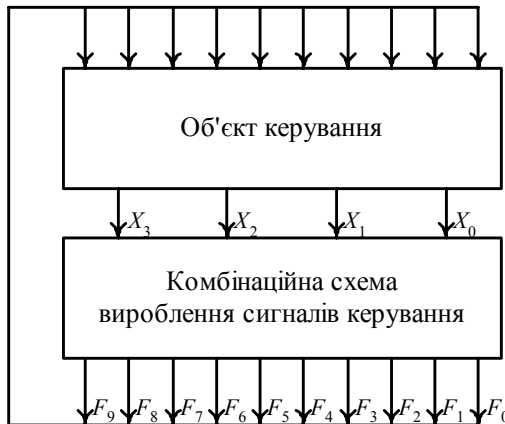


Рис. 5.1. Комбінаційна схема керування об'єктами

Комбінаційні схеми будуються на основі логічних елементів. Логічний стан виходів елементів комбінаційної схеми залежить тільки від комбінації вхідних сигналів у певний момент часу.

Областю визначення логічної функції  $F(X_1, X_2, \dots, X_n)$  є скінченна множина різних двійкових наборів довжиною  $n$ , на кожному з яких вказується значення функції нуль або одиниця. Кількість різних двійкових наборів дорівнює множині  $n$ -розрядних двійкових чисел  $m = 2^n$ .

Довільну булеву функцію можна задавати різними способами: словесним описом, часовими діаграмами, геометричними фігурами, графами, таблицями істинності та аналітичними виразами.

У разі задання функції таблицею істинності в лівій її частині подано усі можливі двійкові набори, а в правій – вказано значення функції на цих наборах.

Розроблено універсальні (канонічні) форми представлення булевих функцій, які дають можливість одержати аналітичну форму довільної функції безпосередньо з таблиці істинності. Ця форма надалі може бути мінімізована або спрощена. Оскільки між множиною аналітичних представлень і множиною схем, які реалізують цю функцію, існує взаємно однозначна відповідність, то пошук канонічної форми запису є початковим етапом синтезу логічних схем. Найбільше поширення одержали ДДНФ і ДКНФ. Для одержання цих форм вводяться поняття мінтермів (конституента 1) і макстермів (конституента 0).

Мінтерм – це функція  $n$  змінних, яка дорівнює одиниці тільки на одному наборі. Мінтерм одержують як кон'юнкцію  $n$  змінних, що входять до нього у прямому виді, якщо значення даної змінної в наборі  $X_i = 1$ , і – із запереченням, якщо  $X_i = 0$ .

Макстерм – це функція  $n$  змінних, яка дорівнює нулю тільки на одному наборі. Макстерм одержують як диз'юнкцію усіх змінних, що входять до нього у прямому вигляді, коли значення  $X_i = 0$ , або в інверсному вигляді, якщо значення  $X_i = 1$ .

Важливим етапом проектування комп'ютерних схем є мінімізація булевих функцій, тобто знаходження їх виражень з мінімальною кількістю букв. Мінімізація забезпечує побудову економічних схем комп'ютерів. Для мінімізації функцій із кількістю букв  $n \leq 6$  застосовують карти Карно. Їх будують у вигляді таблиць з  $2^n$  клі-

тинок з розміткою рядків і стовпчиків змінними. Кожна клітинка карти Карно однозначно відповідає одному наборові таблиці істинності для функції  $n$  змінних або мінтермам цієї функції. Клітинки карти Карно часто нумерують десятковими цифрами – номерами наборів.

При мінімізації для кожного мінтерму, який входить у ДДНФ функції, ставиться одиниця, а інші клітинки не заповнюються.

Мінтерми в сусідніх клітинках карти Карно в рядку (з урахуванням верхніх і нижніх) або в стовпчику (з урахуванням крайніх) розрізняються значенням однієї змінної, що дозволяє виконувати операцію склеювання за цією змінною.

Наведемо загальні правила мінімізації.

1. Зображають карту Карно для  $n$  змінних і розмічають її рядки та стовпчики. У клітинки таблиці, які відповідають мінтермам (одиночним наборам) функції, що мінімізується, записують одиницю.

2. Склеюванню підлягають прямокутні конфігурації, які заповнені одиницями і містять 1, 2, 4 або 8 клітинок. Верхні й нижні рядки, крайні ліві і праві стовпчики карти ніби склеюються, створюючи поверхню циліндра.

3. Множина прямокутників, які покривають усі одиниці, називається покриттям. Чим менше прямокутників і чим більше клітинок у прямокутниках, тим краще покриття. З декількох варіантів вибирають той, у якого менший коефіцієнт покриття  $z = r / s$ , де  $r$  – загальна кількість прямокутників;  $s$  – їх сумарна площа в клітинках.

4. Формули, отримані в результаті мінімізації, містять  $r$  елементарних кон'юнкцій (за кількістю прямокутників у покритті). Кожна кон'юнкція містить тільки ті змінні, які не змінюють свого значення в наборах, що склеюються у відповідному прямокутнику. Кількість змінних у кон'юнкції називають її рангом. Склеюючи дві сусідні клітинки, одержують ранг кон'юнкції  $n - 1$ , чотири клітинки –  $n - 2$ , вісім клітинок –  $n - 3$  і т. д.

Розмітку карт Карно для функцій чотирьох змінних показано на рис. 5.2. У клітинки карт записано значення мінтермів відповідно у двійковому і десятковому еквівалентах.



Мінімізацію функції  $F$  виконують на основі карти Карно (рис. 5.4) та діаграми Вейча (рис. 5.5).

Результати мінімізації:

$$F = \bar{X}_1\bar{X}_2\bar{X}_4 \vee \bar{X}_1X_3X_4 \vee X_2\bar{X}_3X_4 \vee X_1\bar{X}_2\bar{X}_3 \vee X_1X_2X_3\bar{X}_4; \quad z = 5/9.$$

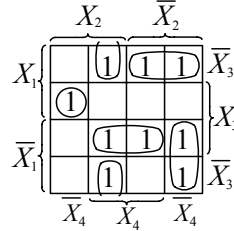
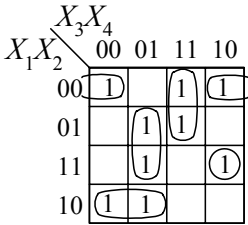


Рис. 5.4. Карти Карно для мінімізації булевої функції  $F$  чотирьох змінних

Рис. 5.5. Діаграма Вейча для мінімізації функції  $F$

Для побудови схеми на універсальних логічних елементах НЕ І рівняння перетворюються на основі правил подвійної інверсії та де Моргана до такого вигляду:

$$F = \overline{\bar{X}_1\bar{X}_2\bar{X}_4 \cdot \bar{X}_1X_3X_4 \cdot X_2\bar{X}_3X_4 \cdot X_1\bar{X}_2\bar{X}_3 \cdot X_1X_2X_3\bar{X}_4}.$$

Схему, що реалізує даний вираз, зображено на рис. 5.6.

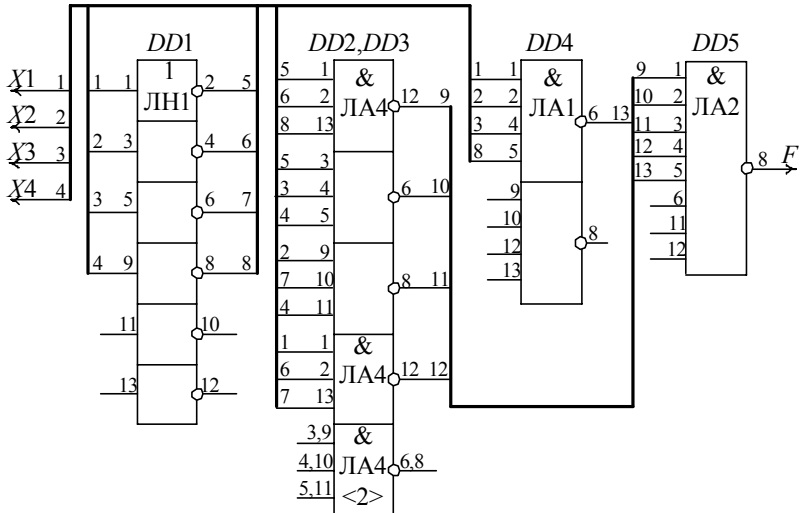


Рис. 5.6. Комбінаційна схема на елементах НЕ І для реалізації функції  $F$

Вартість комбінаційної схеми визначається загальною кількістю використаних корпусів мікросхем. Невикористані частини мікросхем утворюють резерв, або можуть бути використані для інших комбінаційних схем.

Для реалізації комбінаційної схеми, показаної на рис. 5.6, використано 4/6 корпусу мікросхеми КР1533ЛН1, 4/3 корпусу КР1533ЛА4, 1/2 – КР1533ЛА1, один корпус КР1533ЛА2; всього  $4/6+4/3+1/2+1=7/2$  або приблизно чотири мікросхеми.

Потужність, яку споживає комбінаційна схема, розраховують додаванням потужностей всіх мікросхем:

$$P_{к.с} = P_{ЛН1} + 2P_{ЛА4} + P_{ЛА1} + P_{ЛА2} = 13 + 14 + 7,0 = 34 \text{ мВт.}$$

Швидкодія комбінаційної схеми характеризується затримкою вихідного сигналу відносно вхідного. Вхідний сигнал послідовно проходить три логічні елементи, затримка кожного становить 9,5 нс. Таким чином, сумарна затримка сигналу схемою становить:

$$t_{к.с} = 3 \cdot 9,5 = 28,5 \text{ нс.}$$

## 5.2. ЛОГІЧНЕ ПРОЕКТУВАННЯ ДВІЙКОВОГО КОМБІНАЦІЙНОГО ПАРАЛЕЛЬНОГО СУМАТОРА

*Постановка задачі.* Необхідно спроектувати двійковий 16-розрядний комбінаційний суматор з послідовними перенесеннями між розрядами.

*Аналіз розмірності задачі.* Робота 16-розрядного суматора теоретично подається таблицею істинності з числом вхідних рядків

Таблиця 5.2. Таблиця істинності однорозрядного суматора

$X_i$	$Y_i$	$Z_i$	$S_i$	$P_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1

приблизно  $2^{32}$ , що практично неможливо. Тому багаторозрядний суматор розбивається на окремі модулі – однорозрядні суматори на три входи і два виходи. Спочатку проектують однорозрядний суматор, потім за допомогою ланцюгів перенесення будується багаторозрядний паралельний суматор.

*Формалізоване задання логіки роботи однорозрядного суматора.* Алгоритм роботи однорозрядного суматора відображається таблицею істинності (табл. 5.2).



На основі табл. 5.2 записується система логічних функцій для результату  $S_i$  та перенесення  $P_i$  у ДДНФ:

$$S_i = \bar{X}_i \bar{Y}_i Z_i \vee \bar{X}_i Y_i \bar{Z}_i \vee X_i \bar{Y}_i \bar{Z}_i \vee X_i Y_i Z_i; \quad (5.1)$$

$$P_i = \bar{X}_i Y_i Z_i \vee X_i \bar{Y}_i Z_i \vee X_i Y_i \bar{Z}_i \vee X_i Y_i Z_i. \quad (5.2)$$

Мінімізацію функцій (5.1) та (5.2) за допомогою карт Карно показано на рис. 5.7.

Як видно з карт Карно, функція результату  $S_i$  не мінімізується, а функція  $P_i$  мінімізується зі зниженням рангу кон'юнкції та використовує тільки прямі значення змінних:

$$P_i = X_i Y_i \vee X_i Z_i \vee Y_i Z_i = X_i Y_i \vee (X_i \vee Y_i) Z_i. \quad (5.3)$$

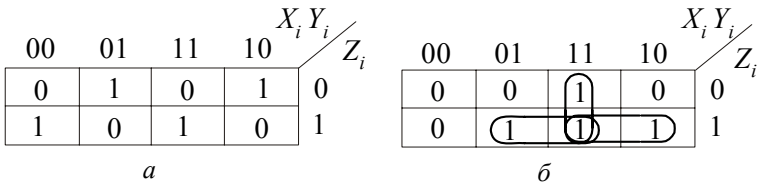


Рис. 5.7. Карты Карно для мінімізації функцій: *a* –  $S_i$ ; *б* –  $P_i$

Проектуючи комбінаційні однорозрядні суматори, враховують такі чинники:

- схема має характеризуватися регулярністю (подібністю) структури та мінімальною вартістю, тобто мати по можливості найменшу кількість логічних входів усіх елементів;
- для схем однорозрядних суматорів на основі рівнянь (5.1) і (5.2) необхідно виробляти як прямі  $P_i$ , так й інверсні  $\bar{P}_i$  значення функції перенесення. Таку організацію перенесень називають парафазною.

Для побудови схеми однорозрядного суматора на універсальних логічних елементах НЕ І рівняння (5.3) і (5.2) перетворюють згідно з правилами подвійної інверсії та де Моргана до такого вигляду:

$$S_i = \overline{\bar{X}_i \bar{Y}_i Z_i \cdot \bar{X}_i Y_i \bar{Z}_i \cdot X_i \bar{Y}_i \bar{Z}_i \cdot X_i Y_i Z_i}; \quad P_i = \overline{X_i Y_i \cdot X_i Z_i \cdot Y_i Z_i}. \quad (5.4)$$

Схему однорозрядного суматора, побудовану на елементах

НЕ I відповідно до рівнянь (5.4), показано на рис. 5.8, а; її вартість, яку вимірюють кількістю логічних входів усіх елементів, становить 27, каскадність  $k=3$ .

Рівняння (5.1) та (5.2) можна виразити через функцію ВИКЛЮЧАЛЬНЕ ЧИ:

$$S_i = (X_i \oplus Y_i)\bar{Z}_i \vee (\overline{X_i \oplus Y_i})Z_i = X_i \oplus Y \oplus Z_i; \quad (5.5)$$

$$P_i = X_i Y_i \vee (\bar{X}_i Y_i \vee X_i \bar{Y}_i)Z_i = X_i Y_i \vee (X_i \oplus Y_i)Z_i. \quad (5.6)$$

Схему однорозрядного суматора на елементах ВИКЛЮЧАЛЬНЕ ЧИ згідно з рівняннями (5.5) і (5.6) показано на рис. 5.8, б; її вартість становить вісім входів; каскадність  $k=2$ .

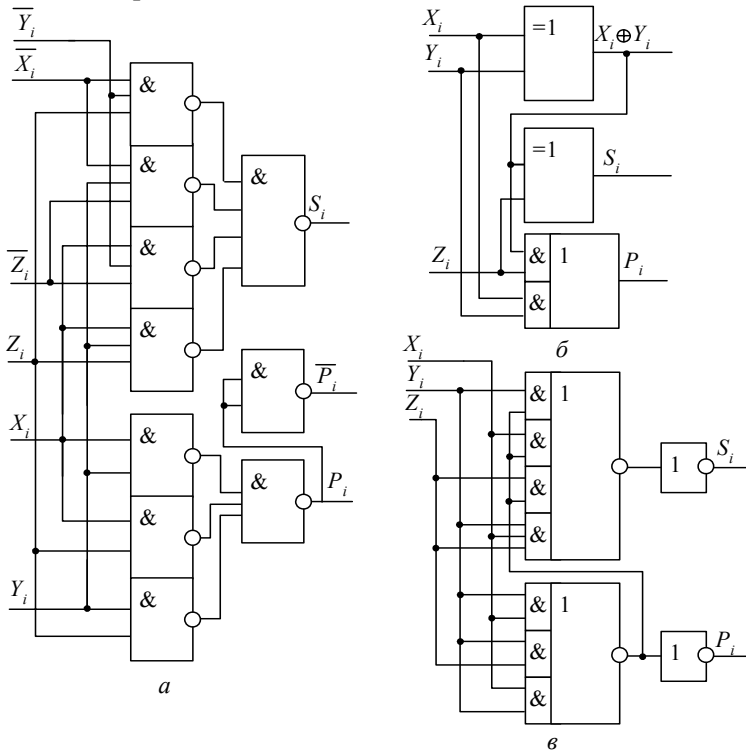


Рис. 5.8. Схеми однорозрядних суматорів: а – на елементах НЕ I; б – на елементах ВИКЛЮЧАЛЬНЕ ЧИ; в – з використанням власного перенесення

### 5.3. ПРОЕКТУВАННЯ ЛІНІЙНОГО ДЕШИФРАТОРА НА ТРИ ВХОДИ $X_1 - X_3$ І ВІСІМ ПРЯМИХ ВИХОДІВ $F_0 - F_7$

Логіка функціонування дешифратора задається таблицею істинності (табл. 5.3).

Таблиця 5.3. Таблиця істинності лінійного дешифратора «3→8»

$X_3$	$X_2$	$X_1$	$F_0$	$F_1$	$F_2$	$F_3$	$F_4$	$F_5$	$F_6$	$F_7$
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

На підставі даних табл. 5.3 записується система логічних рівнянь для прямих виходів лінійного дешифратора у ДДНФ:

$$\begin{aligned}
 F_0 &= \bar{X}_3 \bar{X}_2 \bar{X}_1; & F_1 &= \bar{X}_3 \bar{X}_2 X_1; & F_2 &= \bar{X}_3 X_2 \bar{X}_1; & F_3 &= \bar{X}_3 X_2 X_1; \\
 F_4 &= X_3 \bar{X}_2 \bar{X}_1; & F_5 &= X_3 \bar{X}_2 X_1; & F_6 &= X_3 X_2 \bar{X}_1; & F_7 &= X_3 X_2 X_1.
 \end{aligned}
 \tag{5.7}$$

Згідно із системою (5.7) для побудови лінійного дешифратора «3→8» необхідно використати 8 триходових логічних елементів І та три елементи НЕ (рис. 5.9).

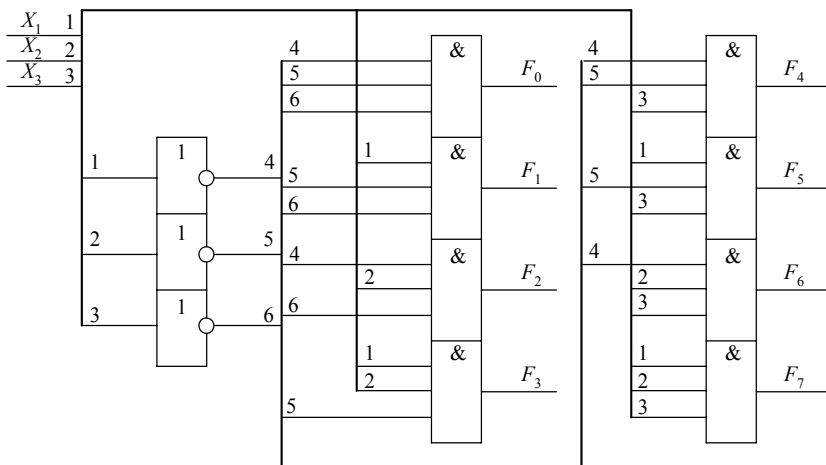


Рис. 5.9. Принципіальна схема лінійного дешифратора «3→8» з прямими виходами

**5.4. ПРОЕКТУВАННЯ ЛІНІЙНОГО ДЕШИФРАТОРА НА ТРИ ВХОДИ  $X_1-X_3$  І ВІСІМ ІНВЕРСНИХ ВИХОДІВ  $L_0-L_7$ .**

Логіка функціонування дешифратора задається таблицею істинності (табл. 5.4).

Таблиця 5.4. Таблиця істинності дешифратора з інверсними виходами

$X_3$	$X_2$	$X_1$	$L_0$	$L_1$	$L_2$	$L_3$	$L_4$	$L_5$	$L_6$	$L_7$
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

На підставі даних табл. 5.4 записується система логічних рівнянь для інверсних виходів лінійного дешифратора у ДКНФ:

$$L_0 = X_3 \vee X_2 \vee X_1; L_1 = X_3 \vee X_2 \vee \bar{X}_1; L_2 = X_3 \vee \bar{X}_2 \vee X_1;$$

$$L_3 = X_3 \vee \bar{X}_2 \vee \bar{X}_1; L_4 = \bar{X}_3 \vee X_2 \vee X_1; L_5 = \bar{X}_3 \vee X_2 \vee \bar{X}_1; \quad (5.8)$$

$$L_6 = \bar{X}_3 \vee \bar{X}_2 \vee X_1; L_7 = \bar{X}_3 \vee \bar{X}_2 \vee \bar{X}_1.$$

Згідно із системою (5.8) для побудови схеми лінійного дешифратора «3→8» з інверсними виходами необхідно використати вісім триходових логічних елементів ЧИ та три елементи НЕ (рис. 5.10).

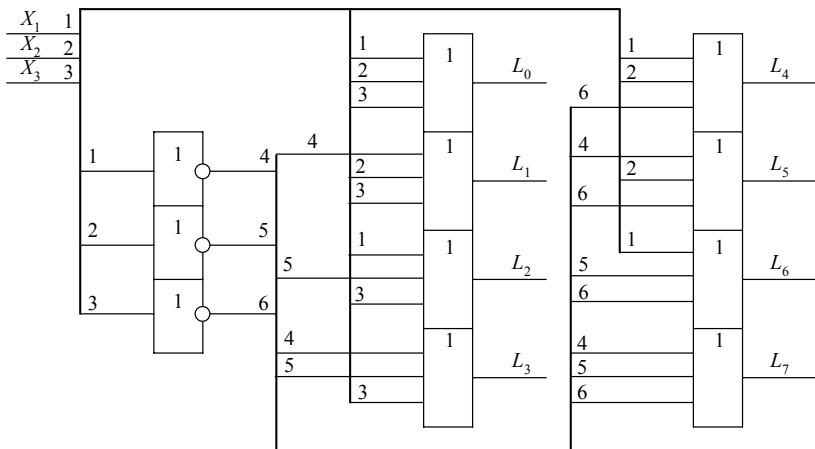


Рис. 5.10. Принципіальна схема лінійного дешифратора «3→8» з інверсними виходами

### 5.5. ПРОЕКТУВАННЯ ПІРАМІДАЛЬНОГО ДЕШИФРАТОРА «3→8» З ПРЯМИМИ ВИХОДАМИ

Логіка роботи пірамідального дешифратора на три входи  $X_1$ – $X_3$  і вісім виходів  $F_0$ – $F_7$  задається табл. 5.3 та системою логічних рівнянь (5.7). Для побудови схеми пірамідального дешифратора на першому ступені дешифрують молодші розряди  $X_1, X_2$ , а на другому ступені формуються вихідні функції з урахуванням змінних  $X_3$  і  $\bar{X}_3$  (рис. 5.11).

На першому ступені формується система рівнянь:

$$K_0 = \bar{X}_2 \bar{X}_1; \quad K_1 = \bar{X}_2 X_1; \quad K_2 = X_2 \bar{X}_1; \quad K_3 = X_2 X_1.$$

На другому ступені формуються вихідні функції:

$$F_0 = \bar{X}_3 K_0; \quad F_1 = \bar{X}_3 K_1; \quad F_2 = \bar{X}_3 K_2; \quad F_3 = \bar{X}_3 K_3;$$

$$F_4 = X_3 K_0; \quad F_5 = X_3 K_1; \quad F_6 = X_3 K_2; \quad F_7 = X_3 K_3.$$

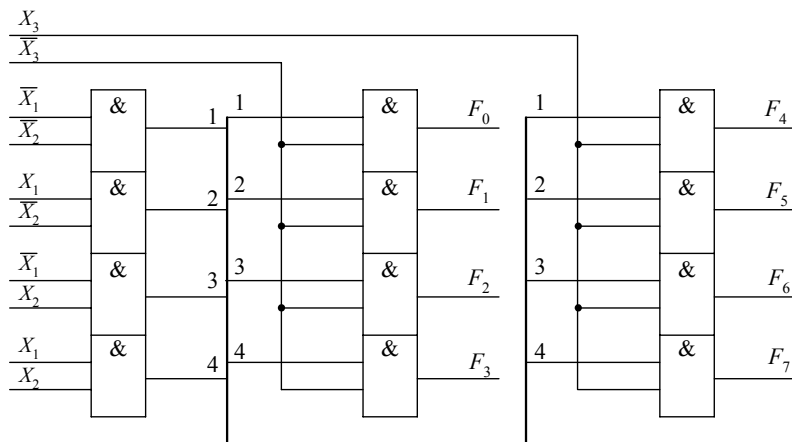


Рис. 5.11. Принципіальна схема пірамідального дешифратора «3→8»

### 5.6. ПРОЕКТУВАННЯ МАТРИЧНОГО ДЕШИФРАТОРА НА ЧОТИРИ ВХОДИ $X_1$ – $X_4$ І ШІСТНАДЦЯТЬ ВИХОДІВ $F_0$ – $F_{15}$

У матричному дешифраторі вхідне слово ділиться на дві частини, які одночасно дешифруються дешифратором рядків (старші розряди) і дешифратором стовпців (молодші розряди). Вихідні функції формуються за допомогою двовходових логічних елементів І.

Система вихідних функцій дешифратора «4→16» подається у вигляді таких скорочених значень:

$$\begin{aligned}
 F_0 &= a_0 b_0; & F_4 &= a_1 b_0; & F_8 &= a_2 b_0; & F_{12} &= a_3 b_0; \\
 F_1 &= a_0 b_1; & F_5 &= a_1 b_1; & F_9 &= a_2 b_1; & F_{13} &= a_3 b_1; \\
 F_2 &= a_0 b_2; & F_6 &= a_1 b_2; & F_{10} &= a_2 b_2; & F_{14} &= a_3 b_2; \\
 F_3 &= a_0 b_3; & F_7 &= a_1 b_3; & F_{11} &= a_2 b_3; & F_{15} &= a_3 b_3,
 \end{aligned}$$

де введено дворозрядні функції  $a_i$  і  $b_i$ :

$$\begin{aligned}
 b_0 &= \bar{X}_2 \bar{X}_1; & b_1 &= \bar{X}_2 X_1; & b_2 &= X_2 \bar{X}_1; & b_3 &= X_2 X_1; \\
 a_0 &= \bar{X}_4 \bar{X}_3; & a_1 &= \bar{X}_4 X_3; & a_2 &= X_4 \bar{X}_3; & a_3 &= X_4 X_3.
 \end{aligned}$$

Схему матричного дешифратора «4→16» показано на рис. 5.12.

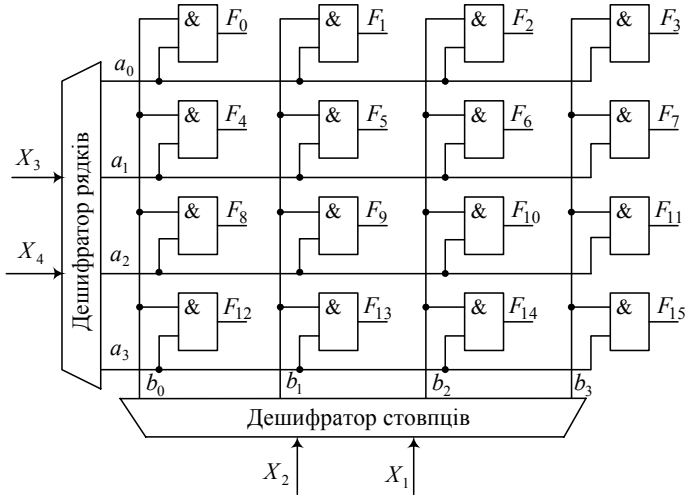


Рис. 5.12. Схема матричного дешифратора

## 5.7. ПРОЕКТУВАННЯ МУЛЬТИПЛЕКСОРІВ З ВНУТРІШНІМ ДЕШИФРАТОРОМ ТА З АДРЕСНИМИ МІНТЕРМАМИ

Логіку роботи чотиривходового мультиплексора наведено в табл. 5.5, де  $A_0, A_1$  – адресний код;  $F_0, F_1, F_2, F_3$  – виходи внутрішнього дешифратора;  $X_0, X_1, X_2, X_3$  – вхідна інформація;  $D$  – загальний інформаційний вихід.

Таблиця 5.5. Таблиця мікрооперацій мультиплексора

$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	$F_3$	$D$
0	0	1	0	0	0	$F_0 X_0$
0	1	0	1	0	0	$F_1 X_1$
1	0	0	0	1	0	$F_2 X_2$
1	1	0	0	0	1	$F_3 X_3$

На підставі даних табл. 5.5 вираз для вихідної функції  $D$  можна подати з використанням виходів  $F_0 - F_3$  внутрішнього дешифратора у вигляді

$$D = F_0 X_0 \vee F_1 X_1 \vee F_2 X_2 \vee F_3 X_3, \quad (5.9)$$

або з мінтермами адресного коду:

$$D = \overline{A_1} \overline{A_0} X_0 \vee \overline{A_1} A_0 X_1 \vee A_1 \overline{A_0} X_2 \vee A_1 A_0 X_3. \quad (5.10)$$

Схеми мультимплексорів, відповідні рівнянням (5.9) і (5.10), показано на рис. 5.13.

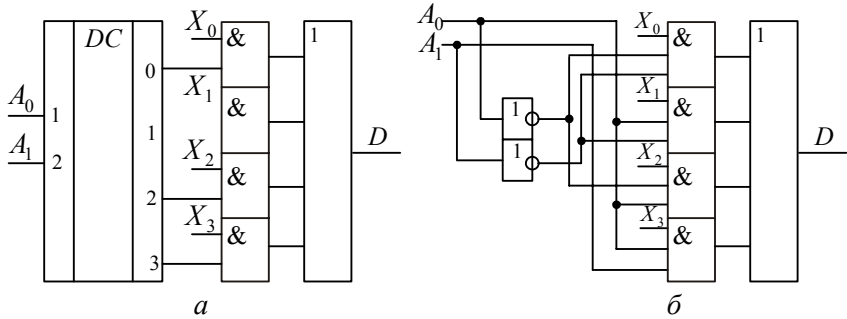


Рис. 5.13. Схеми мультимплексорів: *a* – з внутрішнім дешифратором; *б* – з адресними мінтермами

### 5.8. ПРОЕКТУВАННЯ ДЕМУЛЬТИПЛЕКСОРІВ З ВНУТРІШНІМ ДЕШИФРАТОРОМ ТА З ПОЄДНАННЯМ АДРЕСНИХ І ВХІДНИХ ЗМІННИХ

Логіку роботи двоадресного демультимплексора мовою мікрооперацій наведено в табл. 5.6, де  $D$  – інформаційний вхід;  $F_0, F_1, F_2$  і  $F_3$  – виходи внутрішнього дешифратора адреси.

Таблиця 5.6. Таблиця мікрооперацій демультимплексора

$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	$F_3$	$X_0$	$X_1$	$X_2$	$X_3$
0	0	1	0	0	0	$F_0 D$	–	–	–
0	1	0	1	0	0	–	$F_1 D$	–	–
1	0	0	0	1	0	–	–	$F_2 D$	–
1	1	0	0	0	1	–	–	–	$F_3 D$

За даними табл. 5.6 запишемо систему рівнянь для інформаційних виходів:

$$X_0 = F_0 D = \overline{A_1} \overline{A_0} D; \quad X_1 = F_1 D = \overline{A_1} A_0 D;$$

$$X_2 = F_2 D = A_1 \overline{A_0} D; \quad X_3 = F_3 D = A_1 A_0 D.$$

На підставі цих рівнянь будуюмо схеми демультиплексорів із внутрішнім дешифратором (рис. 5.14, а) і з поєднанням адресних і вхідних змінних на триходових елементах І (рис. 5.14, б).

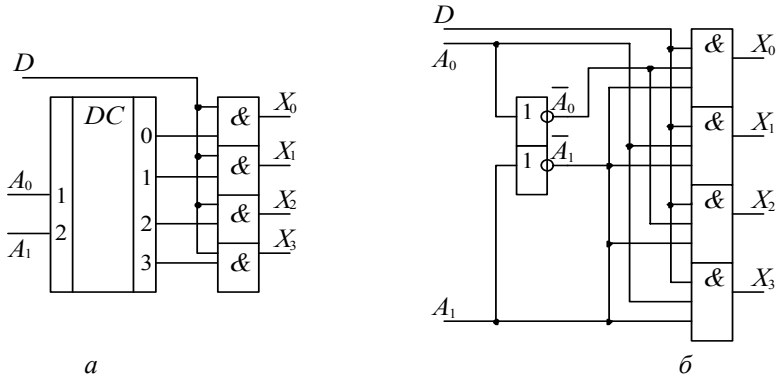


Рис. 5.14. Схема демультиплексорів: а – з внутрішнім дешифратором; б – з поєднанням адресних і вхідних змінних

### 5.9. ПРОЕКТУВАННЯ СХЕМИ ПОРІВНЯННЯ СЛОВА З КОНСТАНТОЮ

Припустимо, що потрібно отримати ознаки відношень двійкового слова  $A=A_2A_1A_0$  з такими заданими константами:

$$F_1 := (A=000); \quad F_2 := (A=111) \quad \text{і} \quad F_3 := (A \leq 011).$$

На підставі табл. 5.7 значення ознак відношення слова  $A$  з константами запишемо у вигляді

$$F_1 = \overline{A_2} \overline{A_1} \overline{A_0}; \quad F_2 = A_2 A_1 A_0; \quad F_3 = \overline{A_2}. \quad (5.11)$$

Схему порівняння слова з константою згідно з виразами (5.11) показано на рис. 5.15.

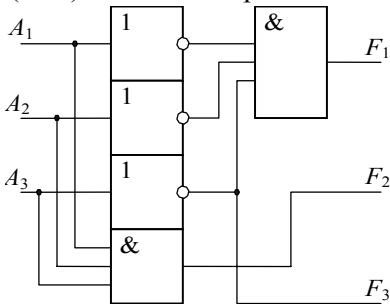


Рис. 5.15. Схема порівняння слова з константою

Таблиця 5.7. Логіка порівняння слова з константою

$A_2$	$A_1$	$A_0$	$F_1$	$F_2$	$F_3$
0	0	0	1	0	1
0	0	1	0	0	1
0	1	0	0	0	1
0	1	1	0	0	1
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	0	1	0



## 5.10. ПРОЕКТУВАННЯ СХЕМИ ПОРІВНЯННЯ ДВІЙКОВИХ СЛІВ $A$ І $B$

Багаторозрядні двійкові слова рівні між собою, коли одночасно попарно дорівнюють один одному всі їхні розряди, тобто  $A(n) = B(n)$ , якщо  $A_i = B_i$ ,  $i = 1, 2, \dots, n$ .

На підставі даних табл. 5.8, яка задає умову рівності  $r_i$  двох  $i$ -х розрядів  $A$  і  $B$ , отримаємо

$$r_i = \overline{A_i} \overline{B_i} \vee A_i B_i = \overline{A_i \oplus B_i} = \overline{M_i}, \quad (5.12)$$

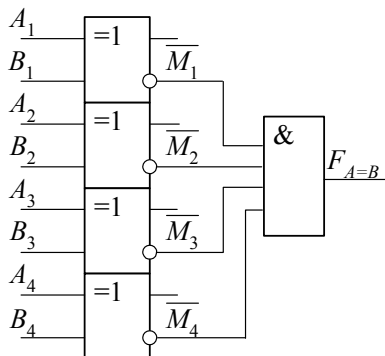
де  $M_i$  – функція додавання за модулем два (ВИКЛЮЧАЛЬНЕ ЧИ).

Ознака рівності двох  $n$ -розрядних слів  $P_{A=B}$  визначається логічним добутком порозрядних умов  $r_i$ :

$$F_{A=B} = r_n r_{n-1} \dots r_1 = \overline{M_n} \cdot \overline{M_{n-1}} \dots \overline{M_1}. \quad (5.13)$$

Схему порівняння двох чотирирозрядних слів  $A$  і  $B$  згідно з виразом (5.13) показано на рис. 5.16. Схема вміщує чотири логічні елементи ВИКЛЮЧАЛЬНЕ ЧИ і один кон'юнктор.

Рис. 5.16. Схема порівняння двох чотирирозрядних слів  $A$  і  $B$



Таблиця 5.8. Логіка порівняння  $i$ -х розрядів  $A$  і  $B$

$A_i$	$B_i$	$r_i$
0	0	1
0	1	0
1	0	0
1	1	1

## 5.11. ПРОЕКТУВАННЯ СХЕМИ ПОРІВНЯННЯ ДВОХ СЛІВ «НА БІЛЬШЕ»

Схема порівняння двох слів  $A$  і  $B$  «на більше» за абсолютним значенням виробляє ознаку  $F_{A>B}$  і будується за таким алгоритмом:

- аналіз нерівності слів  $A$  і  $B$  виконується послідовно в напрямку від старших розрядів до молодших;
- молодші розряди включаються в аналіз в тому випадку, коли старші розряди однакові (еквівалентні);
- для отримання ознаки  $F_{A>B}$  будується диз'юнктивна сума порозрядних умов.

Логіку порівняння розрядів  $A$  і  $B$  наведено в табл. 5.9, де  $C_i$  – ознака  $A_i > B_i$ ;  $r_i$  – умова підключення до аналізу сусідніх молодших розрядів обох слів.

Таблиця 5.9. Логіка порівняння розрядів  $A$  і  $B$

$A_i$	$B_i$	$C_i$	$r_i$
0	0	0	1
0	1	0	0
1	0	1	0
1	1	0	1

На підставі даних табл. 5.9 отримуємо такі вирази:

$$C_i = A_i \bar{B}_i; r_i = \bar{A}_i \bar{B}_i \vee A_i B_i = \overline{A_i \oplus B_i} = \bar{M}_i. \quad (5.14)$$

З урахуванням виразу (5.14) і алгоритму аналізу функцію ознаки  $F_{A>B}$  представляємо у вигляді:

$$F_{A>B} = C_n \vee r_n C_{n-1} \vee \dots \vee r_n r_{n-1} \dots r_2 C_1. \quad (5.15)$$

Для порівняння двох чотирирозрядних слів «на більше» ознаку нерівності згідно з виразом (5.15) подаємо так:

$$\begin{aligned} F_{A>B} &= C_4 \vee r_4 C_3 \vee r_4 r_3 C_2 \vee r_4 r_3 r_2 C_1 = \\ &= A_4 \bar{B}_4 \vee \bar{M}_4 A_3 \bar{B}_3 \vee \bar{M}_4 \bar{M}_3 A_2 \bar{B}_2 \vee \bar{M}_4 \bar{M}_3 \bar{M}_2 A_1 \bar{B}_1. \end{aligned} \quad (5.16)$$

Схему порівняння «на більше» двох чотирирозрядних слів  $A$  і  $B$  згідно із співвідношенням (5.16) показано на рис. 5.17.

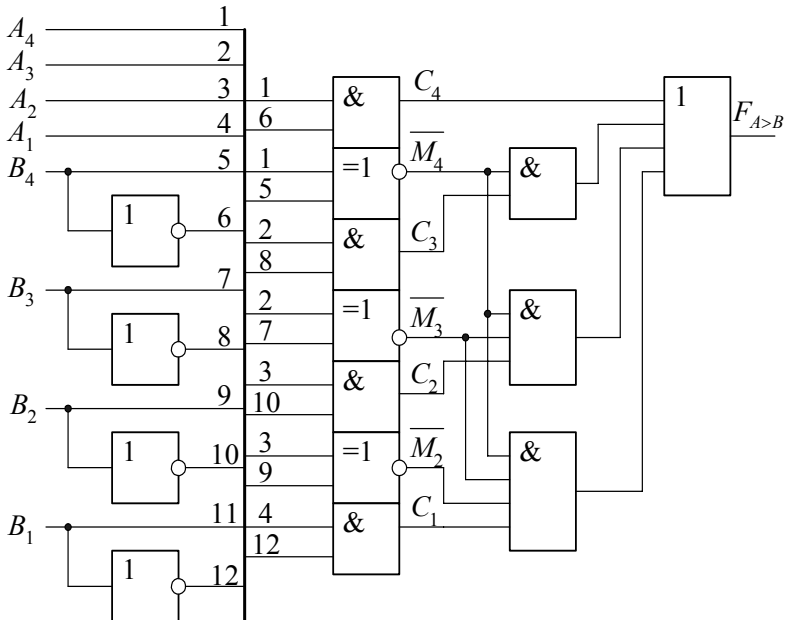


Рис. 5.17. Схему порівняння двох слів «на більше»

## 5.12. ПРОЕКТУВАННЯ СХЕМ КОНТРОЛЮ ЗА ПАРНІСТЮ

У разі контролю за парністю значення контрольного (паратетного) біта визначається додаванням за модулем два значень розрядів байта:

$$F_{\text{к.п}} = A_1 \oplus A_2 \oplus A_3 \oplus A_4 \oplus A_5 \oplus A_6 \oplus A_7 \oplus A_8. \quad (5.17)$$

У разі контролю за непарністю значення контрольного біта набуває такого виразу:

$$F_{\text{к.н}} = A_1 \oplus A_2 \oplus A_3 \oplus A_4 \oplus A_5 \oplus A_6 \oplus A_7 \oplus A_8 = \overline{F_{\text{к.п}}}. \quad (5.18)$$

Умову парності отримуємо складанням за модулем два восьмирозрядного слова, що реалізується за допомогою ступінчастого включення двовходових елементів ВИКЛЮЧАЛЬНЕ ЧИ (рис. 5.18):

- на першому рівні отримують функції  $F_1 - F_4$ :

$$F_1 = A_1 \oplus A_2; \quad F_2 = A_3 \oplus A_4; \quad F_3 = A_5 \oplus A_6; \quad F_4 = A_7 \oplus A_8; \quad (5.19)$$

- на другому і третьому рівнях реалізуються функції:

$$F_5 = F_1 \oplus F_2; \quad F_6 = F_3 \oplus F_4; \quad M = F_5 \oplus F_6. \quad (5.20)$$

Для задання ознаки контролю вводиться керуючий сигнал  $V$ , який разом із сигналом  $M$  поступає на входи схеми ВИКЛЮЧАЛЬНЕ ЧИ в четвертому рівні; на прямому й інверсному виходах цього рівня формуються пряме й інверсне значення контрольного розряду:

$$F = M \oplus V; \quad \overline{F} = \overline{M \oplus V}.$$

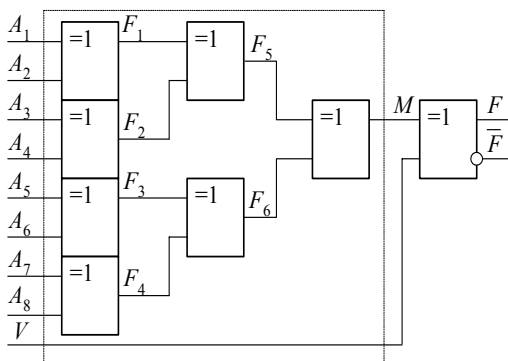


Рис. 5.18. Схема контролю за парністю

## 5.13. ПРОЕКТУВАННЯ СХЕМИ ПЕРЕТВОРЮВАЧА ПРЯМОГО КОДУ В ОБЕРНЕНИЙ

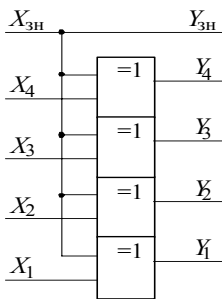
У прямому двійковому коді  $X_{\text{пр}} = X_{\text{зн}} X_{n-1} \dots X_1$  один розряд, звичайно старший, відображає знак числа, інші – значення цифрових розрядів; при цьому для додатного числа  $X_{\text{зн}} = 0$ , а для від’ємного  $X_{\text{зн}} = 1$ .

Обернений код додатного двійкового числа збігається з прямим кодом, а для від'ємного числа цифрові розряди прямого коду інвертуються.

У процесі перетворення прямого коду в обернений значення знакового розряду  $X_{zn}$  використовується як керуючий сигнал, що забезпечує отримання такого виразу:

$$Y_i = \bar{X}_{zn} X_i \vee X_{zn} \bar{X}_i = X_{zn} \oplus X_i, \quad (5.21)$$

де  $Y_i$  – значення  $i$ -го розряду оберненого коду;  $X_i$  – значення  $i$ -го розряду додатного вхідного числа ( $X_{zn} = 0$ );  $\bar{X}_i$  – значення  $i$ -го розряду від'ємного вхідного числа ( $\bar{X}_{zn} = 1$ ).



Схему п'ятирозрядного перетворювача прямого коду в обернений, побудовану на елементах ВИКЛЮЧАЛЬНЕ ЧИ відповідно до виразу (5.21), показано на рис. 5.19.

Рис. 5.19. Схема перетворювача прямого коду в обернений

### 5.13. ПРОЕКТУВАННЯ СХЕМИ ПЕРЕТВОРЮВАЧА ПРЯМОГО КОДУ В ДОПОВНЯЛЬНИЙ

Доповняльний код додатного двійкового числа збігається з його прямим і оберненим кодами. Доповняльний код від'ємного двійкового числа утворюється з його оберненого коду додаванням до молодшого розряду одиниці.

Знаковий розряд прямого коду використовується як керуючий сигнал: якщо  $X_{zn} = 0$ , то вихідний код повторює значення вхідного; якщо  $X_{zn} = 1$  реалізується перетворення згідно з табл. 5.10.

Таблиця 5.10. Відповідність між кодами беззнакових розрядів

Прямий код				Доповняльний код				Прямий код				Доповняльний код			
$X_4$	$X_3$	$X_2$	$X_1$	$Y_4$	$Y_3$	$Y_2$	$Y_1$	$X_4$	$X_3$	$X_2$	$X_1$	$Y_4$	$Y_3$	$Y_2$	$Y_1$
0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
0	0	0	1	1	1	1	1	1	0	0	1	0	1	1	1
0	0	1	0	1	1	1	0	1	0	1	0	0	1	1	0
0	0	1	1	1	1	0	1	1	0	1	1	0	1	0	1
0	1	0	0	1	1	0	0	1	1	0	0	0	1	0	0
0	1	0	1	1	0	1	1	1	1	0	1	0	0	1	1
0	1	1	0	1	0	1	0	1	1	1	0	0	0	1	0
0	1	1	1	1	0	0	1	1	1	1	1	0	0	0	1

Карту Карно відповідно до табл. 5.10 для отримання мінімальних форм функцій перетворення прямого коду в доповняльній показано на рис. 5.20.

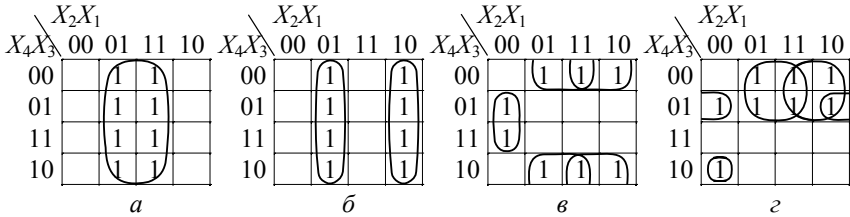


Рис. 5.20. Карта Карно для функцій перетворювача прямого коду в доповняльній: *a* –  $Y_1$ ; *б* –  $Y_2$ ; *в* –  $Y_3$ ; *з* –  $Y_4$

На основі карт Карно з урахуванням знакового розряду  $X_{зн}$  прямого коду для функцій  $Y_1, Y_2, Y_3, Y_4$ , що представляють виходи перетворювача, отримуємо:

$$Y_{зн} = X_{зн}; \quad Y_1 = X_1; \quad Y_2 = X_2 \oplus X_1 X_{зн}; \quad (5.22)$$

$$Y_3 = X_3 \oplus (X_2 \vee X_1) X_{зн}; \quad Y_4 = X_4 \oplus (X_3 \vee X_2 \vee X_1) X_{зн}.$$

У загальному вигляді для  $Y_i$  справедливе рівняння:

$$Y_i = X_i \oplus (X_{i-1} \vee X_{i-2} \vee \dots \vee X_1) X_{зн}. \quad (5.23)$$

Схеми перетворювачів прямого коду в доповняльній на основі виразів (5.22) і (5.23) показано на рис. 5.21.

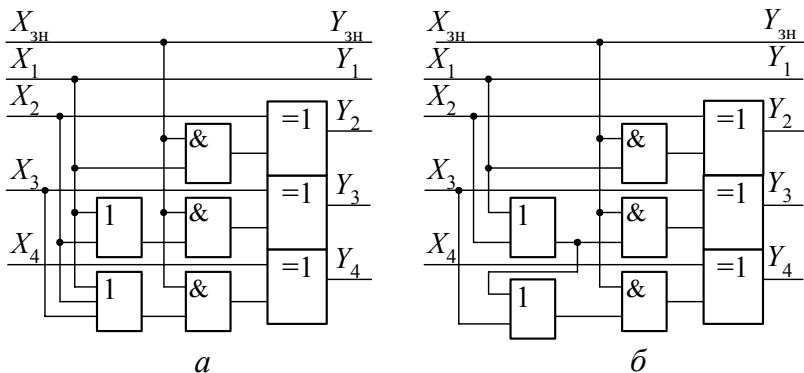


Рис. 5.21. Схеми перетворювачів прямого коду в доповняльній

## **6. ПРИКЛАДИ ПРОЕКТУВАННЯ СПЕЦІАЛІЗОВАНИХ АРИФМЕТИКО-ЛОГІЧНИХ ПРИСТРОЇВ**

### **6.1. ПРОЕКТУВАННЯ СПЕЦІАЛІЗОВАНОГО АРИФМЕТИКО-ЛОГІЧНОГО ПРИСТРОЮ ДЛЯ ОПЕРАЦІЇ ДОДАВАННЯ. ШИФР – АЛПІ**

#### **6.1.1. Початкові дані до проекту (роботи):**

- тип арифметичної операції – додавання двійкових чисел;
- початковий код подання операндів – доповняльний;
- розрядність операндів – 8 біт;
- код виконання операції у суматорі – доповняльний модифікований;
- структура операційного блока – із закріпленими мікроопераціями;
- тип керуючого блока – автомат Мура з пам'яттю на *JK*-тригерах;
- схема логічної ознаки переповнення розрядної сітки;
- схема логічного порозрядного додавання кодів вхідних операндів *A* і *B*.

#### **6.1.2. Елементна база – інтегральні схеми ТТЛШ серій К1531, КР1533**

Перелік обов'язкового графічного матеріалу:

- граф-схеми мікропрограми додавання;
- АЛП1. Схема електрична функціональна;
- АЛП1. Схема електрична принципальна;
- АЛП1. Перелік елементів (специфікація).

Потрібно виконати розрахунки:

- кількості мікросхем у пристрої АЛП1;
- споживаної потужності;
- швидкодії АЛП1 на прикладі операції додавання типу «регістр–регістр».

#### **6.1.3. Алгоритм додавання двійкових чисел**

Додавання і віднімання двійкових чисел можна виконувати в обернених або доповняльних кодах та їх модифікаціях. У сучасних комп'ютерах часто операнди зберігаються в пам'яті в доповняльних

кодах. Використання доповняльних кодів в операціях додавання і віднімання та для зберігання операндів у пам'яті має такі переваги:

- однозначне подання знака результату як додатного, так і від'ємного;
- під час записування в пам'ять від'ємного результату не витрачається час для його перетворення в прямий код;
- менше дій для аналізу знака результату, зокрема переповнення розрядної сітки.

Алгоритм додавання двійкових чисел:

- у першому і другому машинних тактах із вхідної шини паралельним кодом записуються операнди  $A$  і  $B$  у відповідні регістри  $RGA$  і  $RGB$ . Зчитування операндів здійснюється ЦПК;
- протягом одного машинного такту виконується мікрооперація додавання;
- за відсутності переповнення розрядної сітки результат записується у регістр  $RGC$ ;
- за наявності переповнення результат не фіксується і в ЦПК подається сигнал переповнення ПП.

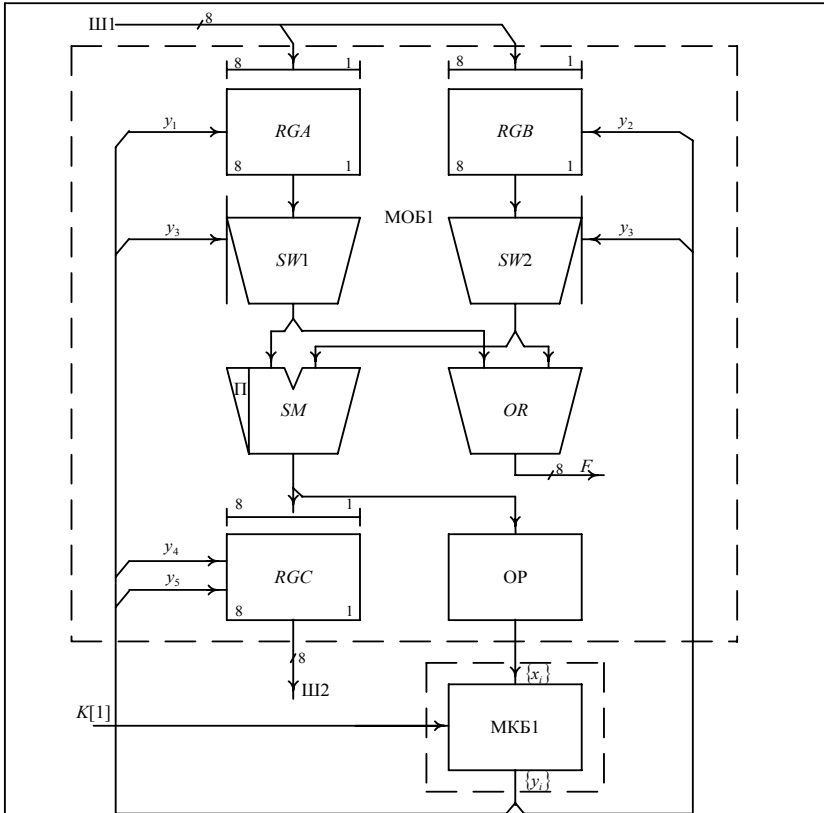
#### **6.1.4. Функціональна схема АЛП для виконання операції додавання**

Функціональну схему восьмирозрядного АЛП1 для виконання операції додавання показано на рис. 6.1. Схема АЛП1 містить:

- регістри  $RGA$  і  $RGB$  для приймання і подальшого зберігання із вхідної шини Ш1 першого і другого операндів;
- паралельний комбінаційний суматор з додатковим старшим розрядом знака П для створення модифікованого доповняльного коду;
- регістр результату  $RGC$ , дані з якого пересилаються по вихідній шині Ш2 в оперативну пам'ять;
- схеми електронних ключів  $SW1$  і  $SW2$ ;
- схему вироблення ознак переповнення  $OP$ ;
- схему диз'юнкторів  $OR$  для виконання операцій порозрядного логічного додавання кодів операндів  $A$  і  $B$ .

Ознаки результату обчислюються за допомогою булевих виразів:

$$\varphi_1 = \overline{P} \cdot \overline{SM}[n] - \text{додатний результат (знаки 00);}$$



МОБ1 - модуль операційного блока  
 SW1, SW2 - схеми електронних ключів  
 OR - схема порозрядного логічного додавання  
 OP - схема ознаки результату  
 МКБ1 - модуль керуючого блока

					НАУ 03 15 41 004 Е2				
Зм	Лит	№ док.ум.	Підпис	Дата	АЛПІ Схема електрична функціональна		Літера	Маса	Масштаб
Виконав	Петренко П.П.						К	П	
Керівник	Клименко П.						Лист	1	Листів
Консульт.							ФКТ ІТ зр. 301 091501		
Перевірив									
Н.контр.									
Зав.каф.	Сухорезко С.С.								

Рис. 6.1. Функціональна схема АЛПІ для додавання чисел



$\varphi_2 = \Pi \cdot SM[n]$  – від’ємний результат (знаки 11);

$\varphi_3 = \overline{\Pi} \cdot SM[n] \vee \Pi \cdot \overline{SM}[n]$  – переповнення розрядної сітки ПП (знаки дорівнюють 01 чи 10);

$\varphi_4 = \bigwedge_{i=1}^{n+1} \overline{SM}[i]$  – нульовий результат.

Після закінчення операції КА аналізує ознаки результату і встановлює значення відповідних тригерів ознак. Ознака переповнення перевіряється до закінчення операції і за її наявності виконання програми переривається.

Ознака *OR* реалізується за допомогою восьми логічних двохходових елементів ЧИ за співвідношенням

$$F_i = (A_i \vee B_i), \quad i = 1, 2, \dots, 8,$$

де  $F_i$  –  $i$ -й вихід вузла логічного додавання. Ця операція виконується автоматично незалежно від коду команди.

### 6.1.5. Мікропрограма додавання

Мікропрограма додавання двійкових чисел у доповняльних кодах має такий вигляд.

Початок. Якщо  $K[1]$ , то  $M_1$ , інакше – чекати

$M_1 \quad y_1 : RGA := A$  <приймання першого операнда>

$y_2 : RGB := B$  <приймання другого операнда>

$y_3 : SM := A + B$  <додавання>

Якщо  $\varphi_3$ , то  $M_2$ , інакше

$y_4 : RGC := SM$  <присвоєння результату>

$y_5 : Ш2 := RGC$  <пересилання в пам’ять>

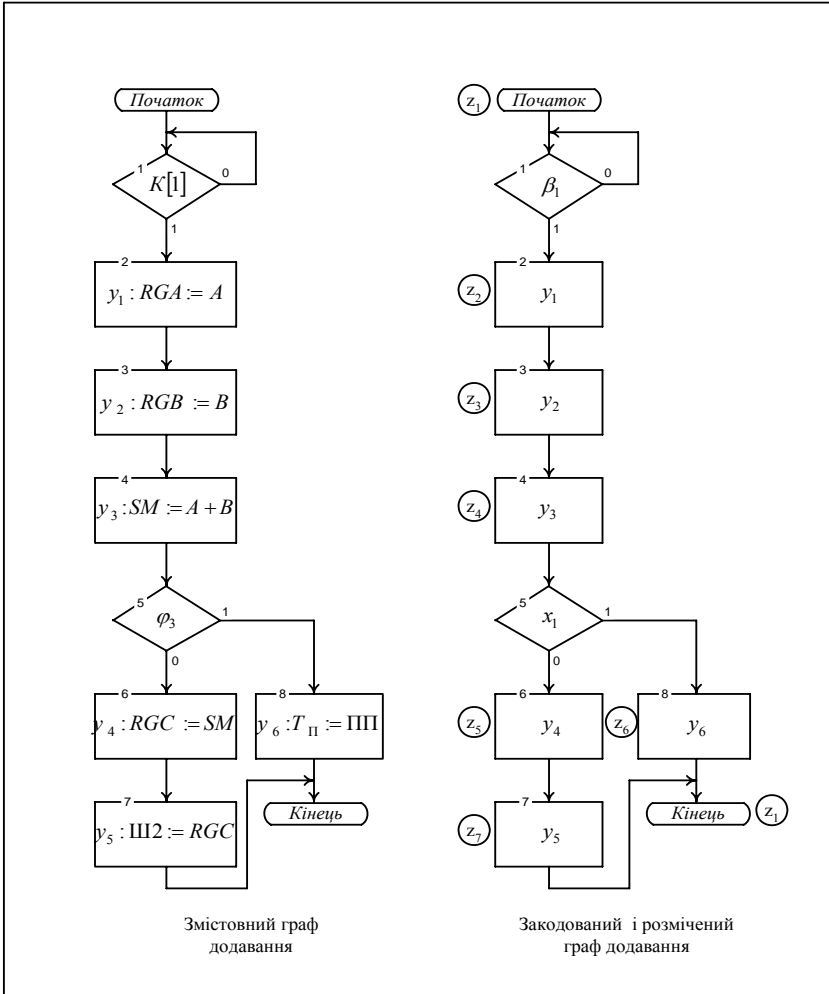
Перейти до  $M_3$

$M_2 \quad y_6 : Tп := ПП$  <тригеру переповнення  $Tп$  присвоюється ознака ПП>

$M_3$  Кінець.

*Примітка.*  $K[1]$  – однорозрядний код команди додавання.

Змістовний і закодований графі мікропрограми додавання показано на рис. 6.2.



					<i>НАУ 03 15 41 005 ГМ</i>					
					<i>АЛПП</i> <i>Графи мікропрограми додання</i>					
<i>Зм.</i>	<i>Лит</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>				<i>Літера</i>	<i>Маса</i>	<i>Масштаб</i>
<i>Виконав</i>	<i>ПетренкоПП.</i>							К	П	
<i>Керівник</i>	<i>ВаленкоПІ</i>							<i>Лист 1   Листів</i>		
<i>Консульт.</i>								ФКТ ІІТ зр. 301 091501		
<i>Перевірив</i>										
<i>Н. контр.</i>										
<i>Зав.каф.</i>	<i>СидороваСС.</i>									

Рис. 6.2. Графи мікропрограми додання

### 6.1.6. Принципіальна схема модуля операційного блока МОБ1

Модуль МОБ1 будується на мікросхемах ТТЛШ серії КР1533 за винятком суматора, взятого із серії К1531.

Для побудови принципіальної схеми модуля МОБ1 використано такі мікросхеми (рис. 6.3, лист 1):

- два вхідні восьмирозрядні регістри *RGA* і *RGB* типу ИР35, позиційне позначення *DD1*, *DD2*;

- дві мікросхеми типу ЛЛ1, кожна з яких містить по чотири двовходових логічних елементи ЧИ, позиційне позначення *DD3*, *DD4*. Їх використовують для реалізації порозрядної диз'юнкції над кодами операндів *A* і *B*. Зображення подано пакетним способом;

- чотири мікросхеми типу ЛИ1, кожна з яких містить по чотири двовходових кон'юнктори, позиційне позначення *DD5–DD8*. Використовують для підключення виходів регістрів *RGA* і *RGB* до входів суматора *SM*;

- мікросхему типу ЛП5, яка містить чотири логічні елементи ВИКЛЮЧАЛЬНЕ ЧИ, позиційне позначення *DD9*. Використовують для створення старшого знакового розряду суматора і логічної ознаки  $\varphi_3 = x_1$  та  $\bar{x}_1$ ;

- вихідний восьмирозрядний регістр *RGC* типу ИР22 з трьома станами, позиційне позначення *DD10*. Використовують для приймання результату додавання і передавання його на вихідну шину;

- два чотирирозрядні комбінаційні суматори *SM* типу ИМ6, позиційне позначення *DD11*, *DD12*.

### 6.1.7. Проектування модуля керуючого блока МКБ1

Проектування модуля МКБ1 на основі автомата Мура з пам'яттю на *JK*-тригерах виконується в такій послідовності.

1. Розмічається закодований граф мікропрограми додавання (див. рис. 6.2). Визначається максимальна кількість станів автомата Мура, що дорівнює  $L=7$ . Для реалізації такого числа станів необхідно використати  $n = \lceil \log_2 7 \rceil = 3$  тригери.

2. На основі розміченого графу мікропрограми будується граф автомата Мура (рис. 6.4), який інтерпретує мікропрограму додавання.

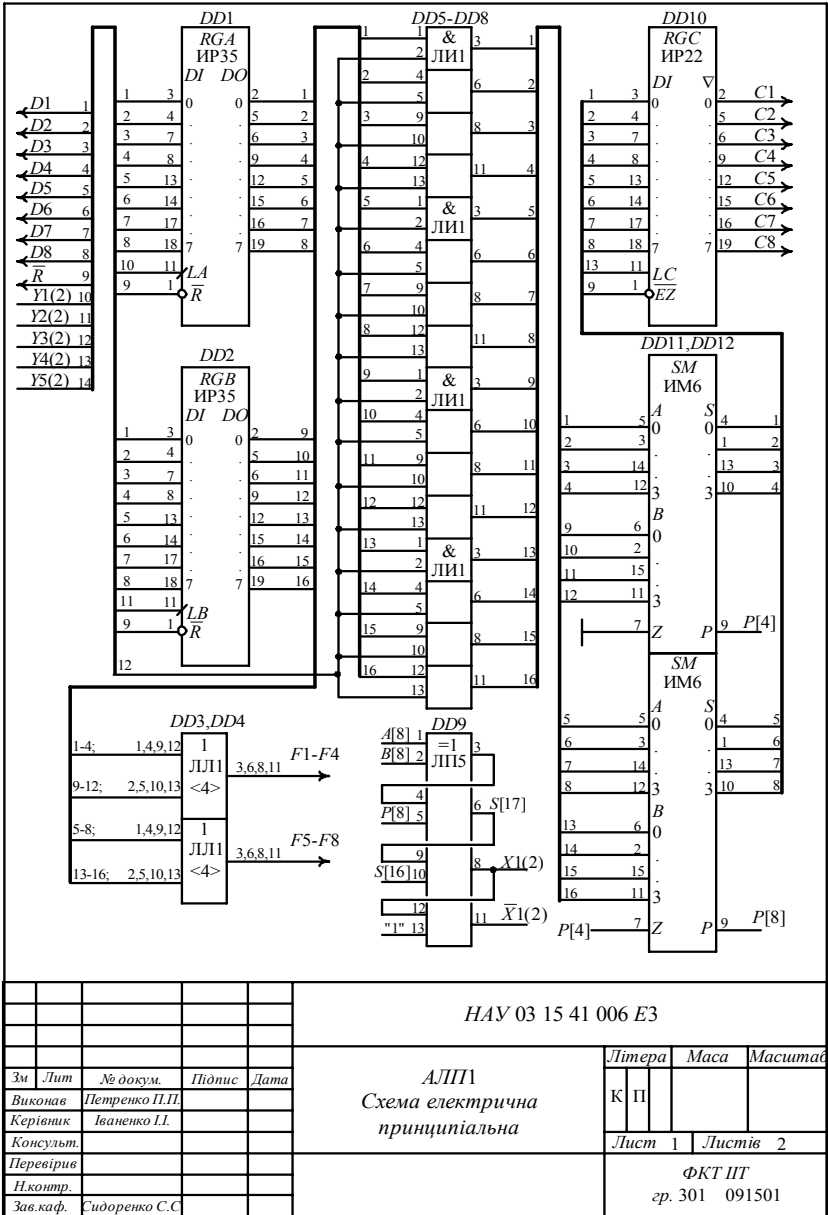


Рис. 6.3. Принципіальна схема АЛП1 (лист 1)

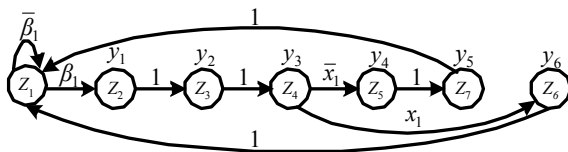


Рис. 6.4. Граф автомата Мура для мікропрограми додавання

3. Стани автомата Мура кодуються значеннями виходів  $JK$ -тригерів:  $z_1 = \overline{Q_3}\overline{Q_2}\overline{Q_1}$ ,  $z_2 = \overline{Q_3}\overline{Q_2}Q_1$ ,  $z_3 = \overline{Q_3}Q_2\overline{Q_1}$ , ...,  $z_7 = Q_3Q_2\overline{Q_1}$ .

4. На основі графу автомата Мура записується його структурна таблиця переходів (табл. 6.1).

Таблиця 6.1. Структурна таблиця переходів автомата Мура

$z_i$	$k(z_i)$	$z_j$	$k(z_j)$	$\{x_i\}$	$\{y_i\}$	$JK$	
						$K$	$J$
$z_1$	000	$z_1$	000	$\overline{\beta}_1$	-	-	-
		$z_2$	001	$\beta_1$	$y_1$	-	$J_1$
$z_2$	001	$z_3$	010	1	$y_2$	$K_1$	$J_2$
$z_3$	010	$z_4$	011	1	$y_3$	-	$J_1$
$z_4$	011	$z_5$	100	$\overline{x}_1$	$y_4$	$K_2, K_1$	$J_3$
		$z_6$	101	$x_1$	$y_6$	$K_2$	$J_3$
$z_5$	100	$z_7$	110	1	$y_5$	-	$J_2$
$z_6$	101	$z_1$	000	1	-	$K_3, K_1$	-
$z_7$	110	$z_1$	000	1	-	$K_3, K_2$	-

5. На підставі даних табл. 6.1 записуються системи логічних рівнянь для функцій збудження входів  $JK$ -тригерів і виходів:

- для функцій збудження входів:

$$J_1 = z_1\beta_1 \vee z_3; \quad J_2 = z_2 \vee z_5; \quad J_3 = z_4;$$

$$K_1 = z_2 \vee z_4\overline{x}_1 \vee z_6; \quad K_2 = z_4 \vee z_7; \quad K_3 = z_6 \vee z_7.$$

- для вихідних керуючих сигналів:

$$y_1 = z_2; \quad y_2 = z_3; \quad y_3 = z_4; \quad y_4 = z_5; \quad y_5 = z_7; \quad y_6 = z_6.$$

6. Будується принципальна схема модуля керування МКБ1 (рис. 6.5).

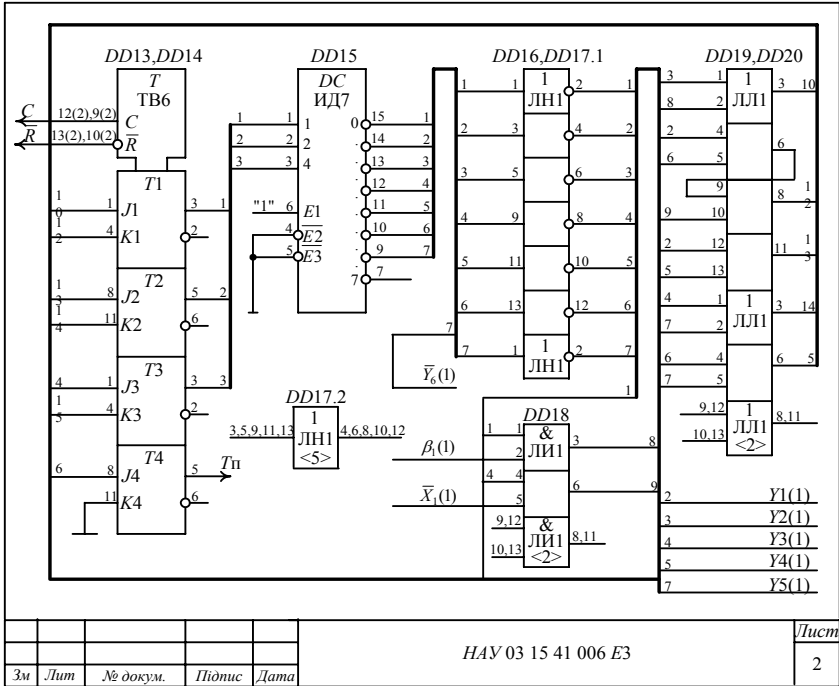


Рис. 6.5. Принципіальна схема АЛП1. Лист 2

Відповідність між входами керування мікросхем модуля МОБ1 і сигналами мікрооперацій наведено в табл. 6.2.

Таблиця 6.2. Таблиця відповідності між керуючими входами мікросхем і сигналами мікрооперацій

Входи	LA	LB	ЛИ1	LC	T <sub>п</sub> (J <sub>4</sub> )	$\overline{EZ}$
Сигнали мікрооперацій	y <sub>1</sub>	y <sub>2</sub>	y <sub>3</sub>	y <sub>4</sub>	y <sub>6</sub>	$\overline{y}_5$

Для побудови принципіальної схеми модуля МКБ1 (рис. 6.5) використані такі мікросхеми:

- DD13, DD14 – дві мікросхеми типу ТВ6, кожна з яких містить по два JK-тригери (пам'ять автомата Мура);
- DD15 – дешифратор типу ИД7. Використовується для виділення станів автомата;
- DD16, DD17.1 – дві мікросхеми типу ЛН1, кожна з яких містить шість інверторів;

• DD18 – мікросхему типу ЛІ1, яка містить чотири кон'юнктори;

• DD19, DD20 – дві мікросхеми типу ЛЛ1.

На рис. 6.6 зображено лист переліку мікросхем АЛП1.

Поз.	Найменування мікросхеми	Кіл.	Примітка						
DD1,DD2	КР1533ИР35	2							
DD3,DD4	КР1533ЛЛ1	4							
DD19,DD20									
DD5-DD8	КР1533ЛИ1	5							
DD18									
DD19	КР1533ЛП5	1							
DD10	КР1533ИР22	1							
DD11,DD12	К1533ИМ6	2							
DD13,DD14	КР1533ТВ6	2							
DD15	КР1533ИД7	1							
DD16,DD17	КР1533ЛН1	2							
НАУ 03 15 41 007 ПЕ									
Зм	Лит	№ докум.	Підпис	Дата	<b>АЛП1</b> <b>Перелік елементів</b>	Літера	Маса	Масштаб	
Виконав	ПетражиПП					К	П		
Керівник	ІванюкЛ								
Консульт.						Лист	1	Листів	
Перевірів						ФКТ ПТ			
Н.контр.						зр. 301 091501			
Зав.каф.	СідоренкоСС								

Рис. 6.6. Перелік елементів АЛП1

### 6.1.8. Характеристики АЛП1

Згідно з довідковими даними (табл. 4.3) мікросхеми ТТЛШ серії КР1533, які використано для побудови АЛП1, споживають таку потужність:

$$\begin{aligned}
P_{\text{ИР35}} &= 122 \text{ мВт}; P_{\text{ИР12}} = 100 \text{ мВт}; \\
P_{\text{ИМ6}} (\text{тип } F, \text{серія КР1531}) &= 180 \text{ мВт}; \\
P_{\text{ИД7}} &= 50 \text{ мВт}; P_{\text{ТВ6}} = 22,5 \text{ мВт}; \\
P_{\text{ЛП5}} &= 30 \text{ мВт}; P_{\text{ЛН1}} = 13 \text{ мВт}; \\
P_{\text{ЛЛ1}} &= 22,5 \text{ мВт}; P_{\text{ЛИ1}} = 16 \text{ мВт}.
\end{aligned}$$

Потужність, яку споживає пристрій АЛП1, розраховується додаванням потужностей всіх мікросхем:

$$\begin{aligned}
P_{\text{АЛП1}} &= 2P_{\text{ИР35}} + P_{\text{ИР12}} + 2P_{\text{ИМ6}} + P_{\text{ИД7}} + 2P_{\text{ТВ6}} + P_{\text{ЛП5}} + 2P_{\text{ЛН1}} + 4P_{\text{ЛЛ1}} + 5P_{\text{ЛИ1}} = \\
&= (2 \cdot 122 + 100 + 2 \cdot 180 + 50 + 2 \cdot 22,5 + 30 + 2 \cdot 13 + 4 \cdot 22,5 + 5 \cdot 16) 10^{-3} = 1,125 \text{ Вт}.
\end{aligned}$$

Мікросхема КР1531ИМ6 реалізує додавання двох чотирирозрядних операндів за  $t_{SM,1} = 15$  нс. При додаванні восьмирозрядних операндів тривалість мікрооперацій подвоюється, тобто  $t_{SM,2} = 2 \cdot t_{SM,1} = 30$  нс. Враховуючи затримки сигналів, що подаються на входи суматора, рекомендується обирати тривалість машинного такту  $T_C = 2 \cdot t_{SM,2} = 60$  нс. При цьому швидкодія АЛП1, виражена кількістю операцій додавання за секунду типу «регістр-регістр», становитиме  $F = 1/T_C \cong 16$  млн оп/с.

## 6.2. ПРОЕКТУВАННЯ СПЕЦІАЛІЗОВАНОГО АРИФМЕТИКО-ЛОГІЧНОГО ПРИСТРОЮ ДЛЯ ОПЕРАЦІЙ ВІДНІМАННЯ. ШИФР – АЛП2

### 6.2.1. Початкові дані до проекту (роботи):

- тип арифметичної операції – віднімання двійкових чисел;
- початковий код подання операндів – доповняльний;
- розрядність операндів – 8 біт;
- код виконання операції у суматорі – доповняльний модифікований;
- структура операційного блока – із закріпленими мікроопераціями;
- тип керуючого блока – автомат Мілі з пам'яттю на  $D$ -тригерах;
- схема логічної ознаки переповнення розрядної сітки;
- схема логічного порозрядного множення кодів вхідних операндів  $A$  і  $B$ .

Елементна база, перелік обов'язкового графічного матеріалу та необхідні розрахунки – згідно з пунктом 6.1.2.



### 6.2.2. Алгоритми віднімання двійкових чисел

Алгоритм віднімання двійкових чисел реалізується у такій послідовності:

- у регістри  $RGA$  і  $RGB$  із вхідної шини один за одним паралельним кодом записуються відповідні їм операнди  $A$  і  $B$ ;
- операнд  $B$  безумовно інвертується;
- мікрооперація віднімання виконується в доповняльних модифікованих кодах протягом одного машинного такту;
- аналізується результат віднімання. За відсутності переповнення розрядної сітки результат записується у регістр  $RGC$  і потім пересилається в оперативну пам'ять, за наявності переповнення результат не фіксується і в ЦПК передається сигнал переповнення  $T_{\text{п}}$ .

### 6.2.3. Функціональна схема АЛП2

Функціональна схема восьмирозрядного АЛП2 для виконання мікропрограми віднімання містить (рис. 6.7):

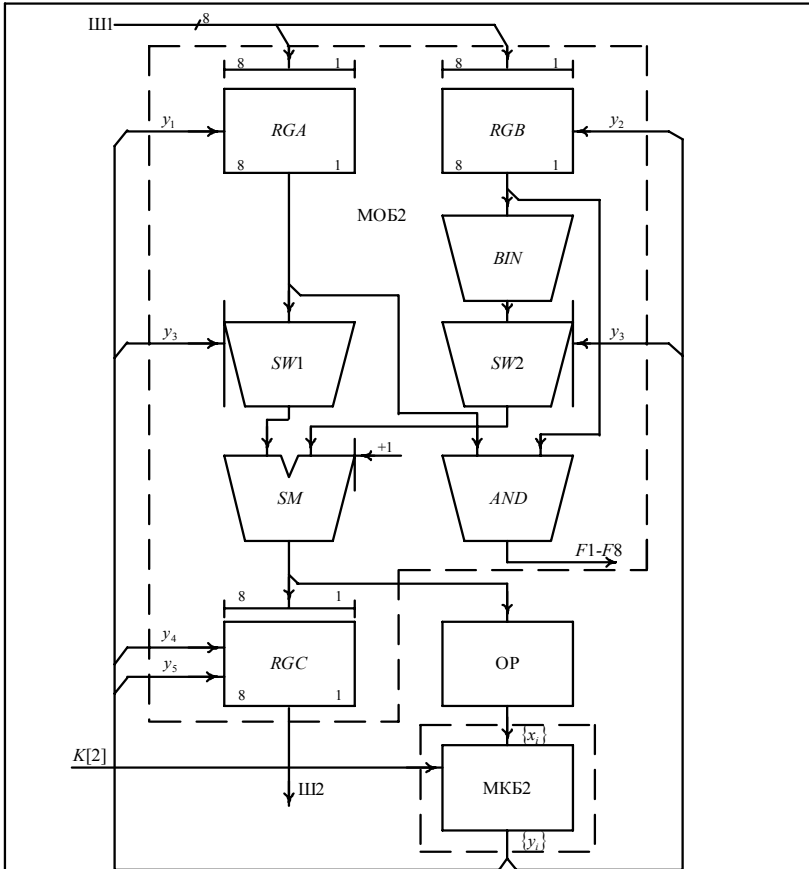
- регістри  $RGA$  і  $RGB$  для приймання із вхідної шини Ш1 операндів  $A$  і  $B$  та їх зберігання протягом часу виконання мікропрограми;
- схему інвертування  $BIN$  змісту регістра  $RGB$ ;
- електронні ключі  $SW1$  і  $SW2$  для комутації операндів;
- схему порозрядного логічного множення  $AND$ ;
- комбінаційний суматор  $SM$  з додатковим знаковим розрядом  $\Pi$  для створення модифікованого коду. На вхід перенесення першого розряду суматора подається «лог. 1»;
- регістр результату  $RGC$ ;
- схему ознаки переповнення  $OP$ ;
- модуль керуючого блока МКБ2 на основі автомата Мілі з пам'яттю на  $D$ -тригерах.

### 6.2.4. Мікропрограма віднімання

Мікропрограма віднімання двійкових чисел у модифікованих доповняльних кодах має такий вигляд:

Початок. Якщо  $K[2]$ , то  $M_1$ , інакше – чекати

$M_1 \quad y_1 : RGA := A <\text{приймання першого операнда}>$



МОБ2 - модуль операційного блока  
 МКБ1 - модуль керуючого блока  
 SW1, SW2 - схеми електронних ключів  
 AND - схема порозрядного логічного множення

					НАУ 03 15 31 004 E2		
					АЛП2		
					Схема електрична		
					функціональна		
Зм	Лист	№ докум.	Підпис	Дата	Літера	Маса	Масштаб
Виконав	Петренко П.П.				К	П	
Керівник	Іваненко І.І.				Лист 1   Листів		
Консульт.							
Перевірив					ФКТ ПТ		
Н.контр.					зр. 301 091501		
Зав.каф.	Сидоренко С.С.						

Рис. 6.7. Функціональна схема АЛП2

$y_2 : RGB := B$  <приймання другого операнда>

$y_3 : SM := A + \bar{B} + 1$  <мікрооперація віднімання в доповняльних кодах>

Якщо  $\varphi_3$ , то  $M_2$ , інакше

$y_4 : RGC := SM$  <присвоєння результату>

$y_5 : Ш2 := RGC$  <пересилання в пам'ять>

Перейти до  $M_3$

$M_2$   $y_6 : Tп := ПП$  <тригеру переповнення  $Tп$  присвоюється ознака ПП>

$M_3$  Кінець.

*Примітка.*  $K[2]$  – однорозрядний код команди віднімання.

Змістовний і закодований графі мікропрограми віднімання показано на рис. 6.8.

### 6.2.5. Принципіальна схема модуля операційного блока МОБ2

Модуль МОБ2 будується на мікросхемах ТТЛШ серії КР1533 за винятком суматора, взятого із серії КР1531.

Принципіальна схема модуля МОБ2 містить (рис. 6.9):

- два вхідних восьмирозрядних регістри  $RGA$  і  $RGB$  типу ІР35, позиційне позначення  $DD1, DD2$ ;

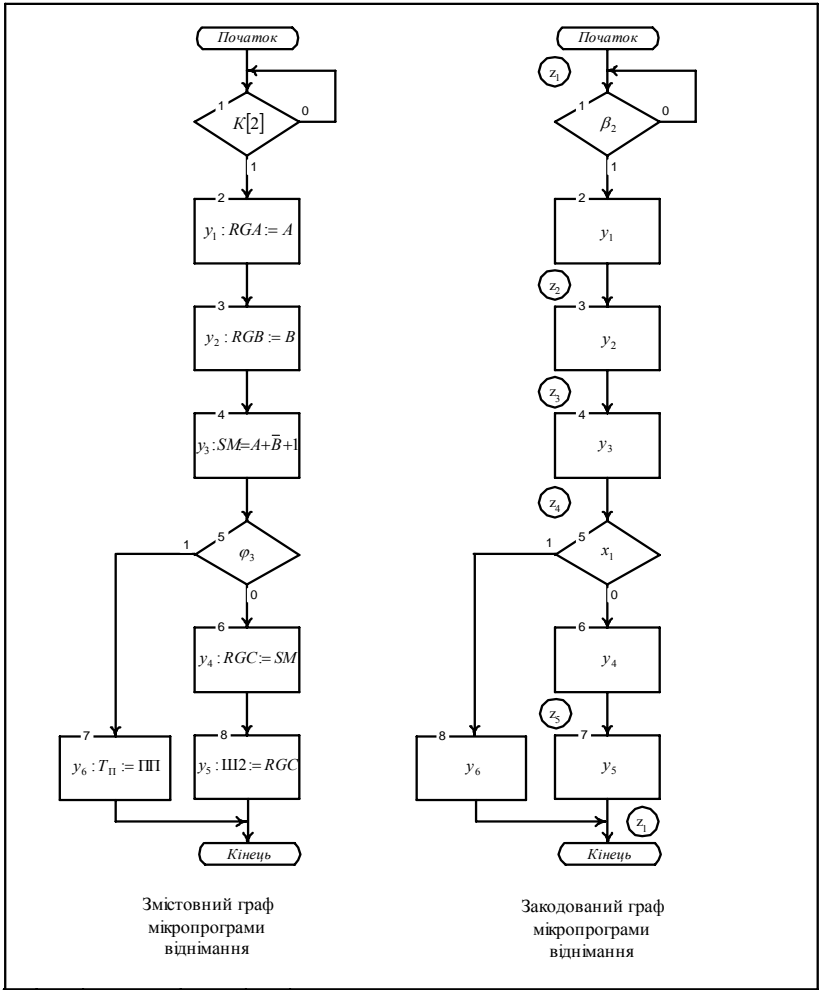
- дві мікросхеми типу ЛН1, позиційне позначення  $DD3, DD4.1$ . Призначені для інвертування кода операнда  $B$ ;

- чотири мікросхеми типу ЛН1, позиційне позначення  $DD5-DD8$ . Призначені для побудови двох схем електронних ключів  $SW1, SW2$ ;

- мікросхему типу ЛП5, позиційне позначення  $DD9$ . Використовується для створення старшого знакового розряду суматора і вироблення логічної ознаки переповнення  $\bar{x}_1$ ;

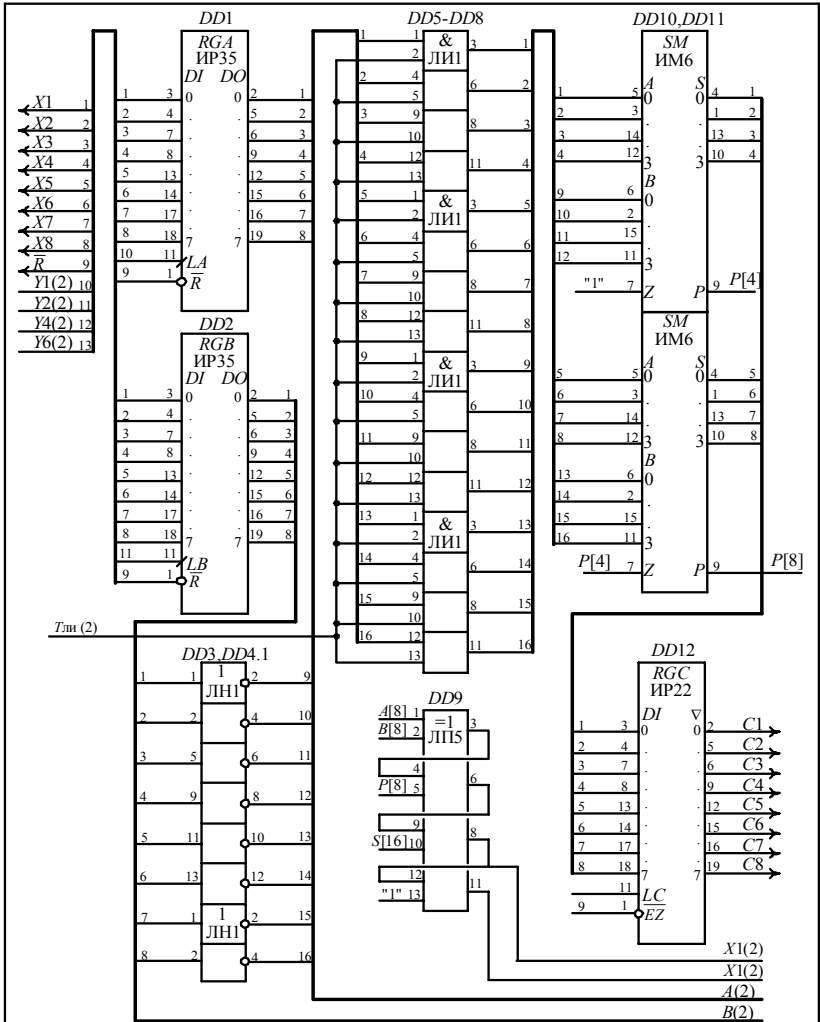
- дві мікросхеми суматорів ІМ6, позиційне позначення  $DD10, DD11$ ;

- вихідний 8-розрядний регістр  $RGC$  типу ІР22 з трьома станами, позиційне позначення  $DD12$ . Використовується для приймання результату віднімання і його передавання на вихідну шину Ш2.



					НАУ 03 15 31 005 ГМ		
					АПП2		
					Графи мікропрограми віднімання		
Зм	Лит	№ док.м.	Підпис	Дата	Літера	Маса	Масштаб
Виконав	Петренко П.П.				К	П	
Керівник	Іваненко І.І.						
Консульт.					Лист	1	Листів
Перевірів					ФКТ ІІТ		
Н.контр.					ер. 301 091501		
Зав.каф.	Сидоренко С.С.						

Рис. 6.8. Графи мікропрограми віднімання



				НАУ 03 15 31 006 ЕЗ			
				АПП2			
				Схема електрична			
				принципiальна			
Зм	Лит	№ докум.	Пiдпис	Дата	Лiтера	Маса	Масштаб
	Виконав	Петренко П.П.			К	П	
	Керiвник	Иваненко П.П.			Лист	1	Листiв 2
	Консульт.				ФКТ ПТ		
	Перевiрив				ср. 301 091501		
	Н.контр.						
	Зав.каф.	Сидоренко С.С.					

Рис. 6.9. Принципiальна схема АЛП2. Лист 1

## 6.2.6. Проектування модуля керуючого блока МКБ2

Проектування модуля МКБ2 на основі автомата Мілі з пам'яттю на  $D$ -тригерах виконується в такій послідовності:

1. Розмічається закодований граф мікропрограми віднімання (див. рис. 6.8). Визначається максимальна кількість станів автомата Мілі, яка дорівнює  $L=5$ . Для реалізації такої кількості станів необхідно використати  $n = \lceil \log_2 5 \rceil = 3$  тригери.

2. На основі розміченого графу мікропрограми будується граф автомата Мілі (рис. 6.10), який інтерпретує мікропрограму віднімання.

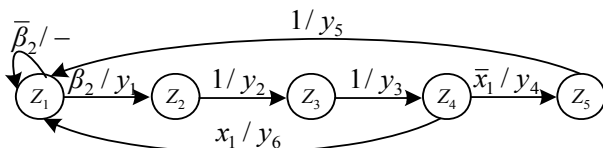


Рис. 6.10. Граф автомата Мілі для мікропрограми віднімання

3. Стани автомата Мілі кодуються значеннями виходів  $D$ -тригерів:  $z_1 = \overline{Q_3}\overline{Q_2}\overline{Q_1}$ ,  $z_2 = \overline{Q_3}\overline{Q_2}Q_1$ , ...,  $z_5 = Q_3\overline{Q_2}\overline{Q_1}$ .

4. На основі графу автомата Мілі записується його структурна таблиця переходів (табл. 6.3).

Таблиця 6.3. Структурна таблиця переходів автомата Мілі

$z_i$	$k(z_i)$	$z_j$	$k(z_j)$	$\{x_i\}$	$\{y_i\}$	$D$ -тригери
						$D_3, D_2, D_1$
$z_1$	000	$z_1$	000	$\overline{\beta_1}$	-	-
	000	$z_2$	001	$\beta_2$	$y_1$	$D_1$
$z_2$	001	$z_3$	010	1	$y_2$	$D_2$
$z_3$	010	$z_4$	011	1	$y_3$	$D_2, D_1$
$z_4$	011	$z_5$	100	$\overline{x_1}$	$y_4$	$D_3$
		$z_1$	000	$x_1$	$y_6$	-
$z_5$	100	$z_1$	000	$\overline{x_1}$	$y_5$	-

5. На підставі даних табл. 6.3 записуються системи логічних рівнянь:

- для функцій збудження входів:

$$D_1 = z_1\beta_2 \vee z_3 = y_1 \vee z_3;$$

$$D_2 = z_2 \vee z_3;$$

$$D_3 = z_4\overline{x_1} = y_4;$$

- для вихідних сигналів:

$$y_1 = z_1 \beta_2; \quad y_2 = z_2; \quad y_3 = z_3; \quad y_4 = z_4 \bar{x}_1; \quad y_5 = z_5; \quad y_6 = z_4 x_1.$$

6. Будеться принципіальна схема модуля керування МКБ2 (рис. 6.11).

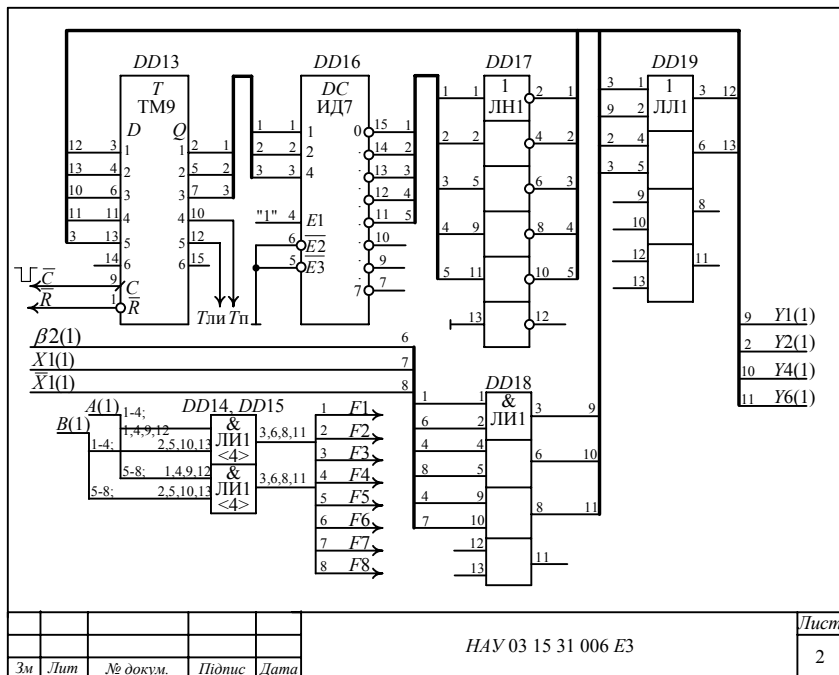


Рис. 6.11. Принципіальна схема АЛП2. Лист 2

Відповідність між входами керування мікросхем модуля МОБ2 і сигналами мікрооперацій наведена в табл. 6.4.

Таблиця 6.4. Таблиця відповідності між керуючими входами мікросхем і сигналами мікрооперацій

Входи	$LA$	$LB$	$T_{ли}$	$LC$	$\overline{EZ}$	$T_{п}$
Сигнали мікрооперацій	$y_1$	$y_2$	$y_3$	$y_4$	$\bar{y}_5$	$y_6$

Принципіальна схема на рис. 6.11 містить:

- DD13 – мікросхему типу TM9, яка містить шість D-тригерів. Три тригери створюють пам'ять автомата Мілі, тригер на виході  $T_{п}$  фіксує сигнал переповнення. На виході  $T_{п}$  п'ятого тригера форму-

ється сигнал керування тривалістю в машинний такт для керування мікросхемами  $DD5-DD8$ ;

- $DD14, DD15$  – дві мікросхеми типу ЛІІ1, які реалізують порозрядну кон'юнкцію кодів операндів  $A$  і  $B$  на основі співвідношення  $F_i = (A_i \vee B_i)$ , де  $i=1, 2, \dots, 8$ ;

- $DD16$  – мікросхему дешифратора типу ИД7;

- $DD17-DD19$  – мікросхеми логічних елементів типу ЛН1, ЛІІ1, ЛЛ1, які реалізують функції комбінаційних схем автомата Мілі.

Розрахунки схеми АЛП2 виконують аналогічно розділу 6.1.

### **6.3. ПРОЕКТУВАННЯ СПЕЦІАЛІЗОВАНОГО АРИФМЕТИКО-ЛОГІЧНОГО ПРИСТРОЮ ДЛЯ ОПЕРАЦІЙ ДОДАВАННЯ І ВІДНІМАННЯ. ШИФР – АЛПЗ**

#### **6.3.1. Початкові дані до проекту (роботи)**

- типи арифметичних операцій – додавання та віднімання двійкових чисел;

- початковий код подання операндів – доповняльний;

- розрядність операндів – 8 біт;

- код виконання операцій у суматорі – доповняльний модифікований;

- структура операційного блока – із закріпленими мікроопераціями;

- тип керуючого блока – автомат Мілі з пам'яттю на  $D$ -тригерах;

- схема логічної ознаки переповнення розрядної сітки;

- схема логічної порозрядної операції ВІКЛЮЧАЛЬНЕ ЧИ кодів початкових операндів  $A$  і  $B$ .

Елементна база, перелік обов'язкового графічного матеріалу та необхідні розрахунки – згідно з пунктами 6.1.2.

#### **6.3.2. Алгоритми додавання і віднімання двійкових чисел**

Алгоритм додавання та віднімання двійкових чисел можна виконувати в обернених або доповняльних кодах. У сучасних



комп'ютерах часто операнди зберігаються у пам'яті і оброблюються в доповняльних кодах, перевагу яких описано в розділі 6.1.

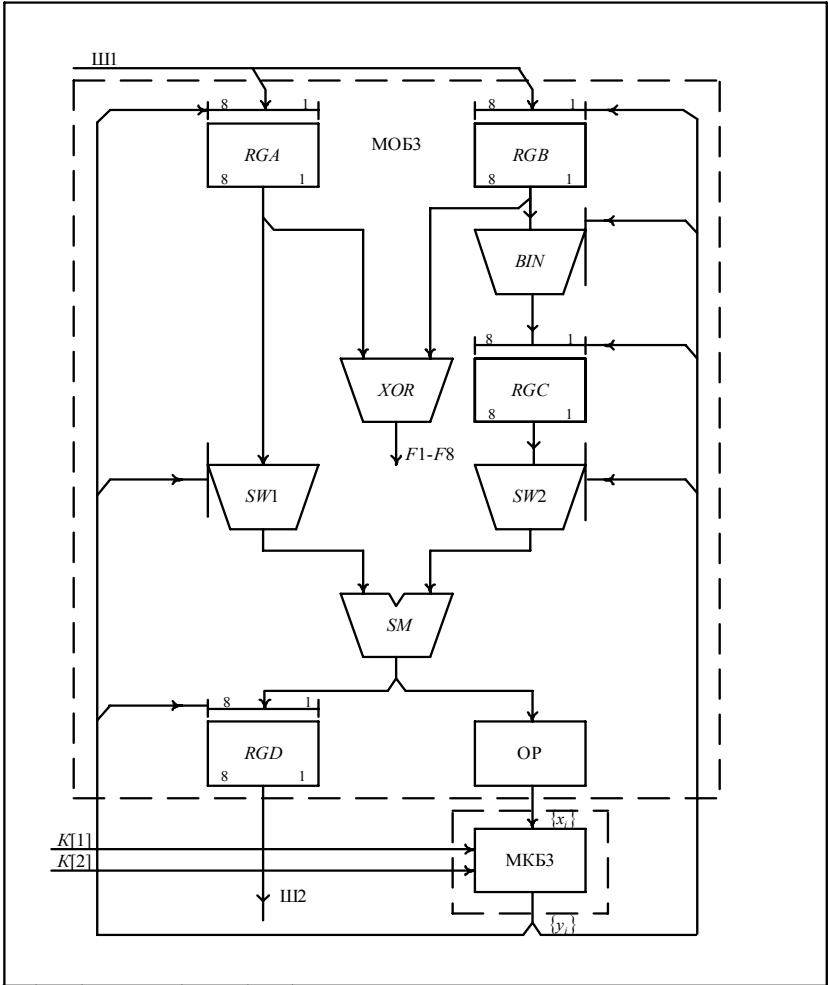
Алгоритм додавання (код команди  $K[1]$ ) або віднімання (код команди  $K[2]$ ) виконується у такій послідовності:

- у регістри  $RGA$  і  $RGB$  із вхідної шини один за одним паралельним кодом записуються відповідні їм операнди  $A$  і  $B$ ;
- під час операції віднімання (код команди  $K[2]=1$ ) операнд  $B$  безумовно інвертується;
- мікрооперації додавання або віднімання виконуються в доповняльних кодах протягом одного машинного такту;
- аналізується результат операції. За відсутності переповнення розрядної сітки (знаки операндів  $A$  і  $B$  та результату збігаються) результат записується у регістр  $RGD$  і потім пересилається в оперативну пам'ять, за наявності переповнення (знаки операндів  $A$  і  $B$  та результату на виході суматора не збігаються) результат не фіксується і в ЦПК подається сигнал переповнення ПП.

### 6.3.3. Функціональна схема АЛПЗ

Функціональну схему восьмирозрядного АЛПЗ для виконання мікропрограми додавання та віднімання подано композицією модуля операційного блока МОБЗ і модуля керуючого блока МКБЗ (рис. 6. 12). Схема містить:

- регістри  $RGA$  і  $RGB$  для приймання із вхідної шини Ш1 операндів  $A$  і  $B$  та їх зберігання протягом часу виконання мікропрограми;
- схему інвертування  $BIN$  змісту регістра  $RGB$ ;
- схему  $XOR$  для порозрядного логічного ВИКЛЮЧАЛЬНЕ ЧИ кодів операндів  $A$  і  $B$ ;
- схеми електронних ключів  $SW1$  і  $SW2$  для комутації операндів;
- комбінаційний суматор  $SM$ . На вхід перенесення суматора подається лог. 1 при операції віднімання;
- регістр результату  $RGD$ ;
- схему ознаки переповнення  $OP$ ;
- модуль керуючого блока МКБЗ на основі автомата Мілі з пам'яттю на  $D$ -тригерах.



					НАУ 03 15 21 004 E2		
Зм	Лист	№ докум.	Підпис	Дата	АЛПЗ Схема електрична функціональна		
Виконав	Петренко П.П.						
Керівник	Іваненко І.І.				Літера	Маса	Масштаб
Консульт.					К	П	
Перевіряє					Лист 1		Листів
Н.контр.					ФКТ ПТ гр. 301 091501		
Зав.каф.	Сидоренко С.С.						

Рис. 6.12. Функціональна схема АЛПЗ

### 6.3.4. Мікропрограма додавання та віднімання двійкових чисел

Суміщена мікропрограма додавання та віднімання двійкових чисел має вигляд:

Початок. Якщо  $K[1]$  або  $K[2]$ , то  $M_1$ , інакше – чекати

$M_1 \quad y_1 : RGA := A$  <приймання першого операнда>

$y_2 : RGB := B$  <приймання другого операнда>

Якщо  $K[1]$ , то

$y_3 : RGC := B$ , інакше

$y_4 : RGC := \bar{B}$  <пересилання з інвертуванням другого

операнда>

Якщо  $K[1]$ , то

$y_5 : SM := B + C$ , інакше  $y_6 : SM := B + C + 1$

Якщо  $\varphi_3$ , то перейти до  $M_2$ , інакше

$y_7 : RGD := SM$  <присвоєння результату>

$y_8 : Ш2 := D$  <пересилання результату в оперативну пам'ять>

Перейти до  $M_3$

$M_2 \quad y_9 : Тп := ПП$  <фіксація переповнення>

$M_3$  Кінець.

Змістовний і закодований графі мікропрограми додавання і віднімання показані на рис. 6.13.

### 6.3.5. Принципіальна схема модуля операційного блока МОБЗ

Модуль МОБЗ будується на мікросхемах ТТЛШ серії КР1533 за винятком суматора, взятого із серії К1531.

Принципіальна схема модуля МОБЗ містить (рис. 6.14):

- $DD1, DD2$  – два вхідні восьмирозрядні регістри  $RGA$  і  $RGB$  типу ІР35;

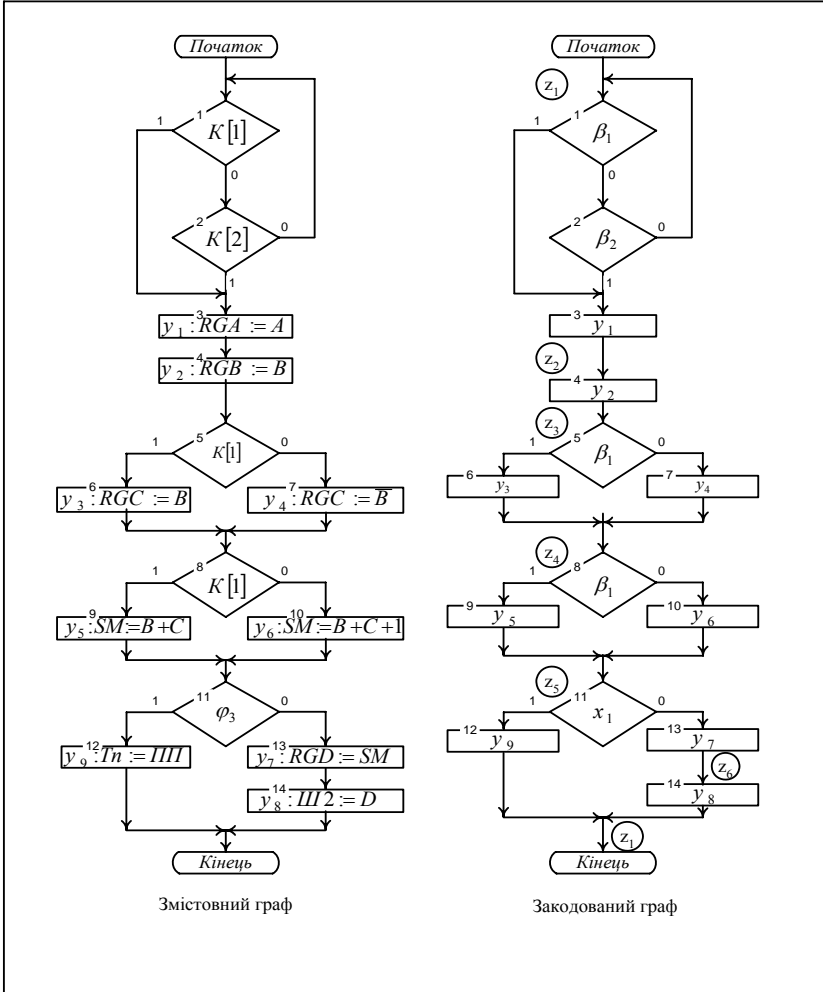
- $DD3, DD4$  – дві мікросхеми типу ЛП5. Призначені для інвертування змісту регістра  $RGB$ ;

- $DD5-DD8$  – чотири мікросхеми типу ЛП1. Реалізують схеми електронних ключів;

- $DD9$  – мікросхему допоміжного регістра  $RGC$  типу ІР35, позиційне позначення;

- $DD10, DD11$  – дві мікросхеми чотирирозрядних суматорів типу ІМ6;

- $DD12$  – мікросхему регістра результату з трьома станами типу ІР22.

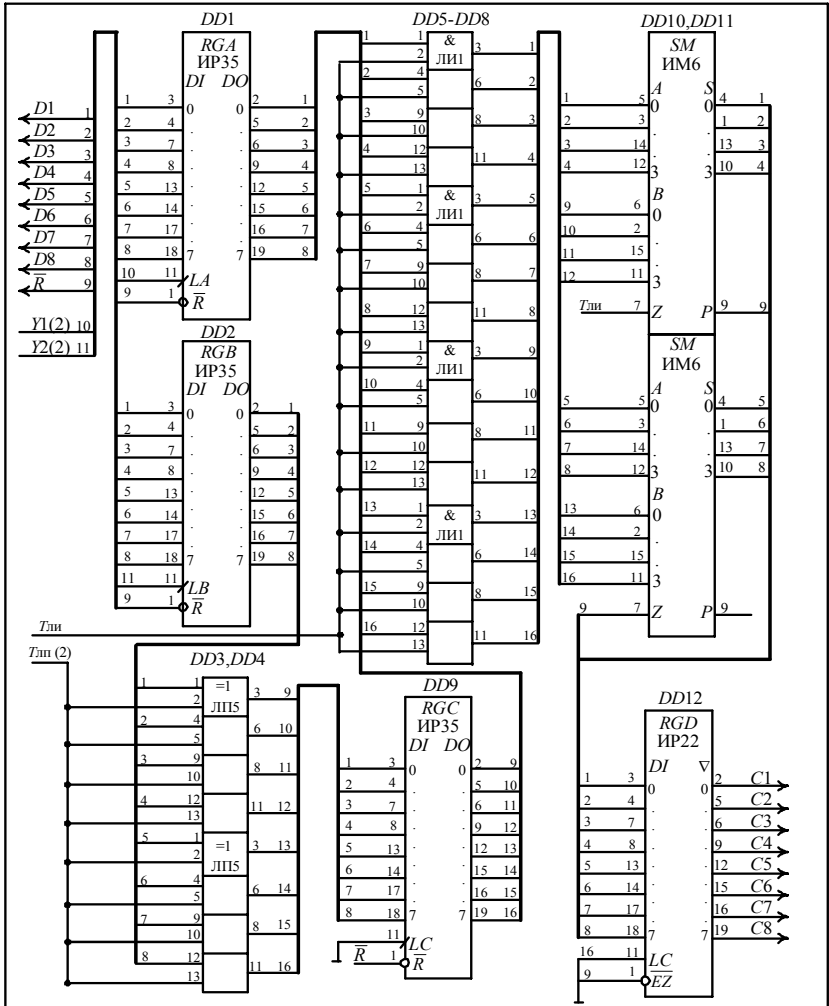


Змістовний граф

Закодований граф

					НАУ 03 15 21 005 ГМ			
					АЛПЗ			
					Графи мікропрограми додавання і віднімання			
Зм	Лит	№ док.м.	Підпис	Дата	Літера	Маса	Масштаб	
Виконав	Петренко П.П.				К	П		
Керівник	Іваненко І.І.				Лист 1		Листів	
Консульт.					ФКТ ІТ			
Перевірив					зр. 301 091501			
Н.контр.								
Зав.каф.	Сидоренко С.С.							

Рис. 6.13. Графи мікропрограми додавання та віднімання



				НАУ 03 15 21 006 ЕЗ			
				АЛПЗ			
				Схема електрична			
				принципiальна			
Зм	Лист	№ док.ум	Пiдпис	Дата	Лiтера	Маса	Масштаб
Виконав	Петренко П.П.				К	П	
Керiвник	Иваненко П.				Лист 1		Листiв 2
Консулт.					ФКТ ПТ		
Перевiрив					зр. 301 091501		
Н.контр.							
Зав.каф.	Сидоренко С.С.						

Рис. 6.14. Принципiальна схема АЛПЗ. Лист 1

### 6.3.6. Проектування модуля керуючого блока МКБЗ

Проектування модуля МКБЗ на основі автомата Мілі з пам'яттю на  $D$ -тригерах виконується в такій послідовності.

1. Розмічається закодований граф мікропрограми додавання і віднімання (рис. 6.13). Визначається максимальна кількість станів автомата Мілі, яка дорівнює  $L = 6$ . Для реалізації такої кількості станів необхідно використати  $n = \lceil \log_2 6 \rceil = 3$  тригери.

2. На основі розміченого графу мікропрограми будується граф автомата Мілі (рис. 6.15), який інтерпретує мікропрограму додавання і віднімання.

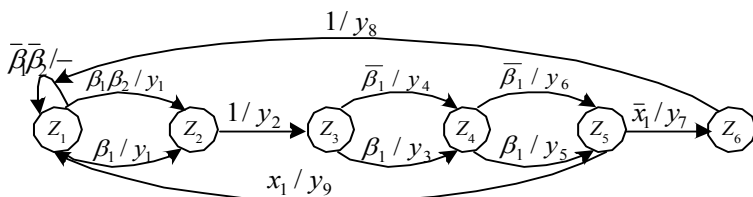


Рис. 6.15. Граф автомата Мілі для інтерпретації мікропрограми додавання і віднімання

3. Стани автомата Мілі кодуються значеннями виходів трьох  $D$ -тригерів:  $z_1 = \overline{Q_3}\overline{Q_2}\overline{Q_1}$ ,  $z_2 = \overline{Q_3}\overline{Q_2}Q_1$ , ...,  $z_6 = Q_3\overline{Q_2}Q_1$ .

4. На основі графу автомата Мілі записується його структурна таблиця переходів (табл. 6.5)

Таблиця 6.5. Структурна таблиця переходів автомата Мілі для інтерпретації мікропрограми додавання і віднімання

$z_i$	$k(z_i)$	$z_j$	$k(z_j)$	$\{x_i\}$	$\{y_i\}$	D-тригери
						$D_3, D_2, D_1$
$z_1$	000	$z_1$	000	$\overline{\beta_1}\overline{\beta_2}$	-	-
		$z_2$	001	$\beta_1$	$y_1$	$D_1$
		$z_2$	001	$\overline{\beta_1}\beta_2$	$y_1$	$D_1$
$z_2$	001	$z_3$	010	1	$y_2$	$D_2$
$z_3$	010	$z_4$	011	$\beta_1$	$y_3$	$D_2, D_1$
		$z_4$	011	$\overline{\beta_1}$	$y_4$	$D_2, D_1$
$z_4$	011	$z_5$	100	$\beta_1$	$y_5$	$D_3$
		$z_5$	100	$\overline{\beta_1}$	$y_6$	$D_3$
$z_5$	100	$z_6$	101	$\overline{x_1}$	$y_7$	$D_3, D_1$
		$z_1$	000	$x_1$	$y_9$	-
$z_6$	101	$z_1$	000	1	$y_8$	-

5. На підставі даних табл. 6.5 записуються системи логічних рівнянь:

- для вихідних сигналів:

$$y_1 = z_1\beta_1 \vee z_1\bar{\beta}_1\beta_2 = z_1\beta_1 \vee z_1\beta_2 \quad (\text{використовується тотожність } \beta_1 \vee \bar{\beta}_1\beta_2 = \beta_1 \vee \beta_2);$$

$$y_2 = z_2; \quad y_3 = z_3\beta_1; \quad y_4 = z_3\bar{\beta}_1;$$

$$y_5 = z_4\beta_1; \quad y_6 = z_4\bar{\beta}_1; \quad y_7 = z_5\bar{x}_1;$$

$$y_8 = z_6; \quad y_9 = z_5x_1;$$

- для функцій збудження входів  $D$ -тригерів:

$$D_1 = z_1\beta_1 \vee z_1\bar{\beta}_1\beta_2 \vee z_3 \vee z_5\bar{x}_1 = z_1\beta_1 \vee z_1\beta_2 \vee z_3 \vee z_5\bar{x}_1 = y_1 \vee z_3 \vee y_7$$

(враховуються вирази для вихідних сигналів мікрооперацій);

$$D_2 = z_2 \vee z_3;$$

$$D_3 = z_4 \vee z_5\bar{x}_1 = z_4 \vee y_7;$$

- ознака переповнення  $\varphi_3 = x_1$  визначається за формулою:

$$\varphi_3 = x_1 = \bar{A}[8]\bar{C}[8]SM[8] \vee A[8]C[8]\bar{SM}[8].$$

6. Будується принципіальна схема модуля МКБЗ (рис. 6.16).

Відповідність між входами керування мікросхем і сигналами мікрооперацій наведена в табл. 6.6.

Таблиця 6.6. Таблиця відповідності між входами керування мікросхем і сигналами мікрооперацій

Входи	$LA$	$LB$	$LC$	$T_{\text{ЛП}}$	$LD$	$\overline{EZ}$	$D4 = T_{\text{ЛИ}}$	$T_{\text{П}}$
Сигнали мікрооперацій	$y_1$	$y_2$	$y_3 \vee y_4$	$y_4$	$y_7$	$\bar{y}_8$	$T_{\text{ЛИ}} = y_5 \vee y_6$	$y_9$

Пояснення до табл. 6.6:

- $LA=y_1$ ;  $LB=y_2$  – записування операндів у реєстри  $RGA$ ,  $RGB$ ;
- $LC=y_3 \vee y_4$  – записування у реєстр  $RGC$ , при цьому одночасно формується сигнал  $LC=y_3 \vee y_4$  для керування мікросхемами ВИКЛЮЧАЛЬНЕ ЧИ;

- $T_{\text{ЛП}}$  – сигнал на виході четвертого тригера мікросхеми  $TM9$  для керування електронними ключами і входом перенесення  $Z$  суматора;

- $LD=y_7$  – записування результату у регістр  $RGD$ ;
- $\overline{EZ} = \bar{y}_8$  – пересилання результату в пам'ять;
- $T_{ли} = y_5 \vee y_6 = D4$  – вихід четвертого тригера мікросхеми ТМ9 для керування електронними ключами;
- $T_{п}=y_9$  – вихід п'ятого тригера мікросхеми ТМ9 для фіксації переповнення.

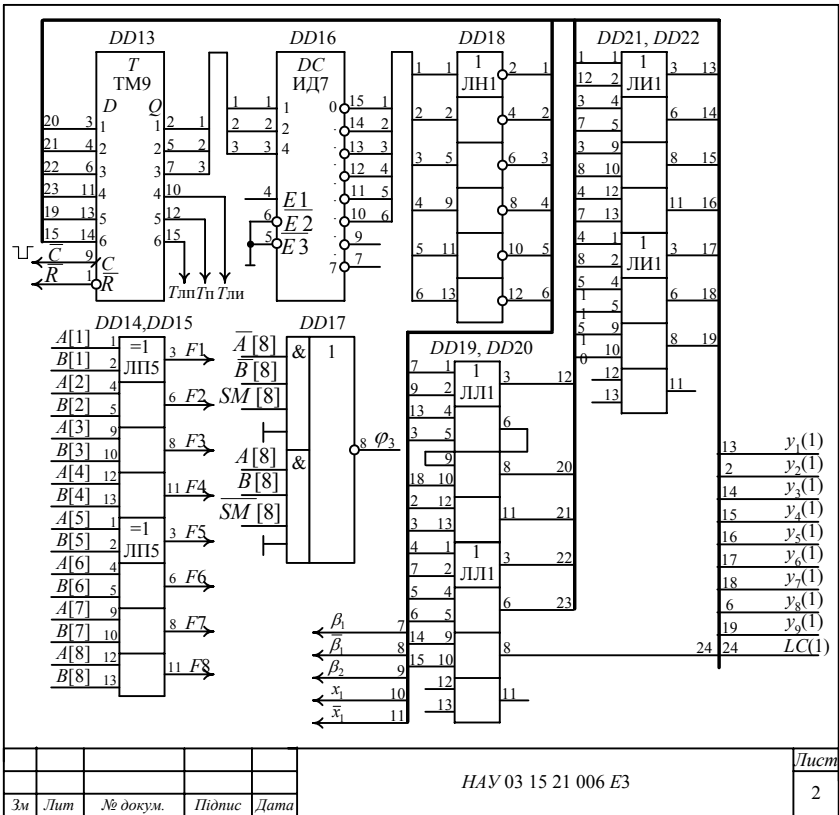


Рис. 6.16. Принципіальна схема АЛПЗ. Лист 2



## 6.4. ПРОЕКТУВАННЯ СПЕЦІАЛІЗОВАНОГО АРИФМЕТИКО-ЛОГІЧНОГО ПРИСТРОЮ ДЛЯ ОПЕРАЦІЇ МНОЖЕННЯ. ШИФР – АЛП4

### 6.4.1. Початкові дані до проекту (роботи):

- тип арифметичної операції – множення двійкових чисел;
- початковий код подання операндів – прямий;
- розрядність – 8 біт;
- код виконання мікрооперації у суматорі – доповняльний;
- структура операційного блока – із закріпленими мікроопераціями;
- тип керуючого блока – автомат Мілі з пам'яттю на *RS*-тригерах.

Елементна база, перелік обов'язкового графічного матеріалу та необхідні розрахунки – згідно з пунктом 6.1.2.

### 6.4.2. Алгоритм множення двійкових чисел із зсувом суми часткових добутоків вправо

Множення двійкових чисел  $A$  і  $B$  зводиться до обчислення добутку їх модулів та присвоєння йому знака. Добуток двох  $n$ -розрядних операндів містить  $2n-1$  цифрових розрядів і один знаковий. Якщо перемножуються цілі числа, кома розміщується після молодшого розряду, а якщо дробі – перед старшим розрядом.

1. Множене і множник у прямих кодах послідовно записуються відповідно в регістри  $A$  і  $B$ . Регістри  $C$  і  $D$  обнуляються. У лічильник  $CT$  записується кількість циклів.

2. Для розрядів множника  $1, 2, \dots, n-1$  виконуються такі дії:

- якщо молодша цифра множника  $B[1]=1$ , то до суми часткових добутоків додається модуль множеного, інакше – не додається;

- далі для обох випадків зміст регістрів  $C$  і  $B$  зсувається вправо на один розряд, причому молодший розряд регістра  $C$  передається в старший розряд регістра  $B$ . Після кожного зсуву в молодший розряд регістра  $B$  поступає наступний розряд множеного, за яким визначається черговий частковий добуток (нуль або множене);

- після  $n-1$  циклів виконується додатковий зсув вправо для передачі в тригер  $T$  знака множника і визначається знак добутку додаванням за модулем два знаків множеного і множника.

3. Результат подається конкатенацією чисел  $C$  і  $B$ ; при цьому в регістрі  $C$  розміщуються старші розряди добутку, а в регістрі  $B$  – молодші розряди.

#### 6.4.3. Функціональна схема АЛП4 для операції множення

Функціональна схема АЛП для множення цілих двійкових чисел із зсувом вправо часткових добутків містить (рис. 6.17):

- регістри  $A$  і  $B$  для приймання з вхідної шини ШІ відповідно множеного та множника;
- паралельний комбінаційний суматор  $SM$ ;
- регістр  $C$  для приймання часткової суми із  $SM$  при одиничному значенні синхросигналу;
- регістр  $D$  для приймання і тимчасового зберігання часткової суми з регістра  $C$  при спаданні синхросигналу;
- лічильник циклів  $CT$ ;
- тригер  $T1$  для керування ключами  $SW1, SW2$ ;
- тригер  $T2$  для записування знака множника.

Регістри  $C$  і  $B$  забезпечують зсув вправо чисел, при цьому значення молодшого розряду регістра  $C[1]$  пересилається в старший розряд регістра  $B[n]$ .

#### 6.4.4. Мікропрограма множення цілих чисел

Початок. Якщо  $K[3]$ , то  $M_1$ , інакше чекати

$M_1$      $y_1 : RGA := A; T2.T1 := 0.0$  <приймання множеного та обнулення тригерів  $T1, T2$ >

$y_2 : RGB := B; T2 := B[n]$  <приймання множника та дублювання його знака в тригері  $T2$ >

$y_3 : RGC.RGD := 0.0$  <обнулення регістрів>

$y_4 : CT := n - 1$  <запис кількості циклів>

$M_2$     Якщо  $\overline{B}[1]$ , то  $M_3$

$y_5 : SM := |A| + D$  <додавання>

$y_6 : RGC := SM$  <пересилання часткової суми>

$M_3$      $y_7 : RGC.RGB := R(C.B)$  <однорозрядний зсув вправо>

$y_8 : CT := CT - 1$  <декремент лічильника>

Якщо  $CT \neq 0$ , то  $M_2$ , інакше

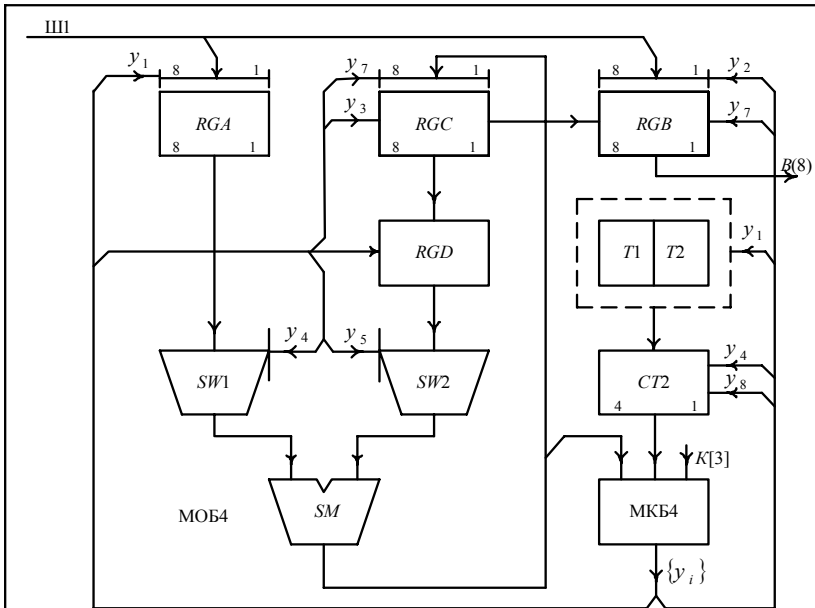
$y_7 : RGC.RGB := R(C.B)$

$y_9 : RGC := L(C)$  <однорозрядний зсув вліво>

$y_{10} : RGC := T2.R(C)$  <запис знака результату в регістр>

$RGC \rangle$

Кінець.



МОБ4 - модуль операційного блока  
 SW1, SW2 - електронні ключі (комутатори)  
 МКБ4 - модуль керуючого блока АЛП4

					НАУ 03 15 22 004 Е2		
					АЛП4		
					Схема електрична		
					функціональна		
Зм	Лит	№ докум.	Підпис	Дата	Літера	Маса	Масштаб
Виконав	Петренко П.П.				К	П	
Керівник	Іваненко І.І.						
Консульт					Лист	1	Листів
Перевірив					ФКТ ПТ		
Н.контр.					зр. 301 091501		
Зав.каф.	Сидоренко С.С.						

Рис. 6.17. Функціональна схема АЛП4

Змістовний і закодований графи мікропрограми множення показано на рис. 6.18.

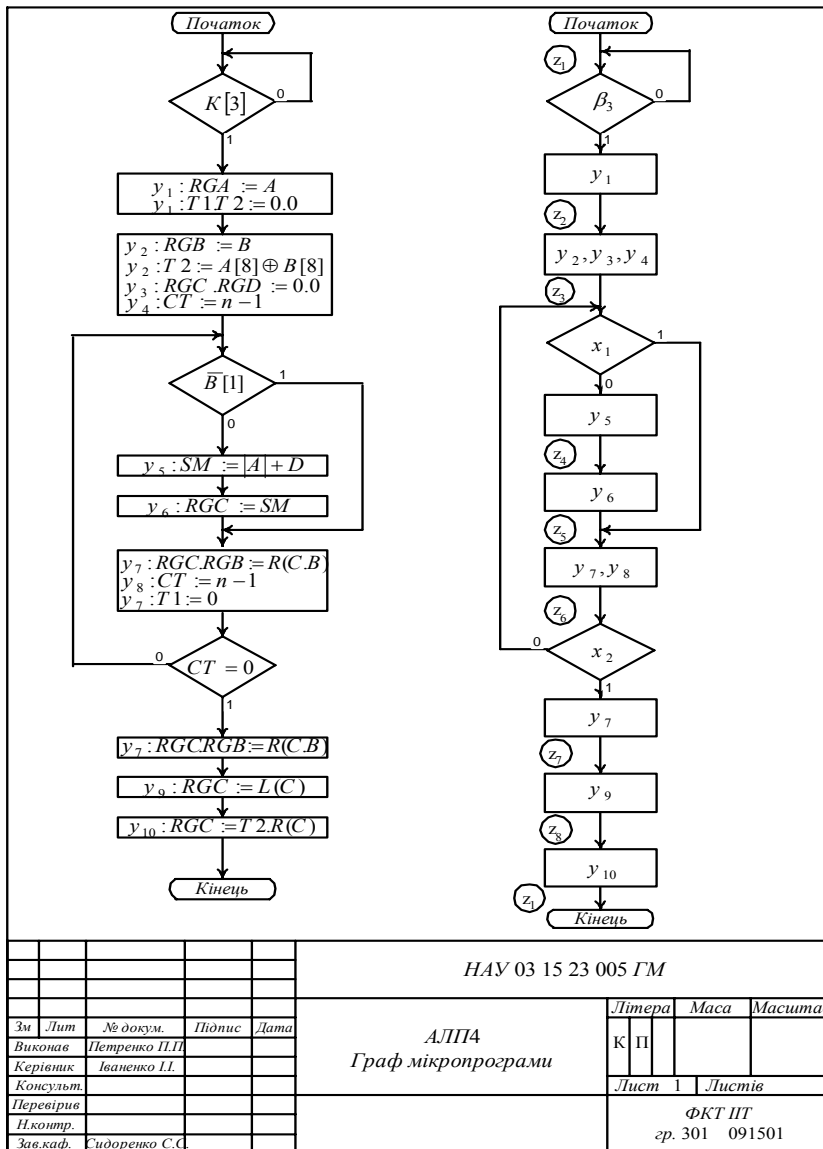


Рис. 6.18. Змістовний і закодований графи мікропрограми множення

### 6.4.5. Модуль операційного блока МОБ4 для множення цілих чисел

Модуль МОБ4 містить (рис. 6.19, 6.20):

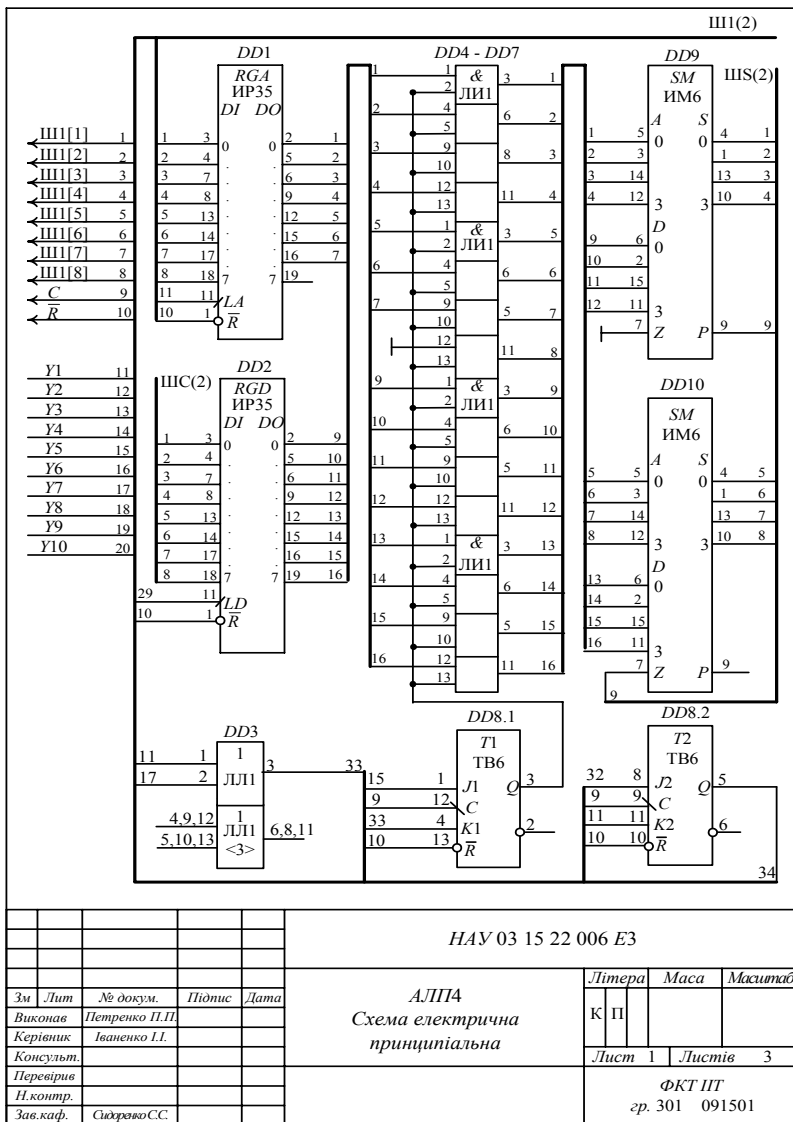


Рис. 6.19. Принципальна схема модуля МОБ4. Лист 1

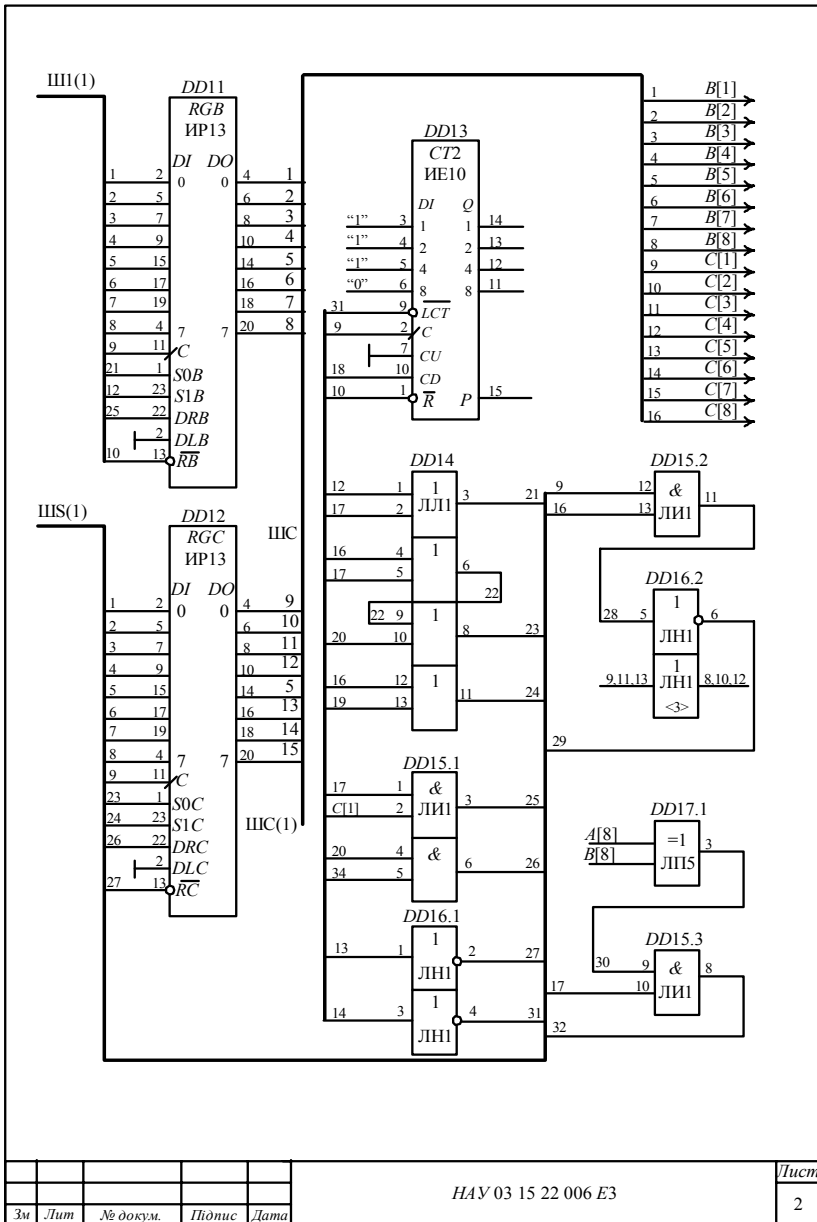


Рис. 6.20. Принципіальна схема МОБ4. Лист 2

- $DD1$  – реєстр множеного  $RGA$  типу  $IP35$ ;
- $DD11$  – допоміжний реєстр  $RGD$  типу  $IP35$ ;
- $DD12$  – реєстр часткової суми  $RGC$  типу  $IP13$ ;
- $DD9, DD10$  – комбінаційний паралельний суматор  $SM$  типу  $IM6$ ;
- $DD13$  – лічильник циклів  $CT2$  типу  $IE10$ ;
- $DD4-DD7$  – мікросхеми електронних ключів типу  $ЛИ1$ ;
- допоміжні мікросхеми  $DD3, DD8, DD14, DD15, DD16$  для керування входами функціональних вузлів згідно з логічними рівняннями на основі таблиці відповідності.

#### 6.4.6. Модуль керуючого блока МКБ4

Проектування модуля МКБ4 на основі автомата Мілі з пам'яттю на  $RS$ -тригерах виконується у такій послідовності.

1. Розмічається закодований граф мікропрограми множення (див. рис. 6.18) і визначається максимальна кількість станів пам'яті та потрібна кількість тригерів:  $L=8, n=\log_2 8=3$ .

2. Будується граф автомата Мілі, який інтерпретує мікропрограму множення (рис. 6.21). Стани пам'яті кодуються таким чином:  $z_1 = \bar{Q}_3 \bar{Q}_2 \bar{Q}_1, z_2 = \bar{Q}_3 \bar{Q}_2 Q_1, z_3 = Q_3 \bar{Q}_2 Q_1 \dots, z_6 = Q_3 Q_2 Q_1$ .

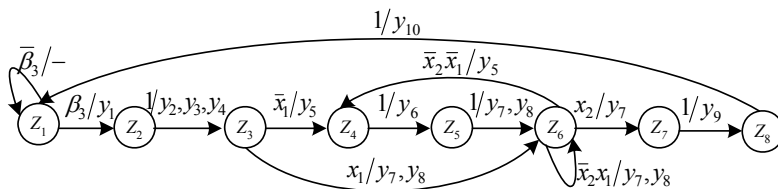


Рис. 6.21. Граф автомата Мілі для мікропрограми множення

3. Записується структурна таблиця переходів і виходів автомата Мілі з пам'яттю на  $RS$ -тригерах (табл. 6. 7). Логічні умови закодовані так:  $\beta_3 = K[3]$ ;  $x_1 = \bar{\beta}[1]$ ;  $x_2 = (CT = 0)$ .

Таблиця 6.7. Структурна таблиця автомата Мілі для мікропрограми множення

$z_i$	$k(z_j)$	$z_j$	$k(z_j)$	$x(z_i, z_j)$	$y(z_i, z_j)$	$S$	$R$
$z_1$	000	$z_1$	000	$\bar{\beta}_3$	-	-	-
		$z_2$	001	$\beta_3$	$y_1$	$S_1$	-
$z_2$	001	$z_3$	010	1	$y_2, y_3, y_4$	$S_2$	$R_1$
$z_3$	010	$z_4$	011	$\bar{x}_1$	$y_5$	$S_1$	-
		$z_6$	101	$x_1$	$y_7, y_8$	$S_3, S_1$	$R_2$
$z_4$	011	$z_5$	100	1	$y_6$	$S_3$	$R_2, R_1$
$z_5$	100	$z_6$	101	1	$y_7, y_8$	$S_1$	-
$z_6$	101	$z_6$	101	$\bar{x}_2 x_1$	$y_7, y_8$	-	-
		$z_4$	011	$\bar{x}_2 \bar{x}_1$	$y_5$	$S_2$	$R_3$
		$z_7$	110	$x_2$	$y_7$	$S_2$	$R_1$
$z_7$	110	$z_8$	111	1	$y_9$	$S_1$	-
$z_8$	111	$z_1$	000	1	$y_{10}$	-	$R_3, R_2, R_1$

4. На підставі даних структурної таблиці записуються системи рівнянь:

- для вихідних сигналів:

$$y_1 = z_1 \beta_3; \quad y_2 = y_3 = y_4 = z_2; \quad y_5 = z_3 \bar{x}_1 \vee z_6 \bar{x}_2 \bar{x}_1; \quad y_6 = z_4;$$

$y_7 = z_3 x_1 \vee z_5 \vee z_6 \bar{x}_2 x_1 \vee z_6 x_2 = z_3 x_1 \vee z_5 \vee z_6 x_2 \vee z_6 x_1$  (використовується тотожність  $\bar{x}_2 x_1 \vee x_2 = x_2 \vee x_1$ );

$$y_8 = z_3 x_1 \vee z_5 \vee z_6 \bar{x}_2 x_1;$$

$$y_9 = z_7; \quad y_{10} = z_8.$$

- для функцій збудження входів RS-тригерів:

$$S_1 = z_1 \beta_3 \vee z_3 \vee z_5 \vee z_7; \quad R_1 = z_2 \vee z_4 \vee z_6 x_2 \vee z_8;$$

$S_2 = z_2 \vee z_6 \bar{x}_2 \bar{x}_1 \vee z_6 x_2 = z_2 \vee z_6 \bar{x}_1 \vee z_6 x_2$  (використовується тотожність  $\bar{x}_2 \bar{x}_1 \vee x_2 = x_2 \vee \bar{x}_1$ );

$$R_2 = z_3 x_1 \vee z_4 \vee z_8;$$

$$S_3 = z_3 x_1 \vee z_4;$$

$$R_3 = z_6 \bar{x}_2 \bar{x}_1 \vee z_8.$$

У записаних системах рівнянь є спільні двобуквені логічні вирази, для яких вводять позначення:

$$\alpha_1 = z_1 \beta_3; \quad \alpha_2 = z_6 x_2; \quad \alpha_3 = z_6 \bar{x}_1; \quad \alpha_4 = z_3 x_1;$$

$$\alpha_5 = z_6 \bar{x}_2 x_1; \quad \alpha_6 = z_3 \bar{x}_1; \quad \alpha_7 = z_5 \bar{x}_1.$$



З урахуванням допоміжних функцій  $\alpha_1 - \alpha_7$  та додаткових перетворень за правилом подвійної інверсії і законом де Моргана системи рівнянь подаються у вигляді:

- для функцій збудження входів  $RS$ -тригерів:

$$S_1 = \overline{\alpha_1 \vee z_3 \vee z_5 \vee z_7} = \overline{\alpha_1} \cdot \overline{z_3} \cdot \overline{z_5} \cdot \overline{z_7};$$

$$R_1 = \overline{z_2 \vee z_4 \vee \alpha_2 \vee z_8} = \overline{z_2} \cdot \overline{z_4} \cdot \overline{\alpha_2} \cdot \overline{z_8};$$

$$S_2 = \overline{z_2 \vee \alpha_2 \vee \alpha_3} = \overline{z_2} \cdot \overline{\alpha_2} \cdot \overline{\alpha_3};$$

$$R_2 = \overline{\alpha_4 \vee z_4 \vee z_8} = \overline{\alpha_4} \cdot \overline{z_4} \cdot \overline{z_8};$$

$$S_3 = \overline{\alpha_4 \vee z_4} = \overline{\alpha_4} \cdot \overline{z_4};$$

$$R_3 = \overline{\alpha_7 \vee z_8} = \overline{\alpha_7} \cdot \overline{z_8};$$

- для вихідних сигналів мікрооперацій:

$$y_1 = \alpha_1; y_2 = y_3 = y_4 = z_2; y_5 = \alpha_6 \vee \alpha_5 = \overline{\alpha_6} \cdot \overline{\alpha_5}; y_6 = z_4;$$

$$y_7 = \overline{\alpha_4 \vee \alpha_5 \vee \alpha_2} = \overline{\alpha_4} \cdot \overline{\alpha_5} \cdot \overline{\alpha_2};$$

$$y_8 = \overline{\alpha_4 \vee z_5 \vee \alpha_5} = \overline{\alpha_4} \cdot \overline{z_5} \cdot \overline{\alpha_5};$$

$$y_9 = z_7; y_{10} = z_8.$$

#### 6.4.7. Принципіальна схема МКБ4

Принципіальна схема модуля МКБ4 містить (рис. 6.22 ):

- $DD22$  – мікросхему чотирьох асинхронних  $RS$ -тригерів типу  $TP2$  з інверсними входами (пам'ять автомата);
- $DD18, DD19.1$  – мікросхему НЕ I типу ЛА3, які забезпечують синхронне пряме керування  $RS$ -тригерами;
- $DD20$  – дешифратор типу ИД7, призначений для розшифрування двійкового позиційного коду станів пам'яті;
- $DD23, DD24$  – дві мікросхеми інверторів типу ЛН1, призначені для інвертування інверсних сигналів з виходів дешифратора;
- $DD19.2, DD21$  – мікросхеми елементів НЕ I типу ЛА3, призначені для формування допоміжних функцій  $\overline{\alpha_1} - \overline{\alpha_7}$ ;
- $DD25, DD26$  – мікросхеми елементів НЕ I типу ЛА1 і ЛА4, які формують сигнали для входів  $RS$ -тригерів і вихідні сигнали мікрооперацій.

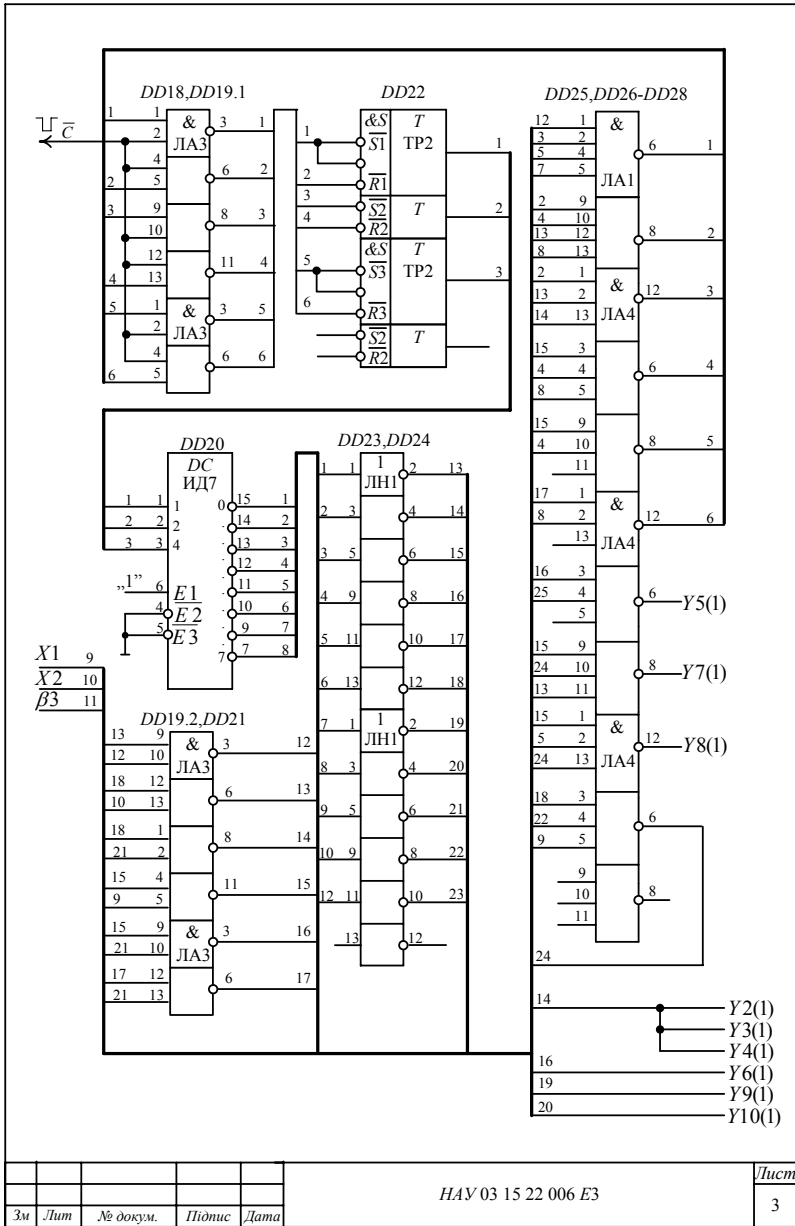


Рис. 6.22. Принципіальна схема модуля МКБ4

Співвідношення між множиною вихідних сигналів мікрооперацій і керуючими входами мікросхем операційного блока задані табл. 6.8.

Таблиця 6.8. Таблиця відповідності між входами керування мікросхем і сигналами мікрооперацій

$y_i$	LA	S0B	S1B	S0C	S1C	LD	$\overline{LCT}$	CD	$J_2$	$K_2$	$J_1$	$K_1$	$\overline{RC}$	$\overline{RB}$	RGC[8]	RGB[8]
$y_1$	$y_1$									$y_1$		$y_1$				
$y_2$		$y_2$	$y_2$						$F_1$							
$y_3$													$\overline{y_3}$	$\overline{y_3}$		
$y_4$							$\overline{y_4}$									
$y_5$											$y_5$					
$y_6$				$y_6$	$y_6$	$\overline{y_6 C}$										
$y_7$	$y_7$		$y_7$									$y_7$				$F_2$
$y_8$								$y_8$								
$y_9$					$y_9$											
$y_{10}$				$y_{10}$											$y_{10} \cdot T2$	

Примітка. 1.  $F_1 = y_2(A[8] \oplus B[8])$ .

2.  $F_2 = y_7 RGC[1]$ .

На підставі даних табл. 6.8 записуємо систему рівнянь, що є основою для побудови другого рівня керування операційним блоком:

$$LA = y_1; S0B = y_2 \vee y_7; S1B = y_2; S0C = y_6 \vee y_7 \vee y_{10};$$

$$S1C = y_6 \vee y_9; LD = \overline{y_6 C}; \overline{LCT} = \overline{y_4}; CD = y_8; J_2 = y_2(A[8] \oplus B[8]);$$

$$K_2 = y_1; J_1 = y_5; K_1 = y_1 \vee y_7; \overline{RC} = \overline{y_3}; \overline{RD} = \overline{y_3};$$

$$RGB[8] = y_7 \cdot RGC[1]; RGC[8] = y_{10} \cdot T2.$$

Для побудови другого рівня керування операційним блоком на основі одержаних рівнянь використовуються мікросхеми DD3, DD8, DD14-DD17 (див. рис. 6.20, 6.21).

## 6.5. ПРОЕКТУВАННЯ СПЕЦІАЛІЗОВАНОГО АРИФМЕТИКО-ЛОГІЧНОГО ПРИСТРОЮ ДЛЯ ОПЕРАЦІЇ ДІЛЕННЯ. ШИФР – АЛП5

### 6.5.1. Початкові дані до проекту (роботи)

- тип арифметичної операції – ділення двійкових чисел;
- початковий код подання операндів – прямий;
- розрядність – ділене  $X$  – 16 біт, дільник  $Y$  – 8 біт;
- код виконання мікрооперації у суматорі – доповняльний;
- структура операційного блока – із закріпленими мікроопераціями;

- тип керуючого блока – автомат з пам'яттю на *JK*-тригерах.
- Елементна база, перелік обов'язкового графічного матеріалу та необхідні розрахунки – згідно з пунктом 6.1.2.

### 6.5.2. Алгоритм ділення цілих чисел

Операція ділення цілих чисел  $Z=X/Y$  зводиться до послідовності віднімання дільника  $Y$  спочатку від діленого  $X$ , а потім від створюваних в процесі ділення залишків  $R_i$ .

Залежно від способу віднімання дільника  $Y$  розрізняють два основні алгоритми ділення: без відновлення залишку  $R_i$  та з відновленням залишку. Обидва способи реалізуються приблизно однаково апаратними затратами, але для ділення без відновлення залишку потрібно більше мікрооперацій додавання і віднімання. В універсальних комп'ютерах зазвичай використовують ділення без відновлення залишку.

У разі ділення цілих чисел часто ділене  $X$  подається в  $2n$ -розрядному форматі, а дільник  $Y$  – у  $n$ -розрядному.

Алгоритм ділення цілих чисел у прямому коді без відновлення залишку реалізується в такій послідовності.

1. У регістри  $A$ ,  $B$  і  $C$  послідовно записуються із вхідної шини  $n$ -розрядний дільник  $Y$  та  $2n$ -розрядне ділене  $X$ . У лічильник циклів  $CT$  заноситься число циклів  $n-1$ .

2. Ділене  $X$  та дільник  $Y$  аналізуються на рівність нулю. Якщо ділене  $X=0$ , то частці  $Z$  присвоюється нульове значення і ділення закінчується. Якщо дільник  $Y=0$ , то ділення переривається.

3. Установлюється можливість ділення без переповнення розрядної сітки. Для цього значення діленого подвоюється зсувом вліво на один розряд. Із зсунутого діленого віднімається дільник. Операція віднімання дільника замінюється на його додавання у доповняльному коді і визначається перший залишок  $R_0$  за формулою

$$R_0 = 2|X| - Y = 2|X| + |-Y|_D.$$

Якщо  $R_0 < 0$ , то ділення можливе; якщо  $R_0 \geq 0$ , виникає переповнення розрядної сітки і ділення припиняється.

4. Якщо ділення можливе, виконуються такі основні дії:

- частковий залишок в регістрі  $B$  і зміст регістра  $C$  зсуваються вліво на один розряд (тобто подвоюються);
- із зсунутого залишку віднімається дільник, якщо попередній залишок  $R_{i-1} \geq 0$ , або додається, якщо  $R_{i-1} < 0$ . Це визначається рекурентним співвідношенням

$$R_i = \begin{cases} 2R_{i-1} + |Y|, & \text{якщо } R_{i-1} < 0; \\ 2R_{i-1} + |-Y|_д, & \text{якщо } R_{i-1} \geq 0, \end{cases}$$

де  $i=1, 2, \dots, n-1$ .

- якщо відбувається зсув вліво, в молодший розряд регістра  $C$  записується цифра частки  $r_i$  згідно із співвідношенням

$$r_i = \begin{cases} 0, & \text{якщо } R_{i-1} < 0; \\ 1, & \text{якщо } R_{i-1} \geq 0. \end{cases}$$

Це означає, що поточна цифра частки є інверсією знака залишку;

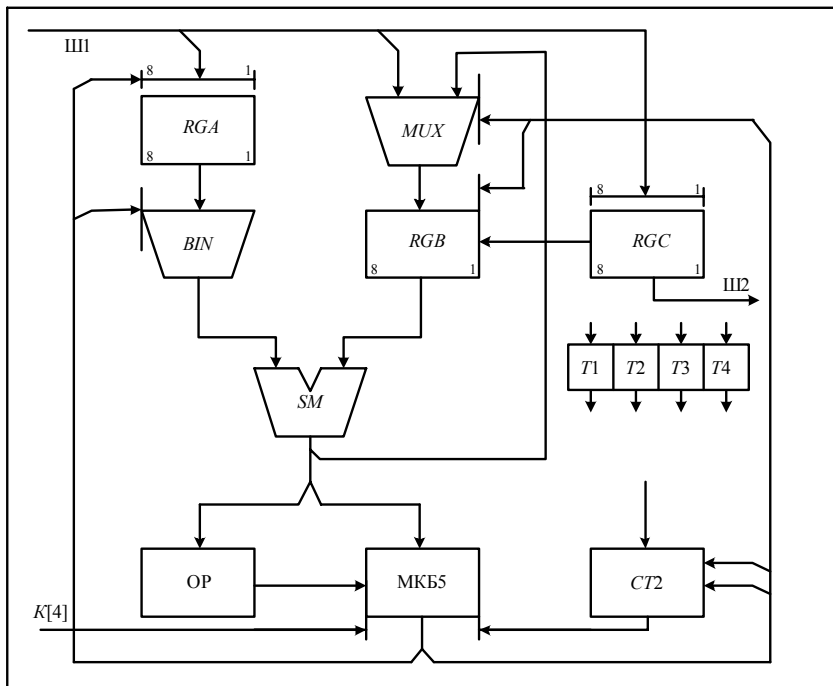
- зміст лічильника циклів  $CT$  зменшується на одиницю;
- п. 4 повторюється до обнуління лічильника циклів  $CT$ .

Значення першого (старшого) розряду частки відводиться для записування знака результату на підставі виразу  $r_0 = A[n] \oplus B[n]$ .

5. Залишок ділення розміщується у регістрі  $B$  на місці старших розрядів діленого, а частка – в регістрі  $C$ . Дільник, залишок і частка мають формат  $n$ -розрядного числа із знаком. Залишок має мати той же знак, що і ділене, нульові залишки і частки завжди додатні. Якщо знак останнього залишку від'ємний, то він коректується додаванням до нього модуля дільника, після цього залишку призначається знак діленого.

### 6.5.3. Функціональна схема АЛП5 для мікропрограми ділення

Функціональну схему АЛП5 для виконання мікропрограми ділення показано на рис. 6.23.



					НАУ 03 15 23 004 Е2			
Зм	Лист	№ докум.	Підпис	Дата	АЛП5 Схема електрична функціональна			
Виконав	Петренко П.П.							
Керівник	Іваненко І.І.							
Консульт.								
Перевірив								
Н.контр.								
Зав.каф.	Сидоренко С.С.				Літера	Маса	Масштаб	
					К	П		
					Лист 1		Листів	
					ФКТ ІТ зр. 301 091501			

Рис. 6.23. Функціональна схема АЛП5

Схема АЛП5 містить:

- регістр *RGA* для приймання восьмирозрядного дільника *Y*;
- регістри *RGB* і *RGC* для приймання 16-розрядного діленого *X*;
- комбінаційний восьмирозрядний суматор *SM*;
- мультиплексор *MUX*, який забезпечує записування інформації в регістр *RGB* із вхідної шини Ш1 або з виходів суматора *SM*;

- схему  $BIN$  для подання прямого або оберненого коду дільника на входи суматора  $SM$ ;
- лічильник кількості циклів  $CT$ ;
- схему вироблення ознак результату  $OP$ ;
- тригери  $T1-T4$  для створення другого рівня керування модулем операційного блока  $MOB5$ ;
- місцевий керуючий блок  $МКБ5$  на основі автомата Мілі з пам'яттю на  $JK$ -тригерах.

### 6.5.3. Мікропрограма ділення цілих чисел без відновлення залишку

Початок. Якщо  $K[4]$ , то  $M_1$ , інакше – чекати

$M_1$   $y_1 : RGA := Y; T1.T2.T3.T4 := 0.0.0.0$  <завантаження дільника і обнулення тригерів>

$y_2 : RGB := X1; T1 := B[n]$  <завантаження старшої частини діленого; присвоєння тригеру  $T1$  знака діленого>

$y_3 : RGC := X2$  <завантаження молодшої частини діленого>

$y_4 : RGB.RGC := L(B.C).T3$  <зсув вліво на один розряд змісту регістрів  $RGB$  і  $RGC$ . Передача значення старшого розряду регістра  $RGC$  в молодший розряд регістра  $RGB$ , а в молодший розряд регістра  $RGC$  – змісту тригера  $T3$ >

$y_5 : T3 := \text{ЗНАК} = A[n] \oplus T1$  <записування в тригер  $T3$  знака результату ділення>

$y_6 : CT := n - 1$  <завантаження в лічильник  $CT$  кількості циклів>

$y_7 : SM := B + [-A]_D$  <віднімання дільника в доповняльному коді від значення даних в регістрі  $RGB$ >

$y_8 : ADR.RGB := 1.SM$  <завантаження результату віднімання в регістр  $RGB$ . Входу адресації  $ADR$  мультиплексора  $MUX$  надається значення одиниці>

$y_9 : T4 := SM[n]$  <присвоєння знака залишку тригеру  $T4$ >

Якщо  $T4$ , то  $M_2$ , інакше  
 $y_{10} : T_{\Pi} := \text{ПП}$  <присвоєння ознаки переповнення триггеру  $T_{\Pi}$  в ЦПК>. Перейти до  $M_7$  (кінець)  
 $M_2$      $y_4 : RGB.RGC := L(B.C).T3$ .  
 $M_3$     Якщо  $T4$ , то  $M_4$ , інакше  
 $y_7 : SM := B + [-A]_d$   
 $y_{12} : T3.T4 := 0.0$  <обнулення тригерів  $T3, T4$ > Перейти до  $M_5$   
 $M_4$      $y_{11} : SM := B + |A|$  <додавання дільника до залишку>  
 $y_{12} : T3.T4 := 0.0$   
 $M_5$      $y_8 : ADR.RGB := 1.SM$   
 $y_9 : T4 := SM[n]$   
 $y_{13} : T3 := \overline{SM}[n]$  <присвоєння тригеру  $T3$  інверсного значення знака суматора – формування цифри частки>  
 $y_{14} : CT := CT - 1$  <декремент змісту лічильника>  
Якщо  $CT \neq 0$ , то  $M_3$ , інакше  $M_5$   
 $M_5$      $y_{15} := RGC := L(C).T3$  <зсув вліво змісту регістра  $RGC$  і записування останньої молодшої цифри частки>  
Якщо  $\overline{B}[n]$ , то  $M_6$ , інакше  
 $y_{11} : SM := B + |A|$   
 $y_8 : ADR.RGB := 1.SM$   
 $M_6$     Якщо  $B[n] = T1$ , то  $M_7$ . Інакше  
 $y_{15} := RGB := L(B.0)$  <зсув вліво залишку>  
 $y_{16} : RGB := T1.R(B)$  <зсув вправо частки і присвоєння їй знака діленого>  
 $M_7$     Кінець.

Змістовний і закодований графі мікропрограми ділення показано на рис. 6.24, 6.25.



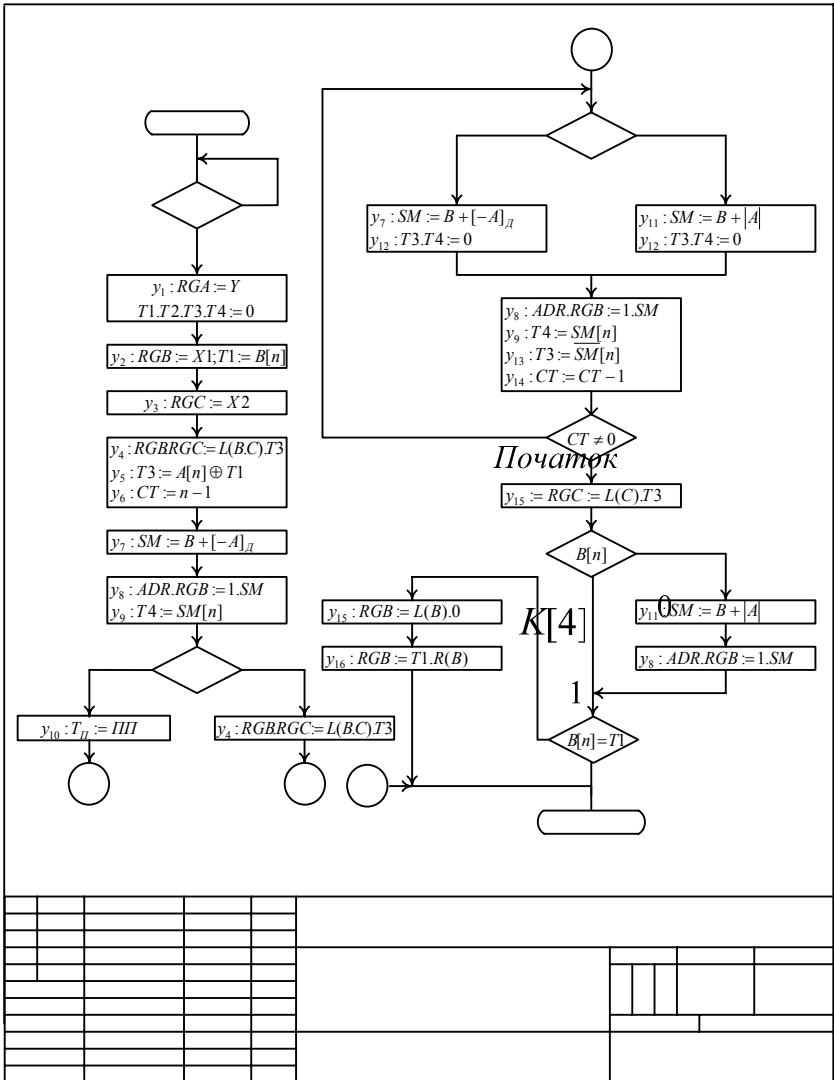


Рис. 6.24. Змістовний граф мікропрограми ділення

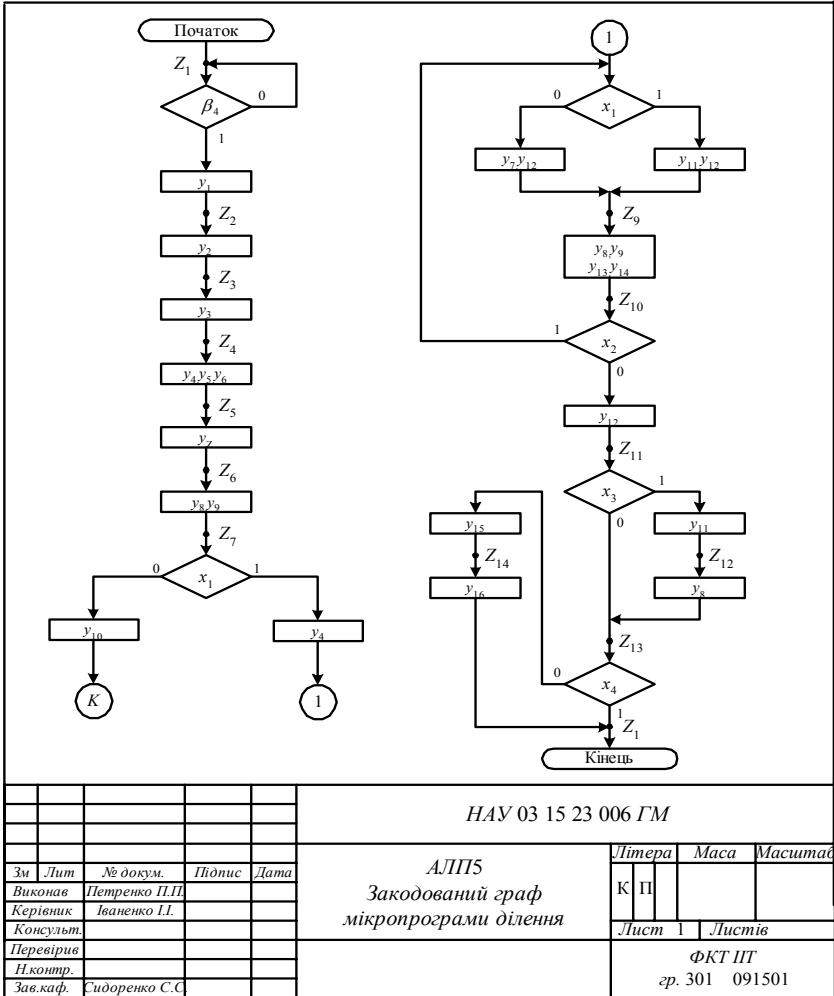


Рис. 6.25. Закодований і розмічений граф мікропрограми ділення

### 6.5.5. Принципіальна схема модуля операційного блока МОБ5 для мікропрограми ділення

Принципіальна схема модуля МОБ5 (рис. 6.26, 6.27) містить:

- DD1 – восьмирозрядний регістр дільника RGA типу IP35;
- DD2, DD3 – двоканальний восьмирозрядний мультиплексор

MUX на двох мікросхемах типу КП16;

- *DD4, DD5, DD32* – мікросхеми логічних елементів ВИКЛЮЧАЛЬНЕ ЧИ типу ЛП5;
- *DD6, DD9* – восьмирозрядні регістри діленого *RGB* і *RGC* типу ІР13;
- *DD7, DD8* – восьмирозрядний суматор *SM* на двох мікросхемах типу ІМ6;
- *DD10, DD11, DD26, DD27* – вісім *JK*-тригерів типу ТВ6;
- *DD12–DD15* – чотири мікросхеми логічних елементів НЕ–І типу ЛА3;
- *DD16* – дешифратор типу ІД3;
- *DD17, DD18, DD33* – мікросхеми інверторів типу ЛН1;
- *DD19, DD29* – мікросхеми логічних елементів І типу ЛІ1;
- *DD20–DD22* – мікросхеми логічних елементів НЕ–І типу ЛА2;
- *DD23, DD25* – мікросхеми логічних елементів НЕ–І типу ЛА4;
- *DD24* – мікросхема логічних елементів НЕ–І типу ЛА1;
- *DD28* – двійковий чотирирозрядний лічильник циклів типу ІЕ10;
- *DD30, DD31, DD34* – мікросхеми логічних елементів ЧИ типу ЛЛ1.

### **6.5.6. Схема другого рівня керування операційним блоком**

Традиційно при проектуванні довільного цифрового обчислювального пристрою керуючий автомат Мілі або Мура розглядається як перший рівень керування. Це справедливо і для керуючих автоматів на основі програмовної логіки.

Сигнали з виходів керуючого автомата ініціюють в операційному блоці виконання деякої множини мікрооперацій. Зазвичай кожний сигнал мікрооперації поступає на вхід відповідного керуючого входу функціонального вузла.

У разі використання сучасних мікросхем середнього рівня інтеграції (регістрів, лічильників, мультиплексорів і т. ін.) для реалізації складних мікропрограм типу множення, ділення та інших операцій проектування ускладнюється. Це зумовлено такими факторами:

- один керуючий сигнал може одночасно поступати на декілька входів однієї мікросхеми;
- один і той самий сигнал мікрооперації може одночасно поступати на входи декількох різних мікросхем;

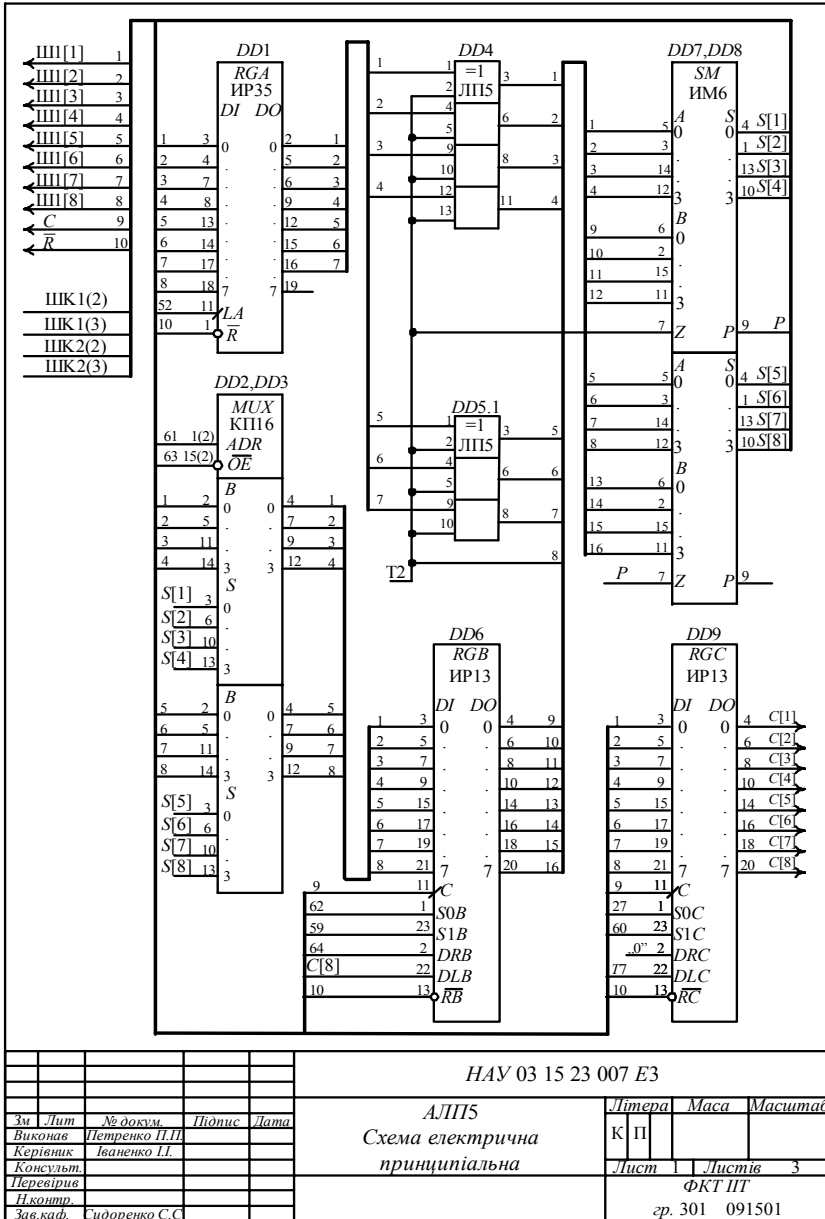


Рис. 6.26. Принципіальна схема модуля МОБ5

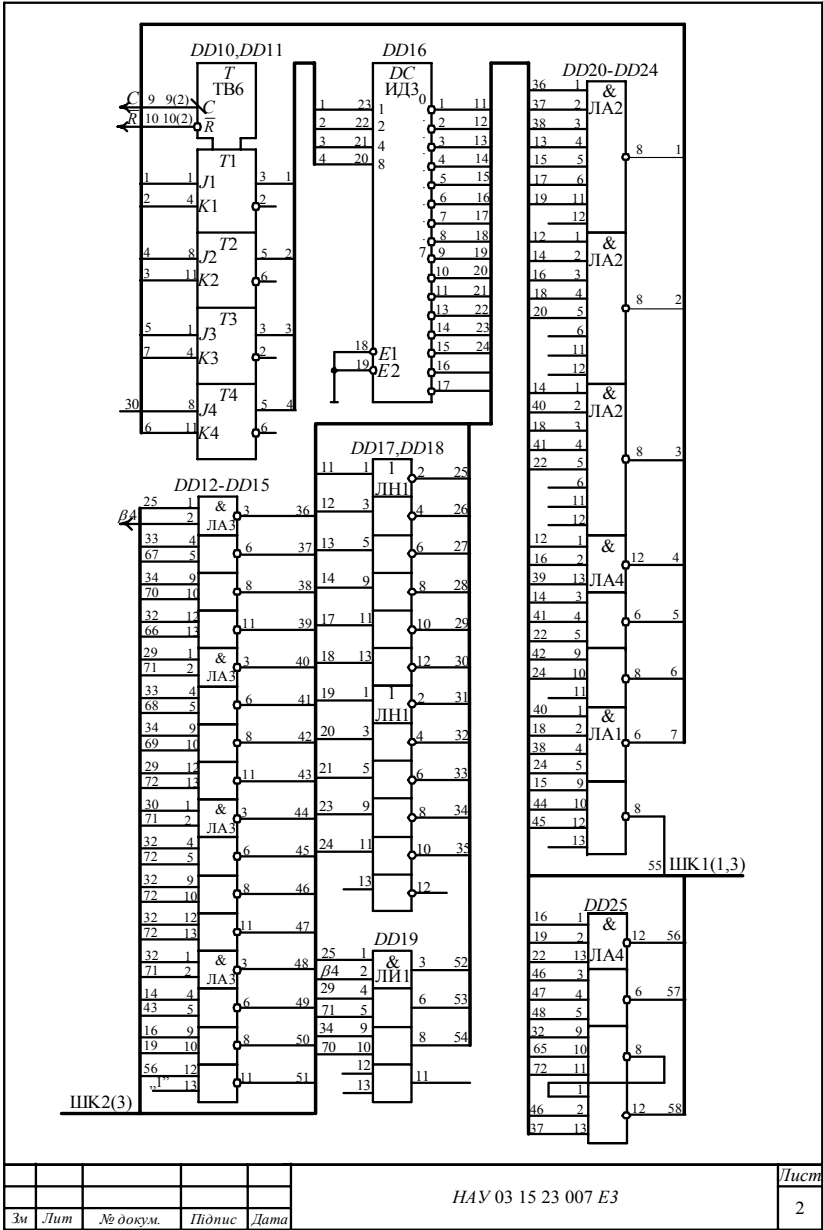


Рис. 6.27. Принципіальна схема модуля МОБ5 (лист 2)

- регістри в серії KP1533 побудовані на  $D$ -тригерах, що майже виключає можливість записування в них інформації за окремими розрядами, наприклад, знака добутку або знака ділення в старший розряд.

У цьому навчально-методичному посібнику запропоновано використовувати схему другого рівня керування, яка будується в такій послідовності:

- записується таблиця відповідностей між входами керування мікросхем операційного блока і сигналами мікрооперацій  $\varphi_i$ ;

- на основі таблиці відповідності записуються диз'юнкції сигналів мікрооперацій для кожного керуючого входу мікросхем операційного блока;

- на підставі одержаних логічних рівнянь визначається необхідний склад мікросхем і будується схема другого рівня керування.

Відповідність між керуючими входами мікросхем операційного блока МОБ5 наведено в табл. 6.9.

У табл. 6.9 показано керуючі входи мікросхем, на які подаються сигнали мікрооперацій:

- $J5$ – $J8$  – установа тригерів  $T5$ – $T8$ ;
- $K5$ – $K8$  – обнулення тригерів  $T5$ – $T8$ ;
- $S1B$ ,  $S0B$  – задання режимів універсального регістра  $RGB$  (00 – зберігання даних, 11 – записування даних, 01 і 10 відповідно зсув вправо і вліво);

- $S1C$ ,  $S0C$  – задання режимів роботи регістра  $RGC$ ;
- $\overline{OE}$  – дозвіл передачі даних мультиплексу;
- $ADR$  – адресує канал мультиплексування:  $ADR=0$ ,  $\overline{OE}=0$  – передаються дані із вхідної шини;  $ADR=1$ ,  $\overline{OE}=0$  – комутовуються дані з виходів суматора;

- $\overline{LCT}$  – завантаження лічильника числом циклів – константою  $0111_{(2)}=7_{(10)}$ ;

- $LA$  – завантаження регістра  $RGA$ ;
- $KA$  – сприйняття сигналу переповнення;
- $CD$  – вхід віднімання лічильника.

Таблиця 6.9. Таблиця відповідності між входами керування мікросхем і сигналами мікрооперацій

$y_i$	T5		T6		T7		T8		RGA		RGB		RGC		MUX		CT2		SM/T <sub>II</sub>	
	K5	J5	K6	J6	K7	J7	K8	J8	LA	SIB	SOB	SIC	SOC	ADR	OE	LCT	CD	z <sub>1</sub>	J <sub>II</sub>	
$y_1$	$y_1$		$y_1$	$y_1$																
$y_2$	$y_2 \cdot B[8]$									$y_2$	$y_2$			$\bar{y}_2$	$\bar{y}_2$					
$y_3$												$y_3$	$y_3$							
$y_4$										$y_4$	$y_4$									
$y_5$					$y_5 \cdot 3H$															
$y_6$																$\bar{y}_6$				
$y_7$			$y_7$																$T_2$	
$y_8$										$y_8$	$y_8$			$y_8$	$y_8$					
$y_9$							$y_9 \cdot SM[8]$													
$y_{10}$																				$y_{10}$
$y_{11}$		$y_{11}$																	$T_2$	
$y_{12}$				$y_{12}$			$y_{12}$													
$y_{13}$					$y_{13} \cdot \overline{SM}[8]$															
$y_{14}$																			$y_{14}$	
$y_{15}$										$y_{15}$										
$y_{16}$											$y_{16}$									

На підставі даних табл. 6.9 записується система логічних рівнянь, які є основою для схемної реалізації другого ступеня керування ОБ:

$$\begin{aligned}
 J5 &= y_2 B[8]; & K5 &= y_1; & ADR &= \bar{y}_2 \vee y_8; \\
 J6 &= y_7; & K6 &= y_1 \vee y_{11}; & \overline{OE} &= \bar{y}_2 \vee \bar{y}_8; \\
 J7 &= y_5 \cdot 3H \vee y_{13} \cdot \overline{SM}[8]; & K7 &= y_1 \vee y_{12}; & Z1 &= T_2; \\
 SIB &= y_2 \vee y_4 \vee y_8 \vee y_{16}; & K8 &= y_1 \vee y_{12}; & \overline{LCT} &= \bar{y}_6; \\
 SOB &= y_2 \vee y_8 \vee y_{16}; & LA &= y_1; \\
 SIC &= y_3 \vee y_4; & KA &= y_{10}. \\
 SOC &= y_3; \\
 J8 &= y_9 \cdot SM[8];
 \end{aligned}$$

### 6.5.7. Принципіальна схема автомата Мілі для операції ділення

На рис. 6.25 виконано розмічення графу мікропрограми ділення для автомата Мілі. На основі закодованої і розміченої мікропрограми будується граф автомата Мілі для реалізації операції ділення (рис. 6.28).

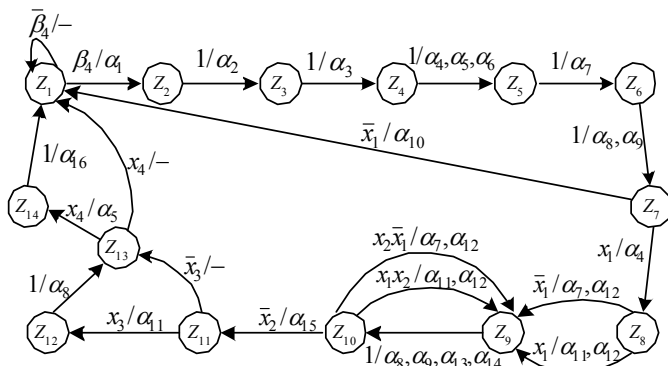


Рис. 6.28. Граф автомата Мілі для операції ділення

Максимальна кількість станів автомата  $L=14$ .

Стани кодуються логічними виразами таким чином:

$$\begin{aligned}
 z_1 &= \overline{Q}_4 \overline{Q}_3 \overline{Q}_2 \overline{Q}_1; & z_5 &= \overline{Q}_4 \overline{Q}_3 \overline{Q}_2 \overline{Q}_1; & z_9 &= Q_4 \overline{Q}_3 \overline{Q}_2 \overline{Q}_1; & z_{13} &= Q_4 Q_3 \overline{Q}_2 \overline{Q}_1; \\
 z_2 &= \overline{Q}_4 \overline{Q}_3 \overline{Q}_2 Q_1; & z_6 &= \overline{Q}_4 \overline{Q}_3 \overline{Q}_2 Q_1; & z_{10} &= Q_4 \overline{Q}_3 \overline{Q}_2 Q_1; & z_{14} &= Q_4 Q_3 \overline{Q}_2 Q_1; \\
 z_3 &= \overline{Q}_4 \overline{Q}_3 Q_2 \overline{Q}_1; & z_7 &= \overline{Q}_4 \overline{Q}_3 Q_2 \overline{Q}_1; & z_{11} &= Q_4 \overline{Q}_3 Q_2 \overline{Q}_1; & z_{15} &= Q_4 Q_3 Q_2 \overline{Q}_1; \\
 z_4 &= \overline{Q}_4 \overline{Q}_3 Q_2 Q_1; & z_8 &= \overline{Q}_4 \overline{Q}_3 Q_2 Q_1; & z_{12} &= Q_4 \overline{Q}_3 Q_2 Q_1; & z_{16} &= Q_4 Q_3 Q_2 Q_1.
 \end{aligned}$$

На основі графу автомата Мілі для операції ділення будується пряма структурна таблиця переходів і виходів (табл. 6.10).

Таблиця 6.10. Структурна таблиця автомата Мілі для операції ділення

$z_i$	$K(z_i)$	$z_j$	$K(z_j)$	$X(z_i, z_j)$	$Y(z_i, z_j)$	$JK$	
						$J$	$K$
$z_1$	0000	$z_1$	0000	$\overline{\beta}_3$	-	-	-
	0000	$z_2$	0001	$\beta_3$	$\alpha_1$	$J1$	-
$z_2$	0001	$z_3$	0010	1	$\alpha_2$	$J2$	$K1$
$z_3$	0010	$z_4$	0011	1	$\alpha_3$	$J1$	-
$z_4$	0011	$z_5$	0100	1	$\alpha_4, \alpha_5, \alpha_6$	$J3$	$K2, K1$
$z_5$	0100	$z_6$	0101	1	$\alpha_7$	$J1$	-
$z_6$	0101	$z_7$	0110	1	$\alpha_8, \alpha_9$	$J2$	$K1$
$z_7$	0110	$z_8$	0111	$x_1$	$\alpha_4$	$J1$	-
	0110	$z_1$	0000	$\overline{x}_1$	$\alpha_{10}$	-	$K3, K2$



Закінчення табл. 6.10

$z_i$	$K(z_i)$	$z_j$	$K(z_j)$	$X(z_i, z_j)$	$Y(z_i, z_j)$	$JK$	
						$J$	$K$
$z_8$	0111	$z_9$	1000	$x_1$	$\alpha_{11}, \alpha_{12}$	$J4$	$K3, K2, K1$
	0111	$z_9$	1000	$\bar{x}_1$	$\alpha_7, \alpha_{12}$	$J4$	$K3, K2, K1$
$z_9$	1000	$z_{10}$	1001	1	$\alpha_8, \alpha_9$	$J1$	-
					$\alpha_{13}, \alpha_{14}$		
$z_{10}$	1001	$z_{11}$	1010	$\bar{x}_2$	$\alpha_{15}$	$J2$	$K1$
	1001	$z_9$	1000	$x_1 \cdot x_2$	$\alpha_{11}, \alpha_{12}$	-	$K1$
	1001	$z_9$	1000	$\bar{x}_1$	$\alpha_7, \alpha_{12}$	-	$K1$
$z_{11}$	1010	$z_{12}$	1011	$x_3$	$\alpha_{11}$	$J1$	-
		$z_{13}$	1100	$\bar{x}_3$	-	$J3$	$K2$
$z_{12}$	1011	$z_{13}$	1100	1	$\alpha_8$	$J3$	$K2, K1$
$z_{13}$	1100	$z_{14}$	1101	$\bar{x}_4$	$\alpha_{15}$	$J1$	-
	1100	$z_1$	0000	$x_4$	-	-	$K4, K3$
$z_{14}$	1101	$z_1$	0000	1	$\alpha_{16}$	-	$K4, K3, K1$

За даними структурної табл. 6.10 запишемо системи логічних рівнянь:

- для функцій збудження:

$$J1 = z_1 \beta_4 \vee z_{11} x_3 \vee z_{13} \bar{x}_4 \vee z_3 \vee z_5 \vee z_7 \vee z_9; \quad K1 = z_2 \vee z_4 \vee z_6 \vee z_8 \vee z_{10};$$

$$J2 = z_2 \vee z_6 \vee z_{10} \bar{x}_2;$$

$$K2 = z_4 \vee z_7 \bar{x}_1 \vee z_8 \vee z_{11} \bar{x}_3 \vee z_{12};$$

$$J3 = z_4 \vee z_{12} \vee z_{11} \bar{x}_3;$$

$$K3 = z_7 \bar{x}_1 \vee z_8 \vee z_{13} \bar{x}_4 \vee z_{14};$$

$$J4 = z_8;$$

$$K4 = z_{13} x_4 \vee z_{14}.$$

- для вихідних сигналів:

$$\alpha_1 = z_1 \beta_4; \quad \alpha_2 = z_2; \quad \alpha_3 = z_3; \quad \alpha_4 = z_4 \vee z_7 x_1; \quad \alpha_5 = z_4; \quad \alpha_6 = z_4;$$

$$\alpha_7 = z_5 \vee z_8 \bar{x}_1 \vee z_{10} x_1; \quad \alpha_8 = z_6 \vee z_9 \vee z_{12}; \quad \alpha_9 = z_6 \vee z_9; \quad \alpha_{10} = z_7 \bar{x}_1;$$

$$\alpha_{11} = z_8 x_1 \vee z_{10} x_2 x_1 \vee z_{11} x_3; \quad \alpha_{12} = z_8 x_1 \vee z_{10} x_2 \vee z_{10} \bar{x}_1;$$

$$\alpha_{13} = z_9; \quad \alpha_{14} = z_9; \quad \alpha_{15} = z_{13} \bar{x}_4.$$

На основі одержаних систем рівнянь будується логічна схема автомата Мілі для операції ділення (рис. 6.29).

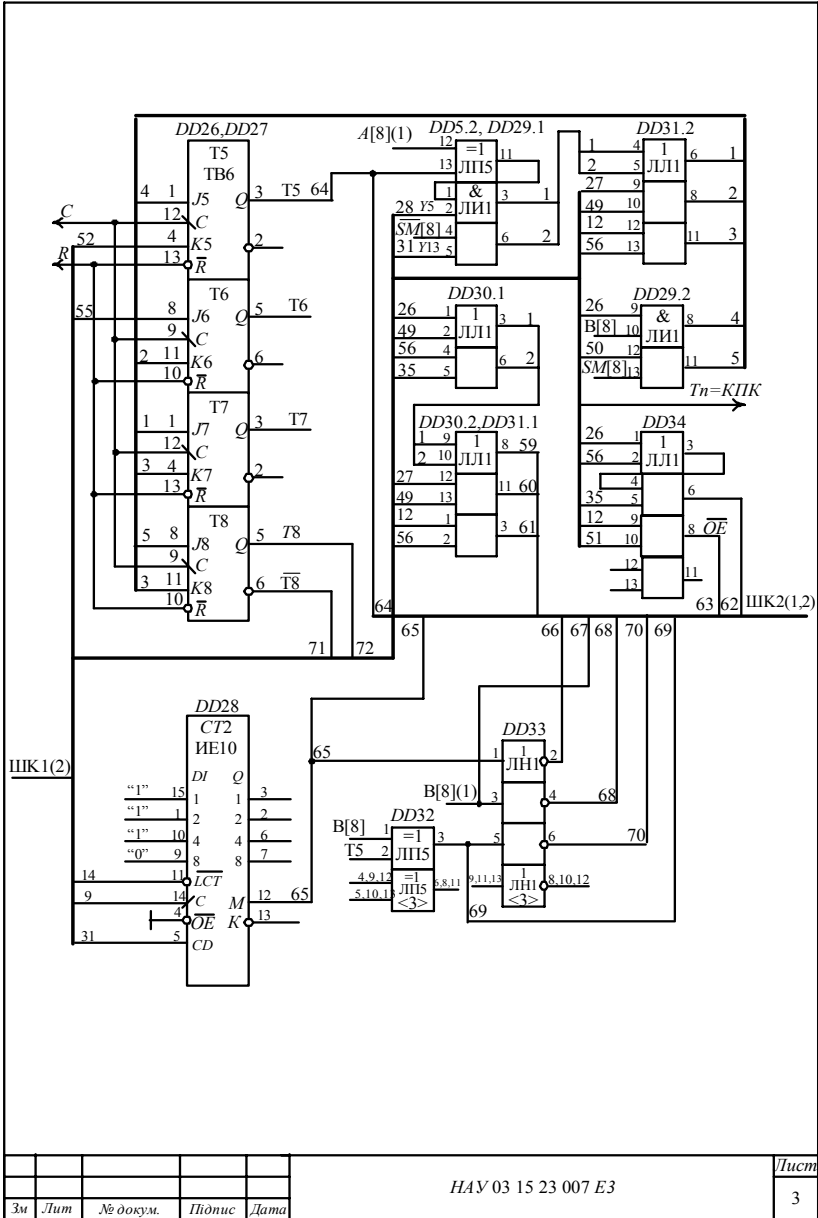


Рис. 6.29. Принципіальна схема модуля МКБ5

Пристрій АЛП5 реалізується на основі синхронного принципу керування, за якого:

- тривалість машинного такту  $T_C$  для всіх мікрокоманд, поданих операторними вершинами мікропрограми ділення, постійна;
- усі мікрооперації поділяються на дві групи: короткі (приймання і пересилання операндів, зсуви, мультиплексування та ін.) і довгі (додавання або віднімання дільника від діленого);
- тривалість машинного такту  $T_C$  обирається з умови виконання за один такт довгої мікрооперації;
- тривалість синхросигналу  $t_{CC}$  обирається з умови виконання коротких мікрооперацій;
- тривалість машинного такту пов'язана з тривалістю синхросигналу співвідношенням  $T_C = (2...3)t_{CC}$ .

Уся множина операторних вершин мікропрограми ділення (див. рис. 6. 24) послідовно розбивається на групи  $K_1, K_2, \dots, K_7$  з певною кількістю операторів з однаковими ймовірностями звернення  $P_1, P_2, \dots, P_7$ . Групи  $K_4$  і  $K_5$  виконуються в циклі  $n-1=7$  раз.

З урахуванням цього можна записати:

$$K_1=6 \text{ (оператори 2, 3, 4, 5, 6, 7), } P_1=1;$$

$$K_2=1 \text{ (оператор 1), } P_2=0,9;$$

$$K_3=14 \text{ (оператори 12, 14), } P_3=0,5;$$

$$K_4=14 \text{ (оператори 13, 14), } P_4=0,5;$$

$$K_5=1 \text{ (оператор 16), } P_5=1;$$

$$K_6=2 \text{ (оператори 18, 19), } P_6=0,5;$$

$$K_7=2 \text{ (оператори 21, 22), } P_7=0,5;$$

$K_8 = 1$  (оператор 9), ймовірність переповнення приймається малою  $P_8=0,1$ .

Тривалість  $t_{CC}$  синхросигналу визначається двома складовими:

$$t_{CC}=t_y+t_{m_0},$$

де  $t_{кер} \leq 5t_P$  – максимальний час формування керуючих сигналів,  $t_P \approx 10$  нс – середня затримка поширення сигналу в логічних елементах,  $t_{m_0} \leq 30$  нс – максимальний час виконання короткої мікрооперації в операційному блоці. З урахуванням цих даних запишемо:

$$t_{CC}=5t_P+30=50+30=80 \text{ нс};$$

$$T_C=2 t_{CC}=2 \cdot 80=160 \text{ нс.}$$

Тривалість виконання мікропрограми ділення  $T_C=24T_C=24 \cdot 160 \text{ нс} \approx 3,86 \text{ мкс.}$

## СПИСОК ЛІТЕРАТУРИ

1. *Алексенко А. Г., Шагури И. И.* Микросхемотехніка: Учеб. посібник для вузов. – М.: Радио и связь, 1990, – 496 с.
2. *Угрюмов Е. П.* Цифровая схемотехніка: Учеб. посібник – СПб.: БХВ – Петербург, 2001. – 528 с.
3. *Бабич М. П., Жуков І. А.* Комп'ютерна схемотехніка. Навч. посібник. – К.: НАУ, 2002. – 508 с.
4. *Азаров О. Д., Байко В. В., Обертюх М. Р.* Комп'ютерна електроніка. Ч. II. Елементи цифрових схем: Навч. посібник / Під ред. О. Д. Азарова. – Вінниця: ВДТУ, 2002. – 170 с.
5. *Кулик М. С., Полухін А. В.* Методичні вказівки з курсового проектування. – К.: НАУ, 2002. – 34 с.
6. *Прикладная теория цифровых автоматов / К. Г. Самофалов, А. М. Романкевич, В. Н. Валуйский и др.* – К.: Вища шк., 1987. – 375 с.
7. *Самофалов К. Г., Корнейчук В. И., Тарасенко В. П.* Цифровые ЭВМ: Теория и проектирование / Под общ. ред. К. Г. Самофалова. – 3-е изд., перераб. и доп. – К.: Вища шк., 1989. – 424 с.
8. *Соломатин Н. М.* Логические элементы ЭВМ: Практ. посібник для вузов. – 2-е изд., перераб. и доп. – М.: Высш. шк., 1990. – 160 с.
9. *Схемотехніка ЭВМ: Учебник / Под ред. Г. Н. Соловьева.* – М.: Высш. шк., 1985. – 391 с.
10. *Угрюмов Е. П.* Проектирование элементов и узлов ЭВМ: Учеб. посібник – М.: Высш. шк., 1987. – 318 с.
11. *Нефедов А. В.* Интегральные микросхемы и их зарубежные аналоги: Справ. Т.3. – М.: КУБК-а, 1997. – 544 с.
12. *Логические ИС КР1533, КР1554: Справ. В 2-х частях / И. И. Петровский, А. В. Прибыльский, А. А. Троян, В. С. Чувелев.* – М.: Бином, 1993. – 496 с.
13. *Логические основы и схемотехніка цифровых ЭВМ: Практикум. / В. И. Жабин, В. В. Ткаченко, А. А. Зайцев, Р. Л. Антонов* – К.: ВЕК+, 1999. – 128 с.
14. *ГОСТ 2.743–91.* ЕСКД. Обозначения условные графические в схемах. Элементы цифровой техники. – Введ. 01.01.93.
15. *ГОСТ 2.743–91.* ЕСКД. Правила выполнения электрических схем цифровой вычислительной техники. – Введ. 01.01.82.

Додатки

*Додаток А*  
(обов'язковий)

Зразок оформлення титульного аркуша пояснювальної записки

Національний авіаційний університет  
Кафедра обчислювальної техніки

КУРСОВИЙ ПРОЕКТ  
(пояснювальна записка)

з дисципліни «Комп'ютерна схемотехніка»

Тема: Спеціалізований арифметико-логічний пристрій

Виконав студент 301 групи факультету  
комп'ютерних технологій Петренко П.П.

Керівник канд. техн. наук, доц. Бабич М.П.

Київ 2004

Зразок оформлення реферату

Пояснювальна записка до курсового проекту (роботи) «Арифметико-логічний пристрій (операція множення)», 28 с, 8 рисунків, 6 таблиць, 3 додатки, 14 літературних джерел.

Об'єкт проектування – спеціалізований арифметико-логічний пристрій (АЛП) для виконання мікропрограми множення.

Мета проектування – розроблення АЛП на сучасних мікросхемах для швидкодіючих комп'ютерів.

Метод проектування – подання АЛП композицією операційного та керуючого блоків.

Операційний блок АЛП проектується на основі вибраного і обґрунтованого алгоритму операції множення і розробленої змістовної мікропрограми множення.

Керуючий блок АЛП проектується на основі автомата Мілі. На етапі абстрактного синтезу розроблюється граф автомата. На етапі структурного синтезу кодуються стани пам'яті, будується структурна таблиця переходів, з якої одержують системи логічних рівнянь для функцій збудження входів тригерів пам'яті і вихідних сигналів мікрооперацій.

Принципальні схеми операційного і керуючого блоків АЛП будуються на мікросхемах ТТЛШ серії КР1533 і 1531.

Виконані розрахунки основних параметрів АЛП підтверджують високу ефективність розробленого пристрою.

Результати курсового проектування рекомендується використовувати в наукових дослідженнях кафедри і в навчальному процесі.

Прогнозні припущення щодо розвитку об'єкта проектування – у структурах швидкодіючих комп'ютерів.

**АЛП, АЛГОРИТМ, МІКРОПРОГРАМА, ГРАФ, ФУНКЦІЇ ЗБУДЖЕННЯ, МІКРОСХЕМИ ТТЛШ**

					<i>НАУ 03 15 41 000 Д</i>				
<i>Зм</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>	<i>АЛП Реферат</i>	<i>Літера</i>	<i>Лист</i>	<i>Листів</i>	
<i>Виконав</i>	<i>Петренко П.П.</i>					К	П	1	
<i>Керівник</i>	<i>Іваненко І.І.</i>					<i>НАУ ФКТ ІТ</i>			
<i>Перевірив</i>						301 091501			
<i>Н.контр.</i>									
<i>Зав.каф.</i>	<i>Сидоренко С.С.</i>								

*Додаток В*  
*(обов'язковий)*

Зразок оформлення опису альбому

№ екз.	Формат	Позначення	Найменування	Кількість аркушів	№ примір.	Примітки	
1			<u>Документація загальна</u>				
2							
3			<u>Розроблена по новому</u>				
4							
5	A4	НАУ 03 15 41 000 Д	АЛП1. Реферат	1			
6							
7	A4	НАУ 03 15 41 002 ТЗ	АЛП1. Технічне завдання	2			
8							
9	A4	НАУ 03 15 41 003 ПЗ	АЛП1. Пояснювальна записка	17			
10							
11	A4	НАУ 03 15 41 004 Е2	АЛП1. Схема електрична	1			
12			функціональна				
13							
14	A4	НАУ 03 15 41 005 ГМ	АЛП1. Графи мікропрограми	1			
15							
16	A4	НАУ 03 15 41 006 Е3	АЛП1. Схема електрична	2			
17			принципальна				
18							
19	A4	НАУ 03 15 41 007 ПЕ	АЛП1. Перелік елементів	1			
20							
21							
22							
23							
24							
25							
			<i>НАУ 03 15 41 001 ОП</i>				
<i>Зм</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>			
<i>Виконав</i>	<i>Петренко П.П.</i>				<i>Літера</i>	<i>Лист</i>	
<i>Керівник</i>	<i>Іваненко І.І.</i>				<i>К</i>   <i>П</i>	<i>Листів</i>	
<i>Перевірів</i>						1	
<i>Н.контр.</i>					<i>НАУ ФКТ ПТ</i>		
<i>Зав.каф.</i>	<i>Сидоренко С.С.</i>				<i>301 091501</i>		
			<i>АЛП1</i>				
			<i>Опис альбому</i>				

**Зразок оформлення завдання на курсове проектування**

**1. НАЗВА ТЕМИ ПРОЕКТУ (РОБОТИ). ОБЛАСТЬ ВИКОРИСТАННЯ**

Назва теми курсового проекту (роботи): Спеціалізований арифметико-логічний пристрій (АЛП) для виконання операції додавання.

Область використання АЛП – в складі бортового обчислювача зі спрощеною системою команд для вирішення пілотажно-навігаційних задач і автоматичного контролю роботи авіаційних агрегатів.

**2. ПІДСТАВА ДЛЯ РОЗРОБКИ**

2.1. Підставою для розробки АЛП служить технічне завдання на курсовий проект (роботу) з дисциплін «Комп'ютерна схемотехніка» («Схемотехніка ЕОМ») згідно навчального плану.

2.2. Варіант технічного завдання задається таблицею, в якій номер рядка (варіанта) співпадає з номером студента у списку академгрупи.

**3. МЕТА ПРОЕКТУ (РОБОТИ)**

3.1. Мета проекту (роботи) – отримання нових теоретичних знань і практичних навиків в області цифрової схемотехніки і закріплення методології проектування спеціалізованих АЛП.

3.2. Проект (робота) повинен виконуватись на основі сучасних інтегральних мікросхем із додержанням вимог діючих державних стандартів.

**4. ПОЧАТКОВІ ДАНІ**

4.1. Арифметична операція – додавання чисел в доповняльних кодах.

4.2. Розрядність вхідних операндів – 16 біт.

4.3. Код вхідних операндів – доповняльний.

4.4. Тип суматора – паралельний комбінаційний.

**5. ТЕХНІЧНІ ВИМОГИ**

5.1. Структура АЛП – із закріпленими мікроопераціями.

5.2. Склад АЛП – композиція операційного і керуючого блоків.

5.3. Тип керуючого блока – автомат Мура з пам'яттю на RS-тригерах.

5.4. Елементна база – мікросхеми ТТЛШ серій КР1533, КР1531.

5.5. Час виконання операції (швидкодія) – не більше 100 нс.

5.6. Споживана потужність – не більше 5 Вт.

5.7. Середнє нароблення на відмову – не менше 25000 год.

					<i>НАУ 03 15 41 002 ТЗ</i>				
<i>Зм</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>					
<i>Виконав</i>	<i>Петренко П.П.</i>				<i>АЛП Технічне завдання</i>	<i>Літера</i>	<i>Лист</i>	<i>Листів</i>	
<i>Керівник</i>	<i>Іваненко Г.І.</i>					<i>К</i>	<i>П</i>	<i>1</i>	<i>2</i>
<i>Перевірів</i>						<i>НАУ ФКТ ПТ</i>			
<i>Н.контр.</i>						<i>301 091501</i>			
<i>Зав.каф.</i>	<i>Сидоренко С.С.</i>								





Приклад оформлення змісту пояснювальної записки

**ЗМІСТ**

**ВСТУП**

**1. АНАЛІЗ АРИФМЕТИКО-ЛОГІЧНИХ ПРИСТРОЇВ**

1.1. Поняття архітектури і структури комп'ютерів

1.2. Основи побудови арифметико-логічних пристроїв

1.2.1. Принцип мікропрограмного керування

1.2.2. Операційний та керуючий блоки

1.2.3. Класифікація арифметико-логічних пристроїв

1.2.4. Узагальнена структура арифметико-логічних пристроїв

1.3. Типові функціональні вузли комп'ютерів

1.4. Етапи логічного проектування функціональних вузлів комп'ютерів

1.5. Синтез заданого функціонального вузла (комбінаційного суматора)

**2. ПРОЕКТУВАННЯ СПЕЦІАЛІЗОВАНОГО АРИФМЕТИКО-ЛОГІЧНОГО ПРИСТРОЮ**

2.1. Мікропрограми операцій та їх графи

2.2. Побудова функціональної схеми арифметико-логічного пристрою

2.3. Структурний синтез автомата Мура

**3. ВИБІР ЕЛЕМЕНТНОЇ БАЗИ І ПОБУДОВА ПРИНЦИПІАЛЬНОЇ СХЕМИ АЛП**

3.1. Характеристика сучасної елементної бази

3.2. Вибір інтегральних мікросхем для побудови принципальної схеми арифметико-логічного пристрою

3.3. Розрахунок споживаної потужності, швидкодії і вартості арифметико-логічного пристрою

**ВИСНОВКИ**

**СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ**

**ДОДАТКИ**

					<i>НАУ 03 15 41 003 ПЗ</i>							
<i>Зм</i>	<i>Лист</i>	<i>№ докум.</i>	<i>Підпис</i>	<i>Дата</i>	<i>АЛПІ</i> <i>Пояснювальна записка</i>			<i>Літера</i>	<i>Лист</i>	<i>Листів</i>		
<i>Виконав</i>	<i>Петрево П.П.</i>							<i>К</i>	<i>П</i>		<i>1</i>	
<i>Керівник</i>	<i>Іваненко І.І.</i>											
<i>Перевірив</i>												
<i>Н.контр.</i>												
<i>Зав.каф.</i>	<i>Сидоренко С.С.</i>							<i>НАУ ФКТ ПТ</i> <i>301 091501</i>				

*Додаток Ж*  
(інформаційний)

Таблиця Ж.1. Основні стандарти виконання схем

Шифр	Найменування стандарту
2.701–76	ЕСКД. Схемы. Виды и типы. Общие требования к выполнению
2.702–75	ЕСКД. Правила выполнения электрических схем
2.708–91	ЕСКД. Правила выполнения электрических схем цифровой вычислительной техники
2.710–81	ЕСКД. Обозначения буквенно-цифровые в электрических схемах
2.743–91	ЕСКД. Обозначения условные графические в схемах. Элементы цифровой техники
2.747–68	ЕСКД. Обозначения условные графические в схемах. Размеры условных графических обозначений
2.751–73	ЕСКД. Обозначения условные графические в схемах. Электрические связи, провода, кабели, шины
3212–95	ДСТУ. Мікросхеми інтегровані. Класифікація та система умовних позначень
2383–94	ДСТУ. Мікросхеми інтегровані. Терміни, визначення та літерні позначення електричних параметрів
2938–94	ДСТУ. Системи оброблення інформації. Основні поняття, терміни та визначення
2399–94	ДСТУ. Системи оброблення інформації. Логічні пристрої, схеми, сигнали
2533–94	ДСТУ. Системи оброблення інформації. Арифметичні та логічні операції

Додаток К  
(інформаційний)

Таблиця К.1. Позначення функцій елементів

Найменування	Позначення	Найменування	Позначення
Інверсія, повторювання	1	Генератор імпульсів	<i>GN</i>
Диз'юнкція	1	Шина	<i>BUS, B</i>
Кон'юнкція	&	Пристрій	<i>DEV</i>
ВИКЛЮЧАЛЬНЕ ЧИ	=1	Арифметико-логічний пристрій	<i>ALU</i>
Непарність	2K+1		
Парність	2K	Буфер	<i>BUF</i>
«n і тільки n»	=n	Обчислювач	<i>CP</i>
Монтажне ЧИ	&◇	Секція обчислювача	<i>CPS</i>
Монтажне І	1◇	Обчислювальний пристрій	<i>CPU</i>
Тригер	<i>T</i>	Дільник	<i>DIV</i>
Двоступінчастий тригер	<i>TT</i>	Демодулятор	<i>DM</i>
Регістр	<i>RG</i>	Дисплей	<i>DPY</i>
Регістр зсуву на n розрядів	<i>SRGn</i>	Інтерфейс програмовний периферійний	<i>PPI</i>
Суматор	<i>SM</i>		
Лічильник	<i>CT</i>	Компаратор	<i>COMP</i>
Шифратор	<i>CD</i>	Мікропроцесор	<i>MPU</i>
Дешифратор	<i>DC</i>	Модулятор	<i>MOD</i>
Мультиплексор	<i>MUX</i>	Пам'ять	<i>M</i>
Демультимплексор	<i>DMX</i>	Головна пам'ять	<i>MM</i>
Ключ	<i>SW</i>	Постійна пам'ять	<i>ROM</i>
Помножувач	<i>MPL</i>	Оперативна пам'ять	<i>RAM</i>
Підсилювач	▷	Програмовний ПЗП	<i>PROM</i>
Елемент затримки	<i>DEL</i>	Програмовна логічна матриця	<i>PLM</i>
Стабілізатор напруги	<i>STU</i>		
Стабілізатор струму	<i>STI</i>	Перетворювач	<i>X/Y</i>
Набір:		Цифро-аналоговий перетворювач	<i>DAC</i>
резисторів	*R		
конденсаторів	*C	Аналого-цифровий перетворювач	<i>ADC</i>
індуктивностей	*L		
діодів	*D	Процесор	<i>P</i>
транзисторів	*T	Секція процесора	<i>PS</i>
Елемент пороговий	□□	Пам'ять «first in, first out»	<i>FIFO</i>

Додаток Л  
(інформаційний)

Таблиця Л.1. Позначення основних міток виводів

Найменування	Позначення	Найменування	Позначення
Адреса	<i>ADR, A</i>	Дані:	<i>D</i>
Біт:		вхідні	<i>DIN</i>
молодший	<i>LSB</i>	вихідні	<i>DOUT</i>
старший	<i>MSB</i>	послідовні	<i>D→</i>
Введення інформації	<i>I</i>	Для пам'яті допускається:	
Вхід прямої лічби	+1	вхідна інформація	<i>D</i>
зворотної лічби	-1	вихідна інформація	<i>Q</i>
Лічильний вхід	T	Завантаження (дозвіл паралельного запису)	<i>LD</i>
Входи компаратора:		Затримка	<i>DEL</i>
більше	>	Затримка подвійна	<i>DD</i>
менше	<	Команда записування	<i>WR</i>
дорівнює	=		
Вибір (селекція)	<i>SEL</i>	Запитання	<i>REQ, RQ</i>
Вибір адреси:		Знак	<i>SI</i>
стовпчика	<i>CAS</i>	Команда	<i>INC</i>
рядка	<i>RAS</i>	Квітування	<i>AK</i>
Вибір кристала, доступ до пам'яті	<i>CS</i>	Код	<i>CODE</i>
Вивід інформації	<i>O</i>	Кінець	<i>END</i>
Вивід двонаправлений	↔	Очікування	<i>WAIT</i>
Вивід вільний	<>	Зупинка	<i>STOP</i>
Вихід колектора <i>p-n-p</i> транзистора	◇	Помилка	<i>ER</i>
Вивід колектора <i>n-p-n</i> транзистора	◇	Передача	<i>TX</i>
Вихід з трьох станами	▽	Перенесення:	
Виходи компаратора:		на вході	<i>CI</i>
більше	>	на виході	<i>CO</i>
менше	<	Утворення перенесення	<i>CG</i>
дорівнює	=	Поширення перенесення	<i>CP</i>
Синхронізація	<i>SYN</i>	Переповнення	<i>OF</i>
Читання	<i>RD</i>	Підтвердження приймання	<i>ACK</i>
Такт	<i>CLK</i>	Переривання	<i>INT</i>
Керування	<i>C</i>	Підтвердження переривання	<i>INTA</i>
Умова	<i>CC</i>	Програмовне переривання	<i>PCI</i>
Установлення в «1»	<i>S</i>	Приймання	<i>RX</i>
Парність	<i>EVEN</i>	Дозвіл	<i>EN</i>
Групування вхідних даних	]	Дозвіл третього стану	<i>EZ</i>
Групування вихідних даних	[	Обнулення	<i>R</i>
		Зсув вправо	<i>→n</i>
		Зсув вліво	<i>n←</i>

*Додаток М*  
(інформаційний)

Варіанти завдань на домашню роботу

Завдання. Побудувати комбінаційну схему для заданої функції  $F_i$  та розрахувати її вартість (кількість мікросхем), середню потужність та швидкодію.

Номер варіанта (функції) визначати за останньою цифрою залікової книжки.

Таблиця М.1. Варіанти завдань для виконання домашніх робіт

$X_1$	$X_2$	$X_3$	$X_4$	$F_0$	$F_1$	$F_2$	$F_3$	$F_4$	$F_5$	$F_6$	$F_7$	$F_8$	$F_9$
0	0	0	0	1	1	0	0	1	0	1	1	1	0
0	0	0	1	0	0	0	1	0	0	1	0	1	1
0	0	1	0	1	1	1	1	1	1	1	1	1	0
0	0	1	1	0	0	1	0	1	1	0	1	0	1
0	1	0	0	0	1	0	0	0	1	1	0	0	0
0	1	0	1	1	1	0	1	1	1	0	1	1	0
0	1	1	0	1	0	0	1	1	1	1	0	1	1
0	1	1	1	1	1	1	1	0	0	1	1	1	1
1	0	0	0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	0	0	1	0	0	0	0	0	0	1
1	0	1	0	1	1	1	0	1	0	1	0	1	0
1	0	1	1	0	0	0	1	1	0	0	1	1	1
1	1	0	0	1	0	0	1	1	1	0	1	0	0
1	1	0	1	1	1	1	1	1	1	1	1	0	1
1	1	1	0	0	1	1	0	0	1	1	0	1	1
1	1	1	1	1	1	1	1	0	1	0	0	0	0

Варіанти завдань на контрольну роботу

Номер варіанта визначати за номером студента у списку групи.

Завдання 1. Виконання арифметичних і логічних операцій

Таблиця Н.1. Варіанти вхідних даних до завдання 1

№ п/п	Операнди		Код виконання арифметичної операції		Логічна операція
	A	B	+	-	
1	+0101	-0111	ОК	МДК	$A \vee B$
2	+1001	+1110	ДК	МОК	$A \wedge B$
3	+1100	-1100	МОК	ОК	$A \oplus B$
4	+0110	+1100	ОК	МДК	$\overline{A \vee B}$
5	-0111	+1011	МДК	ДК	$\overline{A \vee B}$
6	-1000	+1001	ДК	ОК	$\overline{A \wedge B}$
7	-1001	-1000	ОК	ДК	$\overline{A \wedge B}$
8	-1110	-0101	ДК	МОК	$\overline{A \oplus B}$
9	+1011	+1010	ОК	МДК	$\overline{A \oplus B}$
10	+1100	+0111	МДК	ОК	$\overline{A \vee B}$
11	+0011	-1110	ОК	ДК	$\overline{A \wedge B}$
12	+0100	-0110	ДК	МОК	$\overline{A \oplus B}$
13	-0101	-0100	ОК	МДК	$\overline{A \vee B}$
14	-0110	+0101	МОК	ОК	$\overline{A \wedge B}$
15	-1110	+0011	МДК	ДК	$\overline{A \oplus B}$
16	-0111	+1100	ДК	МОК	$A \vee B$
17	+1010	-1000	МОК	ДК	$A \wedge B$
18	+0101	-1110	ДК	МОК	$A \oplus B$
19	-1000	+1011	ОК	МДК	$\overline{A \vee B}$
20	-1001	+0110	МДК	ОК	$\overline{A \vee B}$
21	+1011	+0101	МОК	ДК	$\overline{A \wedge B}$
22	+0110	-1100	МДК	ОК	$\overline{A \wedge B}$
23	-1100	+1001	ОК	МОК	$\overline{A \oplus B}$
24	-1110	+0101	МОК	ДК	$\overline{A \oplus B}$
25	+0111	-0101	МДК	ОК	$\overline{A \vee B}$

Примітка. ОК – обернений код;  
МОК – модифікований обернений код;  
ДК – доповняльний код;  
МДК – модифікований доповняльний код.

Продовження додатка Н

Завдання 2. Мінімізація та спрощення логічних виразів

Таблиця Н.2. Варіанти логічних виразів

№ п/п	Логічний вираз для спрощення	Логічний вираз для мінімізації
1	$L = \overline{\overline{X_1 X_2}} \vee X_3 \vee X_1$	$F = \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4 \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4 \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4 \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4$
2	$L = X_1 X_3 \vee X_1 \overline{X_2} \vee X_2 X_1 \vee X_1 \overline{X_3} \vee X_2 \overline{X_2}$	$F = 0 \vee 3 \vee 4 \vee 8 \vee 11 \vee 12 \vee 13 \vee 15$
3	$L = \overline{X_2 X_3} \vee X_3 \vee X_1$	$F = \overline{X_1 X_2 X_3 X_4} \vee \overline{X_1 X_2 X_3 X_4} \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4 \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4 \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4$
4	$L = X_3 X_2 \vee X_3 \overline{X_2} \vee \overline{\overline{X_1} \vee \overline{X_1} \vee \overline{X_2}}$	$F = 0 \vee 4 \vee 7 \vee 8 \vee 11 \vee 12 \vee 13 \vee 15$
5	$L = X_3 X_2 \vee X_1 (X_1 \vee X_2) \vee \overline{X_3} X_2$	$F = X_1 \overline{X_2 X_3 X_4} \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 \overline{X_2 X_3 X_4} \vee \overline{X_1 X_2 X_3 X_4} \vee \overline{X_1 X_2 X_3 X_4} \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 \overline{X_2 X_3 X_4} \vee X_1 \overline{X_2 X_3 X_4}$
6	$L = (X_1 \vee X_2)(X_1 \vee X_3) \vee X_2 \overline{X_3}$	$F = 1 \vee 2 \vee 6 \vee 9 \vee 10 \vee 12 \vee 13 \vee 14$
7	$L = X_3 X_2 \vee X_3 \overline{X_2} \vee X_1 X_3$	$F = X_1 \overline{X_2 X_3 X_4} \vee X_1 \overline{X_2 X_3 X_4} \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 \overline{X_2 X_3 X_4} \vee \overline{X_1 X_2 X_3 X_4} \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 \overline{X_2 X_3 X_4} \vee X_1 \overline{X_2 X_3 X_4}$
8	$L = X_1 X_3 \vee X_1 \overline{X_3} \vee \overline{\overline{X_2} \vee \overline{X_2} \vee \overline{X_3}}$	$F = 2 \vee 3 \vee 4 \vee 6 \vee 10 \vee 11 \vee 14 \vee 15$
9	$L = X_1 X_2 \vee X_3 \vee X_1 \vee X_1 (X_2 \vee X_3)$	$F = \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4 \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4 \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4 \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4$
10	$L = \overline{X_2 X_3} \vee (X_1 \vee X_2)(X_1 \vee X_3)$	$F = 2 \vee 3 \vee 5 \vee 7 \vee 8 \vee 10 \vee 11 \vee 15$
11	$L = (X_3 X_1 \vee X_1)(X_1 \vee X_2)$	$F = X_1 X_2 X_3 X_4 \vee \overline{X_1 X_2 X_3 X_4} \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4 \vee X_1 X_2 X_3 X_4 \vee \overline{X_1 X_2 X_3 X_4} \vee X_1 X_2 X_3 X_4 \vee \overline{X_1 X_2 X_3 X_4}$
12	$L = \overline{\overline{X_1 X_2} \vee \overline{X_1 X_3}}$	$F = 2 \vee 3 \vee 6 \vee 7 \vee 9 \vee 11 \vee 14 \vee 15$



Закінчення таблиці Н.2

№ п/п	Логічний вираз для спрощення	Логічний вираз для мінімізації
13	$L = (X_2 \vee X_3)(\bar{X}_1 \vee X_2)(X_1 \vee X_3)$	$F = X_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2X_3\bar{X}_4 \vee X_1\bar{X}_2X_3\bar{X}_4 \vee \bar{X}_1X_2X_3\bar{X}_4 \vee X_1X_2\bar{X}_3\bar{X}_4 \vee \bar{X}_1X_2\bar{X}_3X_4 \vee \bar{X}_1\bar{X}_2X_3X_4 \vee X_1\bar{X}_2X_3X_4$
14	$L = (\bar{X}_2 \vee X_1)(X_3 \vee X_2)(X_3 \vee X_1)$	$F = 0 \vee 4 \vee 5 \vee 6 \vee 7 \vee 8 \vee 10 \vee 11$
15	$L = X_1X_3 \vee X_2X_3 \vee X_2\bar{X}_3$	$F = \bar{X}_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2X_3\bar{X}_4 \vee X_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee X_1\bar{X}_2X_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2\bar{X}_3X_4 \vee \bar{X}_1\bar{X}_2X_3X_4 \vee X_1\bar{X}_2\bar{X}_3X_4 \vee X_1\bar{X}_2X_3X_4$
16	$L = (X_1X_2 \vee X_1)(X_1 \vee X_3)$	$F = 0 \vee 1 \vee 4 \vee 5 \vee 9 \vee 11 \vee 13 \vee 14$
17	$L = X_1X_2 \vee X_1\bar{X}_2 \vee X_1X_3$	$F = \bar{X}_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2X_3\bar{X}_4 \vee X_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2X_3\bar{X}_4 \vee X_1\bar{X}_2\bar{X}_3X_4 \vee \bar{X}_1\bar{X}_2X_3X_4 \vee X_1\bar{X}_2\bar{X}_3X_4 \vee \bar{X}_1\bar{X}_2X_3X_4$
18	$L = (X_2 \vee X_3)(X_2 \vee X_1) \vee X_3\bar{X}_1$	$F = 0 \vee 1 \vee 5 \vee 6 \vee 8 \vee 9 \vee 10 \vee 15$
19	$L = X_2X_1 \vee \bar{X}_2X_1 \vee X_3(X_3 \vee X_1)$	$F = \bar{X}_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2X_3\bar{X}_4 \vee X_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee X_1\bar{X}_2X_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2\bar{X}_3X_4 \vee \bar{X}_1\bar{X}_2X_3X_4 \vee X_1\bar{X}_2\bar{X}_3X_4 \vee X_1\bar{X}_2X_3X_4$
20	$L = (X_1X_2 \vee X_1)(X_1 \vee \bar{X}_3)$	$F = 1 \vee 2 \vee 5 \vee 8 \vee 10 \vee 11 \vee 13 \vee 14$
21	$L = X_2\bar{X}_1 \vee (X_3 \vee X_2)(X_3 \vee X_1)$	$F = \bar{X}_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee X_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2X_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2\bar{X}_3X_4 \vee \bar{X}_1\bar{X}_2X_3X_4 \vee X_1\bar{X}_2\bar{X}_3X_4 \vee X_1\bar{X}_2X_3X_4 \vee \bar{X}_1\bar{X}_2X_3X_4$
22	$L = (\bar{X}_3 \vee X_2)(\bar{X}_1 \vee X_3)(X_1 \vee X_2)$	$F = 0 \vee 1 \vee 6 \vee 8 \vee 9 \vee 11 \vee 14 \vee 15$
23	$L = (X_2X_1 \vee X_1)(\bar{X}_1\bar{X}_3)$	$F = X_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee X_1X_2\bar{X}_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2X_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2\bar{X}_3X_4 \vee \bar{X}_1\bar{X}_2X_3X_4 \vee X_1\bar{X}_2\bar{X}_3X_4 \vee X_1\bar{X}_2X_3X_4$
24	$L = X_2X_3 \vee \bar{X}_1 \vee \bar{X}_1 \vee X_3 \vee X_2\bar{X}_3$	$F = 0 \vee 1 \vee 3 \vee 4 \vee 5 \vee 10 \vee 11 \vee 12$
25	$L = X_1X_3 \vee X_1\bar{X}_3 \vee X_2X_1$	$F = X_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2X_3\bar{X}_4 \vee X_1\bar{X}_2\bar{X}_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2X_3\bar{X}_4 \vee \bar{X}_1\bar{X}_2\bar{X}_3X_4 \vee \bar{X}_1\bar{X}_2X_3X_4 \vee X_1\bar{X}_2\bar{X}_3X_4 \vee X_1\bar{X}_2X_3X_4$

Завдання 3. Запис логічної функції  $F$  для заданої схеми (рис. Н.1)

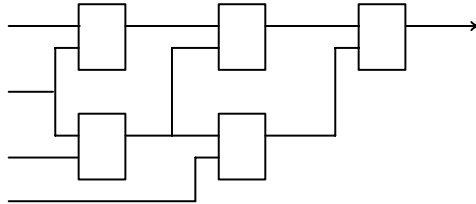


Рис. Н.1. Схема довільної функції

$DD1$

Таблиця Н.3. Перелік логічних елементів

$X1$

№ п/п	Тип логічних елементів				
	$DD1$	$DD2$	$DD3$	$DD4$	$DD5$
1	I	ЧИ	НЕ I	НЕ ЧИ	=1
2	=1	НЕ ЧИ	НЕ I	$X2$ ЧИ	I
3	I	НЕ I	ЧИ	НЕ ЧИ	=1
4	=1	НЕ ЧИ	ЧИ	НЕ I	$DD2$ I
5	НЕ I	=1	НЕ ЧИ	ЧИ	I
6	I	НЕ ЧИ	ЧИ	$X3$ НЕ I	=1
7	НЕ I	ЧИ	=1	I	НЕ ЧИ
8	НЕ ЧИ	НЕ I	I	=1	ЧИ
9	I	=1	ЧИ	$X4$ НЕ I	НЕ ЧИ
10	=1	I	НЕ ЧИ	ЧИ	НЕ I
11	=1	НЕ ЧИ	I	НЕ I	ЧИ
12	I	ЧИ	НЕ ЧИ	НЕ I	=1
13	ЧИ	I	=1	НЕ ЧИ	НЕ I
14	I	ЧИ	НЕ ЧИ	=1	НЕ I
15	НЕ ЧИ	НЕ I	I	ЧИ	=1
16	I	НЕ I	ЧИ	=1	НЕ ЧИ
17	ЧИ	НЕ ЧИ	=1	I	НЕ I
18	ЧИ	НЕ I	I	НЕ ЧИ	=1
19	I	НЕ I	НЕ ЧИ	=1	ЧИ
20	ЧИ	=1	НЕ I	НЕ ЧИ	I
21	НЕ I	НЕ ЧИ	I	=1	ЧИ
22	I	НЕ I		НЕ ЧИ	ЧИ
23	НЕ I	I	ЧИ	=1	НЕ ЧИ
24	I	=1	НЕ I	НЕ ЧИ	ЧИ
25	НЕ ЧИ	ЧИ	=1	НЕ I	I

Продовження додатка Н

Завдання 4. Запис повної і скороченої таблиць переходів тригерів (рис. Н.2)

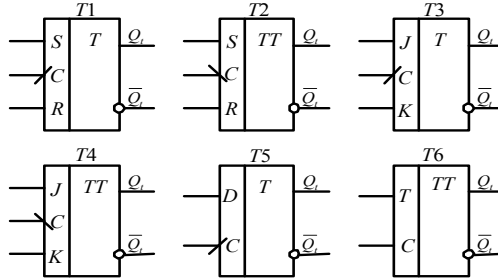


Рис. Н.2. Умовні позначення тригерів

Таблиця Н.4. Перелік типів тригерів

№ п/п	Тип тригера				
	<i>T1</i>	<i>T2</i>	<i>T3</i>	<i>T4</i>	<i>T5</i>
1	+	+			
2	+		+		
3	+			+	
4	+				+
5		+	+		
6		+		+	
7		+			+
8			+	+	
9			+		+
10				+	+
11	+			+	
12	+				+
13		+	+		
14	+	+			
15		+		+	
16		+			+
17	+				+
18		+	+		
19	+	+			
20	+		+		
21		+		+	
22		+			
23			+	+	
24			+		+
25				+	+

Продовження додатка Н

Завдання 5. Запис вихідних кодів лічильника та регістра

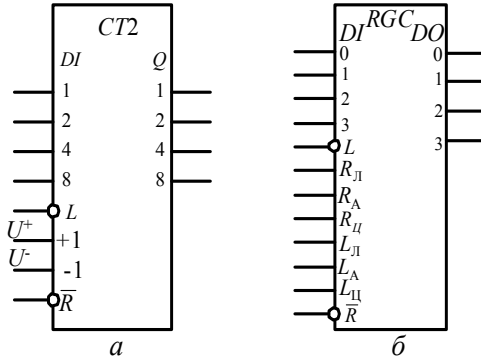


Рис. Н.3. Умовне позначення: а – лічильник; б – регістр

Таблиця Н.5. Перелік вхідних імпульсів

№ п/п	Початковий код	Лічильник		Зсуви					
		Вхід додавання	Вхід віднімання	$R_L$	$R_A$	$R_Ц$	$L_L$	$L_A$	$L_Ц$
1	0101	2 $U^+$	1 $U^-$	1			2		
2	1100	4 $U^+$	3 $U^-$		1			1	
3	1010	3 $U^+$	4 $U^-$			1			2
4	0011	1 $U^+$	2 $U^-$	1		2			1
5	1101	5 $U^+$	1 $U^-$		1		3		
6	1001	4 $U^+$	2 $U^-$	2					2
7	0001	3 $U^+$	5 $U^-$		1	2			
8	1011	1 $U^+$	6 $U^-$		3			3	
9	1000	7 $U^+$	1 $U^-$	1			4		
10	0010	4 $U^+$	3 $U^-$		1			3	
11	1001	7 $U^+$	4 $U^-$	2			2		1
12	1100	1 $U^+$	5 $U^-$	1		1			1
13	0011	2 $U^+$	2 $U^-$	3		1	2		
14	1101	3 $U^+$	4 $U^-$			1	2		3
15	1111	8 $U^+$	6 $U^-$	3		1		1	

## Закінчення таблиці Н.5

№ п/п	Початко- вий код	Лічильник		Зсуви					
		Вхід додавання	Вхід віднімання	$R_{Л}$	$R_{А}$	$R_{Ц}$	$L_{Л}$	$L_{А}$	$L_{Ц}$
16	0111	$3 U^+$	$4 U^-$		2		3	1	
17	0100	$5 U^+$	$2 U^-$	1					4
18	1011	$1 U^+$	$6 U^-$		3	1	1		
19	0010	$2 U^+$	$3 U^-$	1				3	
20	0110	$6 U^+$	$3 U^-$			2	2		1
21	1101	$4 U^+$	$1 U^-$		1			3	
22	1010	$2 U^+$	$5 U^-$	1		1			
23	0111	$3 U^+$	$1 U^-$		3			3	
24	0101	$2 U^+$	$4 U^-$	2				1	
25	1000	$5 U^+$	$3 U^-$		1	3	3		

*Примітка.*  $R_{Л}, R_{А}, R_{Ц}$  – відповідно логічний, арифметичний та циклічний зсуви вправо;  
 $L_{Л}, L_{А}, L_{Ц}$  – відповідно логічний, арифметичний та циклічний зсуви вліво.

Додаток О  
(інформаційний)

Варіанти завдань на розрахунково-графічну роботу

*Завдання.* Спроектувати схему функціонального вузла ЕОМ. Номер варіанта визначати за номером студента у списку групи. Елементна база: парні номери – ТТЛШ, непарні – КМОН.

Таблиця О.1. Варіанти тем

№ п/п	Тип функціонального вузла
1	Однорозрядний комбінаційний суматор на елементах І, ЧИ, НЕ
2	Схема порівняння «на більше» двійкових п'ятирозрядних слів
3	Лінійний дешифратор на чотири входи і шістнадцять виходів
4	Пріоритетний восьмивходовий шифратор
5	Однорозрядний комбінаційний суматор на елементах НЕ-І
6	Мультиплексор чотирирозрядних шин
7	Чотирирозрядний регістр арифметичного зсуву вліво-вправо
8	Паралельний чотирирозрядний реверсивний лічильник на серійних мікросхемах <i>JK</i> -тригерів
9	Демультіплексор на чотири вихідні дворозрядні шини
10	Мультиплексор типу «16→1» на основі мультиплексору «4→1»
11	Чотирирозрядний регістр циклічного зсуву вліво-вправо
12	Однорозрядний комбінаційний суматор на елементах І, НЕ
13	Демультіплексор на шістнадцять виходів на основі серійних мікросхем з чотирма виходами
14	Однорозрядний комбінаційний суматор на елементах НЕ, ЧИ
15	Матричний дешифратор на чотири входи і шістнадцять виходів
16	Однорозрядний комбінаційний суматор з використанням власного перенесення
17	Схема контролю за модулем два передавання восьмирозрядного двійкового слова
18	Однорозрядний комбінаційний суматор на елементах НЕ-ЧИ
19	Демультіплексор чотирирозрядних шин
20	Перетворювач шестирозрядного прямого коду в доповняльний
21	Схема порівняння «на менше» двійкових п'ятирозрядних слів
22	Паралельний чотирирозрядний реверсивний лічильник на серійних мікросхемах <i>JK</i> -тригерів
23	Однорозрядний комбінаційний суматор на елементах ВИКЛЮЧАЛЬНЕ ЧИ
24	Чотирирозрядний регістр логічного зсуву вліво-вправо
25	Дванадцятирозрядний комбінаційний суматор (функціональна схема)

Додаток П  
(інформаційний)

Варіанти завдань на курсовий проект (роботу)

Таблиця П.1 – Варіанти завдань на курсовий проект (роботу) на тему  
«Спеціалізований арифметико-логічний пристрій комп'ютера»

№	Тип операції	Початковий код операндів	Розрядність операндів	КВМСМ	Структура ОБ	Тип автомата	Пам'ять автомата	ОР	ЛО
1	Додавання	ДК	16	МДК	ЗМО	Мура	JK	ПП	OR
2	Віднімання	ДК	16	МДК	ЗМО	Мілі	D	Z	AND
3	Додавання/ віднімання	ДК	8	МДК	ЗМО	Мура	RS	S	XOR
4	Множення	ПК	8	ПК	ЗМО	Мілі	JK	P	NAND
5	Ділення	ПК	16/8	ПК	ЗМО	Мілі	D	ПП	NOR
6	Додавання	ДК	4	МДК	СМО	Мілі	T	Z	OR
7	Віднімання	ПК	16	ОК	ЗМО	Мура	JK	S	AND
8	Додавання	ПК	16	ОК	ЗМО	Мура	D	P	XOR
9	Віднімання	ДК	16	МДК	ЗМО	Мура	RS	ПП	NAND
10	Додавання/ віднімання	ДК	16	МДК	ЗМО	Мура	JK	Z	NOR
11	множення	ПК	8	ПК	ЗМО	Мілі	D	S	OR
12	Ділення	ПК	16/8	ПК	ЗМО	Мілі	RS	P	AND
13	Додавання	ДК	16	МДК	ЗМО	Мілі	JK	ПП	XOR
14	Віднімання	ДК	16	МДК	ЗМО	Мілі	D	Z	NAND
15	Додавання	ДК	16	ДК	ЗМО	Мура	T	S	NOR
16	Віднімання	ДК	4	МДК	СМО	Мура	JK	P	OR
17	Додавання/ віднімання	ДК	8	ДК	ЗМО	Мілі	D	ПП	AND
18	Множення	ПК	8	ПК	ЗМО	Мілі	RS	Z	XOR
19	Ділення	ПК	16/8	ПК	ЗМО	Мілі	JK	S	NAND
20	Додавання	ДК	16	МДК	ЗМО	Мілі	D	P	NOR
21	Віднімання	ДК	16	МДК	ЗМО	Мура	RS	ПП	OR
22	Додавання	ПК	16	МОК	ЗМО	Мура	JK	Z	AND
23	Віднімання	ПК	16	МОК	ЗМО	Мілі	D	S	XOR
24	Додавання/ віднімання	ДК	8	ДК	ЗМО	Мілі	T	P	NAND
25	Множення	ПК	8	ПК	ЗМО	Мілі	JK	ПП	NOR

*Примітка.* ЛО – логічна операція;  
ОР – ознака результату;  
ПП – переповнення;  
Z – нульовий результат;  
S – знак результату;  
P – парність молодшого байта;  
ПК – прямий код;  
ОК – обернений код;  
МОК – модифікований обернений код;  
ДК – доповняльний код;  
МДК – модифікований доповняльний код;  
КВМСМ – код виконання мікропрограми в суматорі;  
ЗМО – АЛП із закріпленими мікроопераціями;  
СМО – АЛП із спільними мікроопераціями.



*Навчальне видання*

БАБИЧ Микола Павлович  
ЖУКОВ Ігор Анатолійович  
ЯРЕМЕНКО Ксенія Петрівна  
ЖУРАВЕЛЬ Сергій Володимирович

## КОМП'ЮТЕРНА СХЕМОТЕХНІКА

Навчально-методичний посібник  
з курсового проектування  
для студентів напрямів підготовки  
0804 «Комп'ютерні науки»  
та 0915 «Комп'ютерна інженерія»

Редактор  
Технічний редактор А. І. Лаврінович  
Коректор Л. М. Романова

Підп. до друку 04. Формат 60x84/16. Папір офс. Офс. друк.  
Ум. фарбовідб. 41. Ум. друк. арк. 9,30. Обл.-вид. арк. 10.  
Тираж 100 прим. Замовлення № 65-1. Вид. №21/І

Видавництво НАУ.  
03058. Київ-58, проспект Космонавта Комарова, 1.

Свідоцтво про внесення до Державного реєстру ДК №977 від 05.07.2002